

СБИС ДЛЯ ЦИФРОВОГО СОГЛАСОВАННОГО ФИЛЬТРА



Согласованная фильтрация широко используется при обработке сигналов в приемниках радиолокационной станции (РЛС). Согласованный фильтр, реализующий эту процедуру, можно считать основным блоком станции. Именно этот блок определяет главные характеристики РЛС: точность измерения, разрешающую способность, зону обзора по дальности, помехозащищенность. Высокпроизводительная СБИС для реализации цифрового согласованного фильтра разработана в НИИМА "Прогресс".

ЦИФРОВОЙ СОГЛАСОВАННЫЙ ФИЛЬТР В СОВРЕМЕННЫХ РЛС

В современных РЛС используют сложные сигналы, у которых база B (произведение длительности сигнала τ на полосу частот ΔF , занимаемую его спектром) существенно больше единицы: $B = \tau \cdot \Delta F \gg 1$. Это позволяет повысить дальность обнаружения объектов, усилив сигнал за счет увеличения его длительности, при этом высокая разрешающая способность по дальности сохраняется. Предполагается, что в перспективных РЛС кругового обзора будут применять сигналы с базой до тысяч и более единиц.

Сигналы в РЛС обрабатываются в согласованных фильтрах (СФ) – в реальном времени вычисляется свертка комплексных сигналов ($DRX + iDIX$) с комплексно-сопряженной опорной функцией ($DRY - iDIY$). На одном из выходов СФ формируется реальная составляющая свертки:

$$QR_t = \sum_{n=1}^N (DRX_{t-n} \cdot DRY_n + DIX_{t-n} \cdot DIY_n), \quad (1)$$

а на другом – мнимая составляющая:

$$QI_t = \sum_{n=1}^N (DRX_{t-n} \cdot DIY_n - DIX_{t-n} \cdot DRY_n), \quad (2)$$

Здесь N – число отсчетов опорного сигнала.

СВЕРТКА В ЧАСТОТНОЙ ОБЛАСТИ

Чтобы сэкономить на аппаратуре, для комплексной свертки в частотной области широко используют алгоритм быстрого преобразования Фурье (БПФ), реализованный на уни-

И.Корнеев, к.т.н., А. Гришин
korneyev@mriprogress.msk.ru

версальных сигнальных процессорах. Применение алгоритма БПФ для вычисления свертки в частотной области получило название "быстрой свертки".

Архитектура многих отечественных и зарубежных сигнальных процессоров оптимизирована именно под выполнение таких алгоритмов. Очевидным недостатком свертки сигналов в частотной области с использованием "быстрой свертки" является существенная конвейерная задержка выдачи результата обработки сигнала.

Однако стремление снизить время задержки при получении результатов обработки эхо-сигналов – один из важнейших принципов построения современных РЛС. Малое время задержки позволяет уменьшить общее время реакции системы на изменение помехо-целевой обстановки, в частности обеспечить устойчивое сопровождение высокоскоростных и маневрирующих целей.

Чтобы минимизировать задержку вычислений при комплексной свертке, применяют вычисление комплексной свертки во временной области в реальном масштабе времени.

СВЕРТКА ВО ВРЕМЕННОЙ ОБЛАСТИ

Оценим производительность системы, необходимую для выполнения свертки во временной области в реальном времени. Надо сказать, что анализ производительности вычислительных устройств – дело непростое. Исследованием производительности процессоров на протяжении ряда лет занимается компания Berkeley Design Technology (США). Ее заказчиками выступают такие известные компании, как Motorola, Analog Devices, IBM, Intel, Ericsson, Hewlett-Packard, Nokia, Xilinx и др.

В публикациях Berkeley Design Technology утверждается, что такой показатель производительности, как MIPS (миллионов инструкций в секунду) можно применять, сравнивая процессоры с одинаковой архитектурой. MOPS (миллионов операций в секунду) можно рассматривать в качестве ориентира при определении производительности в рамках решения конкретной задачи. Для сигнальных процессоров более информативным является показатель MACS (миллионов операций умножения-сложения в секунду).

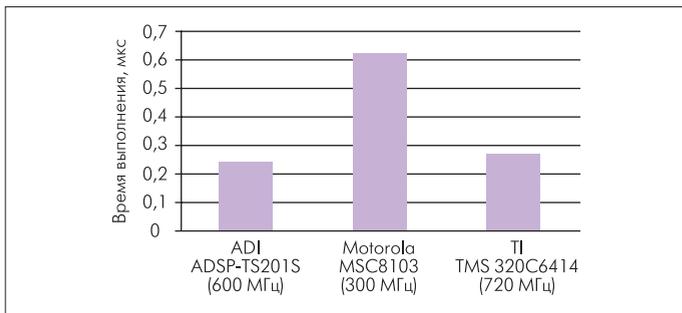


Рис. 1. Время выполнения операции свертки во временной области в фильтре с конечной импульсной характеристикой (КИХ-фильтре) на универсальных сигнальных процессорах

Но и этот показатель недостаточен для анализа, так как цифровые процессоры сигналов (ЦПС) выполняют и много других операций помимо свертки. Корректный подход – это анализ производительности процессоров по результатам выполнения наиболее характерных для сигнальных процессоров задач, таких как вычисление свертки, корреляционной функции, БПФ, адаптивной фильтрации и т.д.

Сравнительный анализ производительности трех современных сигнальных процессоров (TigerSHARC ADSP-TS201S (Analog Devices), MSC8103 (Motorola), TMS320C6414 (Texas Instruments)) показывает, что на операцию свертки первый и третий приборы тратят примерно 0,2 мкс, а второй – около 0,6 мкс (рис.1). Таким образом, в реальном масштабе времени процессор TigerSHARC может фильтровать сигналы с частотой выборки до 6 МГц. Для выполнения комплексной свертки входного сигнала с этой частотой дискретизации требуется не один, а четыре корпуса ЦПС.

Для выполнения свертки сигналов с базой 4096 и частотой дискретизации сигнала 6 МГц потребуются $4 \cdot 32 = 128$ корпусов TigerSHARC. Решить проблему синхронизации на печатной плате такого количества микросхем, работающих на частоте 720 МГц, очевидно, невозможно. Кроме того, для организации ввода/вывода информации из такого массива процессоров потребуется буферная память большого объема.

Таким образом, устройство для комплексной свертки сигналов с большой базой (до 4096), работающее в реальном времени, может быть реализовано только в виде специализированного процессора на СБИС с изменяемыми параметрами. Универсальное процессорное ядро должно использоваться в качестве постпроцессора, выполняющего операции вычисления модуля комплексного числа и сравнения вычисленного модуля с изменяемым порогом, который задает пользователь.

Какие специализированные СБИС для согласованной фильтрации предлагают сегодня российские производители? НИИ микроприборов "Сигнал" (г. Зеленоград) для свертки сигнала с базой 32 разработал СБИС на БМК AP-81-1592XM1-001 со степенью интеграции 100 тыс. вентиляей. Выпускает ее ОАО "Ангстрем".

На 16 корпусах этой СБИС (одна плата размером 170×200 мм) может быть реализовано устройство комплексной свертки сигнала с базой 128. На 64 корпусах СБИС (четыре платы) может быть реализовано устройство комплексной свертки сигнала с базой 512. Большое число соединений между платами и трудности синхронизации работы СБИС в составе стойки (а не платы) являются существенными недостатками этого устройства.

Для свертки сигналов с базой 4096 требуются 512 корпусов этой СБИС на 32 платах, что практически нереализуемо.

СБИС, способную решать задачи обработки сигналов с большими базами, предложил НИИМА "Прогресс".

СБИС СОГЛАСОВАННОГО ФИЛЬТРА К856ФП1Т

НИИМА "Прогресс" имеет многолетний опыт разработки СБИС для вычисления свертки и корреляционной функции. В качестве примера можно привести микросхему 1846ФП1Т. Она выполнена на БМК ПВМ-20 со степенью интеграции 20 тыс. вентиляей, который выпускает ПО "Интеграл" (г. Минск). На 16 корпусах этой микросхемы (плата размером 170×200 мм) реализовано устройство комплексной свертки входного 4-разрядного сигнала с базой 128 или бинарного сигнала с базой 512 с опорным сигналом. Такой разрядности входного и опорного сигнала вполне хватает для согласованной фильтрации в широкополосных системах связи, но зачастую недостаточно для современных приемников РЛС.

Для предприятий-разработчиков радиолокационной аппаратуры в НИИМА "Прогресс" была разработана СБИС согласованного фильтра (СБИС СФ) К856ФП1Т. Она выполняет вычисление свертки (или корреляционной функции) 8-разрядного входного сигнала и опорной функции с изме-

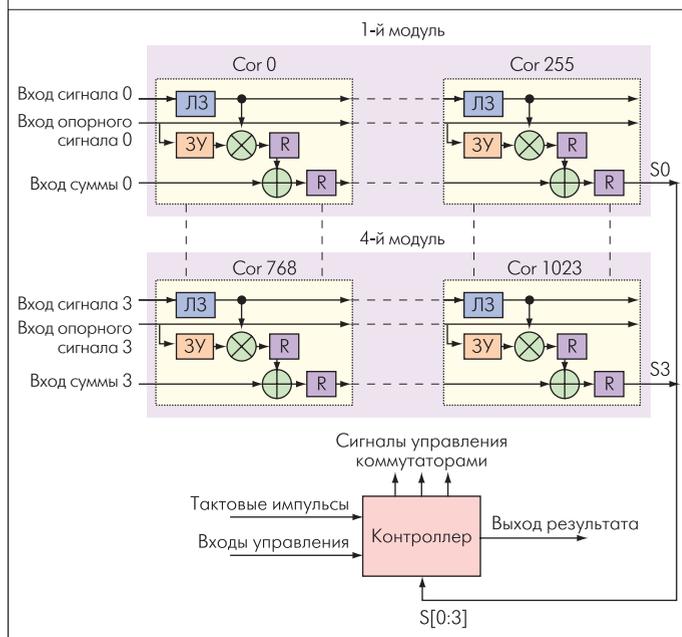


Рис.2. Структурная схема СБИС согласованного фильтра

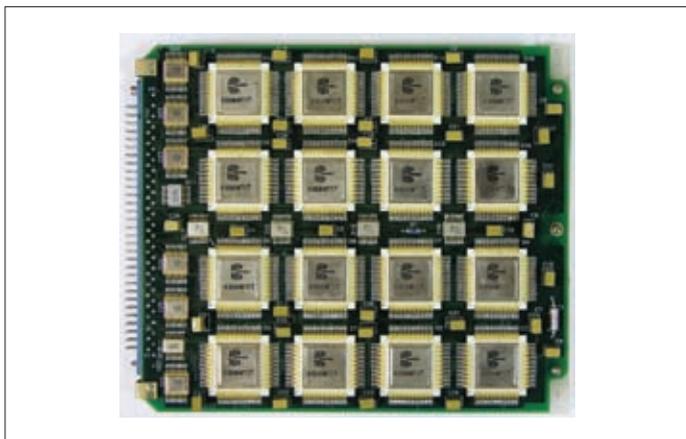


Рис.3. Опытный образец системы на СБИС СФ

няемой структурой. СБИС СФ К856ФП1Т способна обрабатывать сигналы с базой от 128 до 1024. Частота дискретизации входного сигнала составляет 6 или 12 МГц, разрядность отсчетов сигнала и опорной функции равна 8 (с учетом знака). В зависимости от решаемой задачи структура СБИС СФ может изменяться с использованием внутренних коммутаторов.

СБИС СФ выполнена по радиационно стойкой технологии КМОП КНИ (кремний на изоляторе) с проектными нормами 0,5 мкм. Число эквивалентных двухвходовых вентиля составляет 350000. СБИС СФ выпускается в металлокерамическом 132-выводном корпусе типа "Монополия-132" с шагом 0,625 мм с четырехсторонним расположением планарных выводов размерами 21,25×21,25 мм.

Кроме РЛС СБИС СФ предназначена для применения в аппаратуре систем связи с кодовым разделением каналов, системах персональной и сотовой связи, а также в системах спутниковой навигации. Архитектура СБИС СФ такова, что задержка в вычислениях комплексной свертки в конвейере составляет меньше 1 мкс, причем эта задержка не зависит от величины базы сигналов.

СБИС СФ включает в себя четыре одинаковых модуля, каждый из которых обрабатывает 8-разрядные входные и опорные сигналы с базой 256. Каждый модуль имеет внешние входы/выходы сигналов, входы/выходы суммы (результата вычисления свертки) и входы опорной функции. Каждый модуль состоит из 256 процессорных элементов (Сог), в каждый из которых входит линия задержки (ЛЗ) входного сигнала, умножитель, сумматор, регистры для хранения промежуточных результатов (R) (рис.2).

Для вычисления комплексной свертки используются все четыре модуля, включенные параллельно. В первом модуле вычисляется сумма $S_0 = \sum (DRX_{t-n} \cdot DRY_n)$, во втором – $S_1 = \sum (DIX_{t-n} \cdot DIY_n)$, в третьем – $S_2 = \sum (DRX_{t-n} \cdot DIY_n)$, в четвертом – $S_3 = \sum (DIX_{t-n} \cdot DRY_n)$ (см. формулы (1) и (2)).

При вычислении цифровой свертки только действительных значений входного и опорного сигналов все четыре мо-

дуля при помощи внутренних коммутаторов соединяются в одну линейку, состоящую из 1024 элементарных процессоров. Предусмотрена также возможность обработки входных данных, следующих с двойной частотой (до 12 МГц).

Таким образом, путем перепрограммирования внутренней структуры СБИС СФ ее можно использовать для обработки последовательности входных сигналов в четырех режимах:

- свертка входного сигнала с базой 1024 с опорной функцией на частоте 6 МГц;
- комплексная свертка входного сигнала с базой 256 с опорной функцией на частоте 6 МГц;
- свертка входного сигнала с базой 512 с опорной функцией на частоте 12 МГц;
- комплексная свертка входного сигнала с базой 128 с опорной функцией на частоте 12 МГц.

Выбор режима задается определенным кодом на входах управления.

Кроме четырех вычислительных модулей СБИС СФ содержит устройство управления, коммутаторы (на рис.2 не показаны) и контроллер. В случае комплексной свертки в контроллере вычисляется модуль результата свертки, представляющий собой корень квадратный от суммы квадратов действительного и мнимого значения свертки:

$$Q = \text{SQR}(QR^2_i + QI^2_i). \quad (3)$$

В этом же контроллере полученное значение модуля свертки Q можно сравнить с порогом QA, задаваемым пользователем. Информация о результатах сравнения появляется в виде флага FLA при превышении порога.

Схема СБИС СФ позволяет каскадировать приборы, чтобы увеличить базу обрабатываемых сигналов до 4096 без переполнения разрядной сетки внутренних сумматоров. При каскадировании СБИС СФ выходы сигнала и результата свертки из одного корпуса подключаются соответственно к входам сигнала и результата свертки следующего корпуса. Результат вычисления при каскадировании появляется в последнем корпусе каскадного включения с задержкой на два такта после ввода последнего (N-го) значения входного сигнала и не зависит от базы сигнала. Для вычисления квадратного корня (см. формулу (3)) и сравнения с порогом можно использовать соответствующие блоки самого последнего корпуса в каскадном включении.

Опытный образец устройства был разработан в виде двух печатных плат, соединенных в "книжку" размером

Аппаратные затраты при реализации устройства комплексной свертки, работающего в реальном времени

База сигнала	Число корпусов СБИС в устройстве	
	СБИС СФ (НИИМА "Прогресс"), КМОП КНИ – 0,5 мкм	Tiger SHARC (ADSP-TS201S), КМОП – 0,13 мкм
256	1	8
1024	4	32
4096	16	128

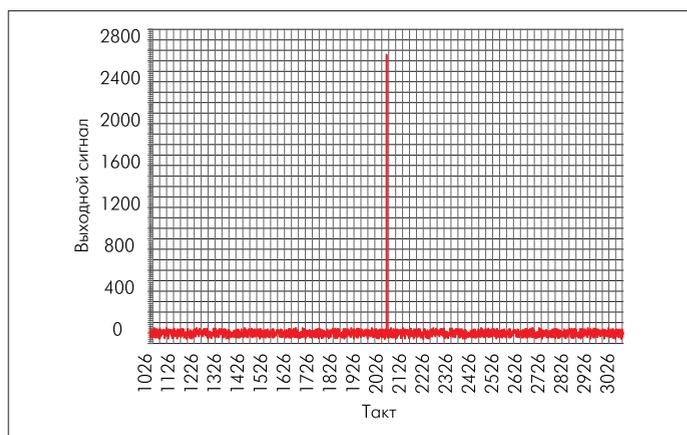


Рис.4. Отклик согласованного фильтра (действительная составляющая результата комплексной свертки)

170×200×20 мм. Одна плата представляет собой собственно согласованный фильтр, выполненный с использованием 16 корпусов СБИС СФ (рис.3). На второй плате (на рис.3 не показана) находится устройство управления фильтром.

Для проверки правильности алгоритма вычислений в СБИС СФ была разработана программная модель на языке фортран. В процессе моделирования было проведено сжатие фазоманипулированного (ФМ) сигнала с базой (или коэффициентом сжатия) 1023. В результате получена зависи-

мость амплитуды сигнала на выходе согласованного фильтра (действительная составляющая результата комплексной свертки) от времени (числа тактов) (рис.4). Началом отсчета времени был выбран 1023-й такт. К этому моменту завершается ввод в устройство 1023 значений опорного сигнала. Еще через 1025 тактов на выходе фильтра появляется максимальный отклик. Видно, что уровень других значений амплитуды выходного сигнала ("боковых лепестков") составляет около 2% от максимального значения отклика фильтра, что является очень хорошим показателем.

Преимущество СБИС СФ можно продемонстрировать, сравнив аппаратные затраты на комплексную свертку для устройства на базе этой СБИС и универсальных ЦПС (см. рис.1 и таблицу).

Видно, что решения на основе СБИС СФ задействуют намного меньше аппаратных ресурсов. При этом для больших значений базы сигнала системы на СБИС оказываются единственным решением – фильтры, использующие несколько сот процессоров, практически нереализуемы.

Можно сделать вывод, что разработанная в НИИМА "Прогресс" СБИС СФ (К856ФП1Т) является эффективным устройством для обработки сигналов в современных и перспективных РЛС и системах связи. ○