

## СОВРЕМЕННЫЕ МЕТОДЫ УПАКОВКИ ИНТЕГРАЛЬНЫХ СХЕМ.

### ФОТОЛИТОГРАФИЯ И ОБОРУДОВАНИЕ. ЧАСТЬ I

**Функциональные возможности, качество и рентабельность микросхемы зависят от степени ее интеграции и упаковки. Поэтому передовые технологии упаковки не ограничиваются сборкой кристалла в корпус, который защищает субмикронные кремниевые структуры от воздействий окружающей среды. Это качественно иные технологии производства новых поколений ИС.**

Современные технологии упаковки должны удовлетворять постоянно растущим требованиям, таким как дальнейшая миниатюризация, получение более высоких электрических параметров и надежности, возможность управления теплоотводом и питанием при устойчивом снижении стоимости изделия. Упаковка и сборка – это мост между кремниевой ИС и платой печатного монтажа, обеспечивающий функциональные возможности микроэлектронных систем.

#### РОСТ ИНТЕГРАЦИИ

Еще недавно некоторые ученые-скептики приводили убедительные доказательства невозможности создания транзистора с размерами элемента (база, области стока и истока и т.д.) менее 0,1 мкм. Они считали, что при существующих принципиальных физических ограничениях транзисторы с размерами < 0,1 мкм потеряют статистически устойчивые характеристики, поскольку нарушатся физические законы их работы.

Однако среди ученых были оптимисты, которые с такими выводами не соглашались. И в их числе – Гордон Мур (Gordon Moore), один из основателей корпорации Intel и автор закона, который гласит, что количество транзисторов в микросхеме удваивается в среднем каждые два года. При этом в законе нет ни слова о минимальном размере транзистора. Но при прежнем размере полупроводникового кристалла увеличить число транзисторов можно было только за счет уменьшения их размеров. Меньшие размеры, в свою очередь, позволили повысить вычислительную мощность и снизить стоимость конечного продук-

А.Агейченко  
ageich@kbttem.avilink.net

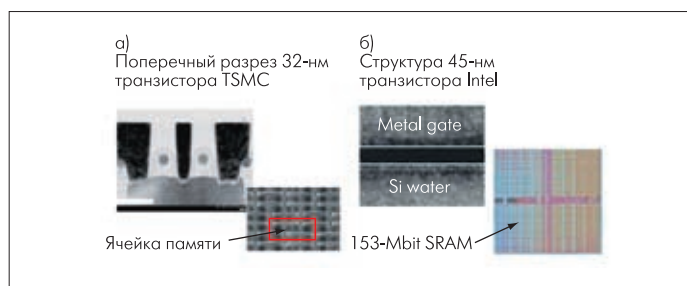
та при массовом производстве. Возможность размещения множества компактных элементов на небольшой поверхности стала залогом успешного продвижения микросхем. А как же физические пределы и статистические законы? На этот вопрос исследователи из Intel отвечают так: "Экспоненциальный рост не может быть вечным, но мы можем отодвинуть "вечность".

Обычно в электронике главным показателем уровня развития технологического производства считается минимальная воспроизводимая топологическая норма получаемых элементов транзистора. Как правило, наиболее критическим является процесс фотолитографии. Его можно условно разделить на две составляющие: оборудование и материалы.

Фотолитографическому оборудованию и собственно литографическому процессу посвящено так много публикаций, что трудно добавить что-нибудь новое.

Фотолитографическая техника сканирующего переноса (Step-and-Scan) последнего поколения вызывает восхищение и чувство уважения к специалистам, создавшим такое техническое чудо. В первую очередь, речь идет о высокоапертурном иммерсионном объективе с оптическим разрешением всего в несколько десятков нанометров; координатных столах, контролируемых с погрешностью перемещения единицы нанометров в реальном времени; системе совмещения (в реальном времени) с погрешностью менее 10 нм. Только две компании в мире (в Европе – ASML и в Японии – Nikon) могут разрабатывать и изготавливать такое оборудование. Поэтому и цены на эти сканеры измеряются в десятках миллионов долларов. Несмотря на внушительные размеры, сканеры последнего поколения воплощают собой современные достижения нанотехнологий.

Кроме сканера необходим комплект фазосдвигающих масок (Phase Shift Mask) стоимостью в несколько миллионов долларов. Затем нужно освоить технику работы на таком сложном оборудовании, а также многие тонкости работы со специальными фоторезистами. И этого недостаточно. Нужны принципиально новые технологические материалы.



**Рис. 1. Современные технологии ИС: а) 32-нм технология компании TSMC; б) 45-нм технология компании Intel**

Корпорация Intel первой начала использовать в своей 45-нм производственной технологии инновационное сочетание новых материалов, которое позволяет значительно уменьшить токи утечки транзисторов и повысить их производительность. В 65-нм технологии для изготовления диэлектриков затвора транзистора еще использовался традиционный  $\text{SiO}_2$ , но его толщина составляла всего 1,2 нм (это примерно пять атомарных слоев). Дальнейшие попытки уменьшить толщину традиционного диэлектрика приводили к резкому увеличению тока утечки.

Эта проблема была решена в Intel путем замены  $\text{SiO}_2$  в диэлектрике затвора материалом с более высоким коэффициентом диэлектрической проницаемости (high-k) на основе гафния. В результате ток утечки был уменьшен более чем в 10 раз по сравнению с применением  $\text{SiO}_2$ .

Но оказалось, что материал диэлектрика затвора high-k несовместим с традиционным материалом электродов затвора. Поэтому вторым этапом в разработке новых транзисторов, создаваемых по 45-нм технологии, стала разработка электродов с применением новых металлических материалов. Их состав держится в секрете, но известно, что для изготовления электродов затвора транзистора применяется комбинация различных металлических материалов. Благодаря сочетанию диэлектрика затвора на основе материала high-k и новых электродов затворов Metal Gate повысилась производительность транзисторов, изготовленных по 45-нм технологии, более чем на 20%. В то же время более чем в пять раз удалось уменьшить ток утечки от истока к стоку, т.е. энергопотребление транзистора значительно снизилось.

Удивительно, что при таких огромных затратах на новое оборудование, материалы, чистые помещения, на НИ-ОКР по новым технологиям стоимость каждого транзистора на кристалле новейшего процессора стала примерно в миллион (!) раз ниже средней стоимости транзистора интегральной микросхемы 40-летней давности, изготовленной на несложном оборудовании по достаточно простой технологии. Такой феномен обусловлен массовым производством и одновременной обработкой большого числа транзисторов. Поэтому на фоне уменьшения размера отдельного транзистора росли размеры кремни-

евых пластин. Сегодняшние 12-дюймовые (300 мм в диаметре) пластины в скором времени (по разным оценкам, к 2010–2012 годам) должны быть вытеснены 18-дюймовыми кремниевыми пластинами (450 мм в диаметре).

На рынке нанометровых ИС выделились несколько главных игроков: две американские компании – Intel и IBM и азиатский гигант Taiwan Semiconductor Manufacturing Co. Ltd. (TSMC).

В 2007 году на конференции производителей полупроводниковых технологий компания TSMC впервые представила технологию нового поколения – 32-нм [1]. Массовое производство приборов по 32-нм технологии TSMC надеется начать в третьем квартале 2009 года (рис.1).

### СОВРЕМЕННЫЕ ТЕХНОЛОГИИ УПАКОВКИ

Наконец, микросхема с огромным количеством транзисторов изготовлена, теперь ее нужно упаковать. Причем так, чтобы упаковка не ограничивала уникальные параметры микросхемы, реализованные на уровне кристалла, и была экономически рентабельна. Остановимся подробнее на современной технологии упаковки микросхем.

Первые микросхемы малой степени интеграции содержали небольшое число транзисторов, и число выводных контактов микросхемы также было невелико. Рабочие частоты не превышали десятков-сотен мегагерц. Затраты на вводы/выводы при проволочном монтаже относительно невысоки, несмотря на то, что проволочная разварка кристалла представляет собой последовательный процесс с небольшой производительностью.

Однако созданный в 1999 году по 180-нм технологии Intel Pentium III уже содержал 9,5 млн. транзисторов и имел 1199 выводных контактов. В 2000 году Intel представила Pentium IV, созданный уже по 130-нм технологии. Число транзисторов увеличилось до 42 млн., а число выводных контактов до 1800. При этом площадь полупроводникового кристалла уменьшилась на 25–30%. Соответственно требования к шагу расположения контактных выводов стали еще жестче.

Новый четырехъядерный процессор Intel Core 2 Extreme, выведенный на рынок в 2007 году, выполнен по 45-нм производственной технологии и содержит 820 млн. транзисторов.

В середине 1990-х годов в связи с ростом интеграции и числа контактных выводов микросхем, а также с увеличением рабочих частот до сотен мегагерц пришлось по-новому взглянуть на технологию упаковки микросхем. Контактные площадки микросхем, обычно располагавшиеся по периферии кремниевого кристалла, стали размещать в несколько рядов по всему периметру чипа. Традиционная сварка проволокой с образованием петель на разной высоте уже не обеспечивала требуемые парамет-

ры схемы по перекрестным помехам, по частоте и надежности выводных соединений. Традиционная упаковка не в состоянии была решить вопросы отвода тепла от кристалла с большим числом быстродействующих транзисторов. Монтаж в индивидуальные пластмассовые корпуса и приварка проволочных перемычек имеет еще один существенный недостаток – высокую стоимость при низкой производительности последовательного процесса.

Более того, традиционная технология не располагает эффективными средствами для минимизации общего размера упаковки или для интегрирования пассивных компонентов (резисторов, конденсаторов, катушек индуктивности) в непосредственной близости от кремниевого кристалла.

Существуют определенные критерии для выбора рентабельной и надежной технологии упаковки: число контактов (шаг контактной площадки), быстродействие, возможность охлаждения и равномерного распределения мощности, надежность, степень миниатюризации, стоимость. Большая плотность вводов/выводов на чипах привела к уменьшению шага периферийных контактных площадок до 150 мкм и ниже – а это уже предел возможностей установок проволочного монтажа. Затраты на присоединение вводов/выводов при проволочном монтаже весьма высоки, поскольку такой монтаж является последовательной технологией, в то время как литография – это групповой процесс изготовления.

Вот почему для производства современных изделий микроэлектроники активно применяют сборку методом перевернутого чипа (Flip Chip). Основной этап этой технологии – изготовление на пластине столбиковых выводов. Столбиковые выводы создаются на уровне неразрезанной пластины на всех чипах одновременно в едином технологическом процессе. При групповом методе обработки производительность не зависит от количества модулей (чипов) на пластине и числа контактов в каждом чипе.

К началу массового применения технологии перевернутого кристалла со столбиковыми выводами этот метод

уже имел свою историю. В 1964 году компания IBM предложила использовать многослойные керамические подложки для сборки полупроводниковых ИС новым методом, названным C4 (Controlled Collapse Chip Connection).

Контакты первого перевернутого кристалла представляли собой медные шарики, расположенные по периферии транзисторного чипа со стороны транзисторов. Кристалл переворачивали и прижимали к контактным площадкам промежуточной керамической подложки.

Это была, по сути, первая попытка применить не индивидуальный метод последовательной приварки перемычки между каждой контактной площадкой на кремнии и выводной рамкой микросхемы, а групповой – одновременно создавать большое число контактных выводов. Кроме того, такая конструкция выводных контактных шариков – бампов (bumps) – имела значительные преимущества по сравнению с традиционной проволочной перемычкой: малая длина выводов позволяла уменьшить перекрестные помехи между выводами и обеспечить недоступный ранее диапазон рабочих частот. Одновременно появилась возможность эффективного отвода тепла и с поверхности, на которой располагались транзисторы.

В 1969 году компания GM's Delco Division применила метод перевернутого кристалла на керамических подложках. Серебряный шарик без оплавления наносился гальваническим способом на металлизацию хром-золото. Однако высокая стоимость многослойной керамики и малое число выводов микросхем надолго ограничили использование метода перевернутого кристалла только гибридной технологией. Кроме того, разница в ТКЛР кристалла кремния и керамической подложки приводила к деформационной усталости достаточно жестких бампов из меди или серебра.

Поиск более дешевой технологии перевернутого чипа, не вызывающей усталости металла при термоциклических нагрузках, привел в 1991 году инженеров фирмы IBM к идее: применять для формирования бампа паяльную пасту из сплава свинца и олова [2].

После нанесения на металлизированные контактные площадки микросхемы паяльной пасты кремниевая пластина нагревается, контактные островки пасты оплавляются и принимают шаровидную форму. Полученные контактные шарики благодаря эластичности материала допускают небольшие взаимные перемещения чипа относительно подложки, которые возникают из-за различного ТКЛР кремния и материала подложки.

Многослойные керамические подложки обладают одним существенным недостатком, ограничивающим их применение в массовом производстве, – это их высокая стоимость. Оказалось, что в качестве подложки вместо многослойной керамики можно использовать обычную многослойную пе-

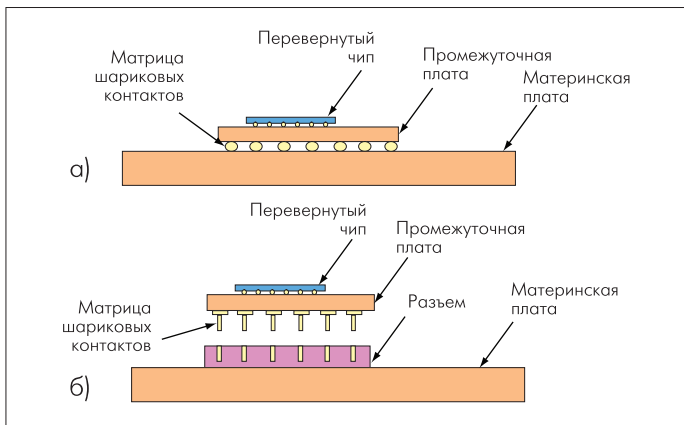


Рис.2. Метод перевернутого кристалла

чатную плату. Причем, несмотря на существенную разницу в ТКЛР (кремний – 2,8 ppm/град, фольгированный стеклотекстолит – 18,5 ppm/град), благодаря эластичности свинцово-оловянных контактов и антистрессовой металлизации под бампом такая упаковка выдерживает термические нагрузки широкого диапазона температур.

На второй стороне подложки (печатной платы) создавались контактные шарики большего диаметра (Ball Grid Array – BGA) и с большим шагом для присоединения к печатной плате электронного изделия (рис.2а). В некоторых случаях вместо контактных шариков использовали штыревые контакты разъёмного соединения (Pin Grid Array) (рис.2б).

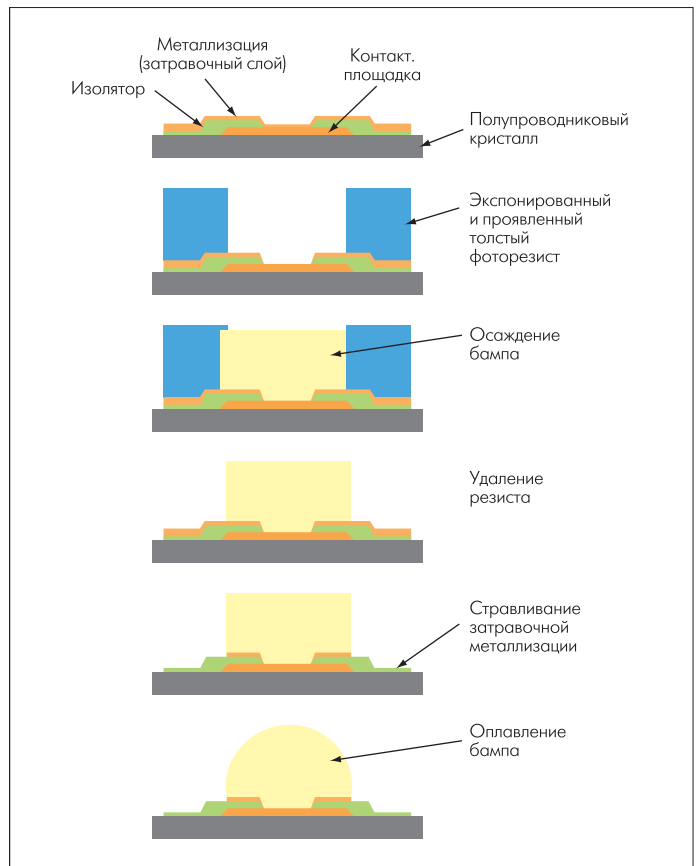
Для надежного присоединения перевернутого чипа к промежуточной плате (подложке) и, в дальнейшем, – промежуточной платы к материнской плате применяли припой с различным содержанием свинца и олова. Таким способом удалось обеспечить разные температуры плавления бампов на верхней и нижней поверхностях промежуточной платы. Для кремниевого чипа была выбрана более высокая температура плавления бампа 315°C (содержание в припое свинца и олова 95 и 5% соответственно), а для BGA использовали припой (63% Pb и 37% Sn) с температурой плавления 183°C.

Существуют два основных способа нанесения материала для контактного столбикового вывода: метод трафаретной печати или электролитического осаждения. При очень высокой плотности вводов/выводов с шагом до 20 мкм используют электролитическое осаждение.

При электролитическом осаждении через тонкий металлический слой на пластине пропускается ток, и слой действует как затравочный для осаждения (рис.3). Форма металлических структур определяется матрицей в экспонированном и проявленном толстом (10–150 мкм) резисте. Получающиеся элементы имеют трехмерную структуру. Чтобы металлизация имела высоту 10–100 мкм, толщина резиста должна быть того же порядка.

Используют сухой и жидкий пленочные резисты. Жидкие пленочные резисты наносят на пластины центрифугированием. Для получения толстых слоев некоторые резисты наносят в несколько этапов. В результате может быть получено очень высокое разрешение, требуемое соотношение сторон столбиковых выводов, а также хорошая равномерность. Недостаток – сложность процесса. Сухие пленочные резисты наносят на пластину многослойным способом. Главное преимущество сухих резистов – высокая пропускная способность этой технологии, недостаток – ограниченное разрешение.

При шаге бампов больше 200 мкм альтернативой гальванопокрытию становятся печатающие технологии. Помимо низкой цены, преимущество трафаретной печати заключается в возможности наносить шариковые выводы



**Рис.3. Электролитическое осаждение столбиковых выводов**

припоя больших размеров. Но при таком методе получения столбиковых выводов требуется высокая смачиваемость металлизации под столбиковый вывод (Under Bump Metallization – UBM).

Золотые столбиковые выводы применяют главным образом для изделий типа "чип-на-стекле" (chip on glass – COG), при автоматизированном присоединении кристаллов к балочным выводам на ленточном носителе (tape automated bonding – TAB) и в технологии перевернутого кристалла (FC) GaAs-чипов. Впервые технология столбиковых выводов из золота была применена в начале 1970-х годов в производстве ИС для часов. Золотые столбиковые выводы ИС непосредственно присоединялись к внутренним выводам малогабаритных корпусов (small-outline packages – SO). Так как количество вводов (выводов) в ИС того времени было небольшим, то форма столбиковых выводов не имела значения. Столбиковые выводы для межсоединений имели форму головки гриба и требовали относительно тонкой матрицы фоторезиста (5–10 мкм).

При более высокой плотности соединений, которую задает технология LCD-дисплеев, нужны более прямые стенки в резистах, чтобы можно было, во-первых, уменьшить шаг контактных площадок и, во-вторых, иметь размер контактной площадки, достаточный для электрического и механического контактов. Сегодня эта технология в основном применяется при изготовлении LCD-драйверов на единичном чипе (пассивные

дисплеи) для рынка мобильных телефонов ("чип-на-стекле") и драйверов активно-матричных LCD. Расстояние между выводами уменьшилось до 40 мкм, а промежутки между отверстиями составили 10 мкм и меньше. В этой технологии очень важны как разрешение, так и угол наклона боковой стенки в резисте. Воспроизводимость размера экспонированных элементов и угла наклона в резисте по всей пластине определяет конечный размер столбикового вывода. Разная высота сформированных бампов может привести к дефекту контакта в процессе посадки кристалла на промежуточную плату.

Промежуточные платы изготавливают на большой заготовке (500×600 мм) методом build-up до резки на отдельные подложки. Параметры промежуточной платы: число слоев – до восьми, ширина дорожек-проводников и промежутки между ними – до 30 мкм, диаметр отверстия лазерного сверления – до 100 мкм, шаг контактных площадок для бампов перевернутого чипа – менее 70 мкм. Толщина подложек для различных применений колеблется от 0,1 до 1,2 мм.

Тенденция к более легким и миниатюрным изделиям потребовала дальнейшего уменьшения размеров элементов. А это привело к созданию различных вариантов упаковки: в масштабе кристалла (Chip Scale Packaging – CSP); на уровне пластины (Wafer Level Packaging); упаковка нескольких кристаллов (логических, аналоговых или MEMC) на одной подложке; посадка кристалла на кристалл (COC); так называемая трехмерная упаковка с интеграцией в подложку пассивных компонентов (резисторов, конденсаторов, индуктивностей). Так, например, на нижней стороне печатной платы процессора Intel Core 2 Extreme в средней части матрицы BGA расположены пассивные элементы.

Существуют разработки, в которых тонкие чипы микросхем (толщиной всего 50 мкм) интегрируются во внутренние слои промежуточной платы подобно пассивным элементам [3]. В некоторых случаях для посадки одного кристалла используют одновременно бампинг-технологии и сварку проволокой периферийных контактных площадок. Тем не менее, в любой передовой технологии упаковки неизменно используется перевернутый кристалл с матрицей контактных столбиковых выводов или шариков. Различия состоят только в расположении этой матрицы по площади полупроводникового кристалла, величине шага, размере бампов [4] и способе их создания.

Эвтектический сплав Sn-Pb широко и успешно применяют уже более десяти лет. Однако в соответствии с решением ЕС по ограничению использования опасных веществ не рекомендуется использовать свинец с 2006 года [5].

С уменьшением шага и размеров бампов в ИС новых поколений задача поиска новых материалов вместо хорошо изученного оловянно-свинцового припоя приобретает первостепенное значение. Однако температура плавления новых материалов выше, чем традиционного сплава Sn-Pb:

Композиция, %	Температура плавления, °C
63Sn-37Pb	183 (эвтектика)
Sn-3,5Ag	221 (эвтектика)
Sn-3,8Ag-0,7Cu	217
Sn-3,5Ag-3Bi	208–215
Sn-0,7Cu	227 (эвтектика)
Sn-8Zn-3Bi	192

Кроме того, бессвинцовые бампы имеют хуже адгезию и пластичность. В результате надежность соединения снижается. Сегодня ведутся интенсивные поиски комбинации материалов для бампов без свинца, обеспечивающих надежность упаковки, не уступающую полученной по отработанной Sn-Pb-технологии.

Завершая первую часть статьи, отметим, что бурное развитие кремниевой технологии обусловило пересмотр традиционных решений в области упаковки микросхем. Технология упаковки трансформировалась из последовательного процесса приварки проволочных перемычек между контактными площадками полупроводникового чипа в групповой метод создания матрицы контактных бампов по всей площади кристалла.

В технологии упаковки ИС сегодня используется оборудование, в том числе и фотолитографическое, которое раньше применялось при создании собственно полупроводникового кристалла.

Ряд специфических особенностей метода, в первую очередь потребность в толстых и низкочувствительных фоторезистов, отличает литографию упаковки от классической кремниевой технологии. Кроме того, специфические свойства материала печатной платы (большая площадь и анизотропия изменения размеров печатной платы в процессе изготовления, кривизна поверхности и др.) и необходимость точного совмещения топологических слоев предъявляют особые требования к фотолитографическому оборудованию для передовой упаковки.

## ЛИТЕРАТУРА

1. IEDM: 32nm-Gen Logic ICs, Stacked-Cell Flash. – International Electron Devices Meeting Nikkei Electronics Asia – April 2008.
2. Патент IBM US 5075966.
3. Chien-Wei Chen and others. Wafer Level Chip Stacked Module by Embedded IC Packaging Technology. – Materials of International Microsystems, Packaging, Assembly and Circuits Technology (IMPACT) conference IMPACT 2007, October 1–3, Taipei, Taiwan, p. 136–140.
4. ITRS, International Technology Roadmap for Semiconductor. – Edition 2006/12.
5. EU Directive 2002/95/EC, Restriction on Hazardous Substances (RoHS) in electrical and electronic equipment, 2003.
6. Flack, Nguyen, Capsuto. Characterization of an Ultra-Thick Positive Photoresist for Electroplating Applications. – Proc. SPIE 5039, 2003, p. 1257–1271.