

# СОВРЕМЕННЫЕ СЕМЕЙСТВА ПЛИС

ФИРМЫ Xilinx



Сегодня микросхемы программируемой логики прочно заняли позиции на рынке аппаратных платформ проектирования как фактически единственный вариант для реализации устройств с оригинальной архитектурой. Чтобы непрерывно улучшать характеристики выпускаемой продукции на базе ПЛИС, необходима своевременная эволюционная смена элементной базы.

Фирма Xilinx – лидер на мировом рынке микросхем программируемой логики. Она предоставляет разработчикам широкий спектр кристаллов с различной технологией производства, степенью интеграции, архитектуры, быстродействием, потребляемой мощностью и напряжением питания. Кристаллы выпускаются в различных типах корпусов и в нескольких вариантах исполнения, в том числе промышленном, военном и радиационно стойком. Современные семейства ПЛИС фирмы Xilinx представлены на рис.1. Существовавшее ранее деление ПЛИС на CPLD и FPGA сегодня уже несколько устарело, поскольку из-за различий в архитектуре эти устройства по-разному позиционируются на рынке. Недорогие малопотребляющие ПЛИС с архитектурой CPLD, выполненные на основе флеш-памяти (т.е. представляющие собой одночиповое решение), сегодня служат для замены рас-

И.Тарасов, к.т.н.  
ilya.tarasov@inlinegroup.ru

сыпной логики и реализации простейших функций управления. В линейке продукции Xilinx наиболее современным семейством для этой архитектуры является серия CoolRunner-II емкостью от 32 до 512 макроячеек.

За последние 10 лет ПЛИС с архитектурой FPGA (на базе статической памяти) разделились на высокопроизводительную серию, концентрирующую в себе последние достижения микроэлектроники, – схемы Virtex, и дешевую, поддерживающую только основные функции, – схемы Spartan (см. рис.1).

Основа микросхемы с архитектурой FPGA – логическая ячейка. Ее внутренняя схема представлена на рис.2. Основными элементами, которые отличают FPGA как класс устройств, являются логический генератор (LUT – Look-Up Table) и триггер. Логический генератор – это блок статической памяти, содержащий таблицу истинности (Look-Up Table) некоторой комбинаторной функции. Переписывая содержимое такой таблицы, можно реализовать произвольную логическую схему, причем сложность выражения не влияет на быстродействие LUT. Речь идет о доступе к памяти, где комбинация входных сигналов задает адрес ячейки, в которой хранится значение для выхода такой схемы. Заполнение памяти LUT производят соответствующие САПР.

В дополнение к универсальной связке «LUT+триггер» в современных FPGA в составе ячейки имеются узлы, повышающие ее эффективность при решении типовых задач цифровой схемотехники. Например, передача бита переноса (carry) в соседний элемент встречается достаточно часто и определяет быстродействие таких элементов, как счетчики и сумматоры. Выделение для этого сигнала отдельной линии связи (так называемой линии ускоренного переноса) сопряжено с незначительным усложнением ячейки, но существенно повышает рабочую частоту этих стандартных узлов. Поэтому все FPGA имеют в составе ячейки линии ускоренного переноса.

Другой дополнительный узел – мультиплексор – объеди-

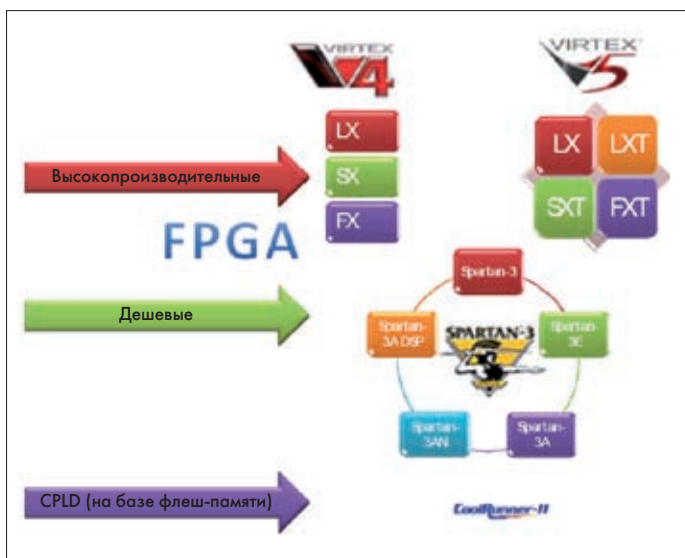
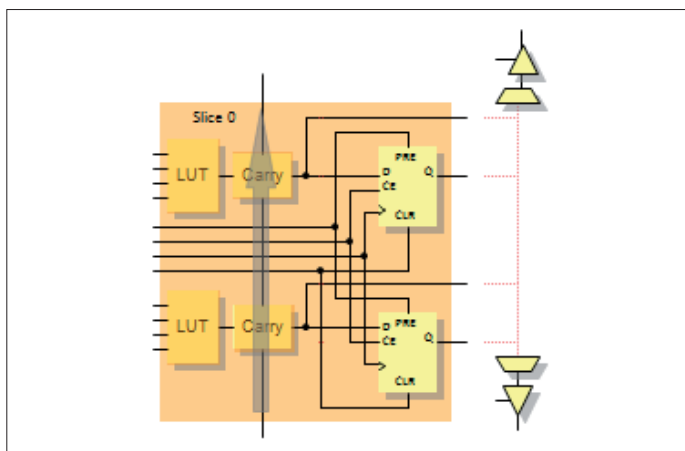


Рис. 1. Современные ПЛИС фирмы Xilinx



**Рис.2. Логическая ячейка FPGA фирмы Xilinx**

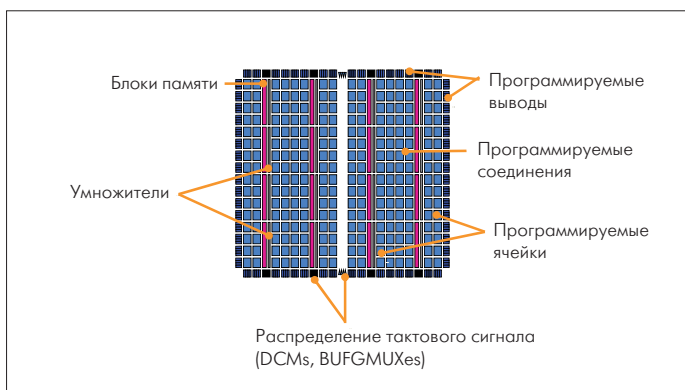
няет выходы двух LUT. Такой мультиплексор позволяет в ряде случаев реализовать на базе LUT комбинаторное выражение с числом входов на один больше, чем есть у самой LUT (в зависимости от сложности выражения). Такой мультиплексор обозначается как F5C с учетом того, что стандартная LUT в FPGA имеет четыре входа.

С мультиплексорами логических ячеек связано два фактора. Во-первых, кроме собственно комбинации «LUT+триггер» появляется еще одна разновидность элемента внутренней структуры FPGA – секция (slice). Под секцией понимается не-

которое количество ячеек, имеющих общие мультиплексоры. Таким образом, матрица программируемых ячеек образуется тиражированием по кристаллу секций, включающих как собственно ячейки, так и дополнительные элементы, общие для каждой секции. Во-вторых, максимальное число последовательно включенных мультиплексоров уже является отличительным параметром серий Virtex и Spartan. Если для Spartan цепочка мультиплексоров ограничена узлами F5 и F6 (мультиплексор F6 объединяет выходы двух F5), то в Virtex имеются также узлы F7 и F8, что в результате позволяет получить в пределах секции логические выражения с большим числом входов.

Само по себе наличие дополнительных мультиплексоров в Virtex не дает схемам этой серии кардинальных преимуществ перед семейством Spartan. Однако эти дополнительные коммутационные элементы наряду с другими достоинствами высокопроизводительной серии ПЛИС очень важны при создании проектов большого объема, где они наряду с прочими, малозначительными на первый взгляд, отличиями серии Virtex образуют качественно иные аппаратные структуры, позволяющие достигать в среднем в 1,5–2 раза больших тактовых частот.

Наиболее современными представителями недорогих FPGA вот уже несколько лет остаются семейство Spartan-3 и



**Рис.3. Структура FPGA Spartan-3**

его модификации, выполненные по 90-нм технологии. Структура Spartan-3 показана на рис.3.

Понятие «матрица логических ячеек, окруженная программируемыми выводами» долгое время вполне адекватно характеризовало архитектуру FPGA. В настоящее время даже те семейства, которые занимают на рынке нишу дешевых устройств, включают в себя аппаратные блоки, предназначенные для выполнения типичных операций. К таким блокам (для Spartan-3) относятся:

- двупортовая статическая память (BRAM), блоками по 18 кбит;
- аппаратные умножители независимых 18-битных операндов;
- блоки формирования тактового сигнала (DCM, Digital Clock Manager).

Блочная статическая память и аппаратные умножители активно применяются во многих проектах на базе ПЛИС. Именно умножители определяют одно из преимуществ ПЛИС перед ASIC – возможность организации параллельных вычислений с операциями «умножение с накоплением». Аппаратный умножитель занимает намного меньше места, чем аналогичный узел, выполненный на программируемых ячейках, и обладает всеми характеристиками аналогичных узлов, входящих в состав сигнальных процессоров. Поэтому в части алгоритмов цифровой обработки сигналов ПЛИС не уступают им (а часто – превосходят по показателю «производительность/цена»).

**Таблица. Характеристики микросхем семейства Spartan**

Семейство	Диапазон логической емкости, тыс. вентилей	Характеристика
Spartan-3	50–5000	Базовое семейство
Spartan-3E	100–1600	Большее количество ячеек на вывод корпуса
Spartan-3A	50–1400	Больше выводов корпуса на единицу емкости
Spartan-3AN	50–1400	Аналог Spartan-3A, отличие – конфигурационная флеш-память расположена на кристалле FPGA
Spartan-3A DSP	1800, 3400	Блоки умножения заменены блоками «умножение с накоплением», аналогично используемым в Virtex

Отдельно рассмотрим блоки формирования тактового сигнала и связанные с ними глобальные цепи его распространения. Переход к топологическим нормам 0,13 мкм усилил роль синхронных проектов в цифровой электронике, поскольку уменьшение размеров интегральных компонентов и сопоставимость их времени срабатывания с временем распространения сигналов по кристаллу вызвало множество проблем в области разработки цифровой аппаратуры. Изменения параметров технологических процессов и температурные колебания привели к тому, что асинхронные схемы перестали обеспечивать требуемую надежность. Часто возникающие метастабильные состояния стали причиной неработоспособности схем и появления «мерцающих» отказов. Исключить эти негативные эффекты можно переходом на синхронный стиль проектирования, при котором изменение состояния схемы производится строго по перепаду тактового сигнала. При этом важно, чтобы неравномерность фазы тактового сигнала, приходящего на отдельные элементы микросхемы, была минимальной. В решении этой задачи помогают глобальные цепи распространения тактового сигнала, специально предназначенные для доставки тактового сигнала ко всем компонентам кристалла с минимальной неравномерностью распространения. Формирование тактовых сигналов обеспечивается блоками DCM (Digital Clock Manager), которые предоставляют также возможности по синтезу частот, коррекции коэффициента заполнения и др.

Базовое семейство Spartan-3 и его разновидности (см. таблицу), предназначенные для различных сегментов рынка, производятся по 90-нм технологии.

Микросхемы семейства Spartan отличает не только соотношение основных ресурсов, но и дополнительные новые аппаратные блоки. Интерес представляют, например, Spartan-3A DSP, представленные всего двумя устройствами, которые вместо простых умножителей содержат полноценные блоки «умножение с накоплением» (MAC). Такие устройства могут привести в проект на базе FPGA новые функциональные возможности, характерные для дорогих ПЛИС Virtex с подобными блоками цифровой обработки сигналов. Аппаратные аккумуляторы, совмещенные с умножителями, не только экономят ресурсы ПЛИС, но и обеспечивают более высокие рабочие частоты, чем узлы на базе программируемых ячеек.

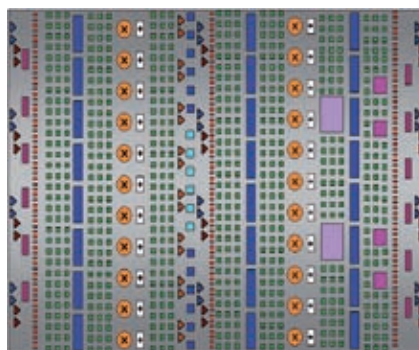
Другим перспективным семейством являются схемы Spartan-3AN, которые практически аналогичны ранее выпущенным Spartan-3A, но содержат на кристалле конфигурационную флеш-память. Хотя выход этого семейства на рынок прошел незамеченным, оно позволило разработать на основе FPGA полностью одночиповые решения. Устройства фактически представляют собой микросборки, где в одном корпусе расположены два кристалла – ПЛИС и флеш-ПЗУ, аналогичное AT45DB. Неочевидным, но очень важным следствием такого подхода является возможность аппаратной защиты проекта, поскольку конфигурационный поток из ПЗУ в ПЛИС



не может быть перехвачен внешними пробниками без вскрытия корпуса микросхемы. Однако даже в этом случае перехваченная конфигурация не подойдет для другого экземпляра той же ПЛИС, так как каждая микросхема имеет аппаратный 57-битный идентификационный номер (речь идет как о Spartan 3А, так и о Spartan 3АН).

После рассмотрения аппаратных модулей и их роли в формировании современной ПЛИС FPGA обратимся к high-end семейству Virtex-4/5, которые объединяет архитектура ASMBL (Advanced Silicon Modular Blocks), показанная на рис.4.

Особенностью архитектуры ASMBL является решение, когда не используется организация FPGA в виде прямоугольной матрицы ячеек, окруженной по периметру программируемыми блоками ввода-вывода. Основой ASMBL стало исполнение, при котором микросхема набирается из стандартных колонок: программируемых ячеек, блоков умножения с накоплением, блочной памяти, колонок с процессорными ядрами, блоками Ethernet, приемопередатчиками и т.д. Компоновка таких колонок в разном сочетании позволяет пользователям платформы получать микросхемы с разным соотношением основных ресурсов внутри одного семейства. Унификация фрагментов FPGA позволила Xilinx уже в семействе Virtex-4 быстро организовать выпуск трех отдельных платформ: LX (ориентированы на общую логику), SX (увеличенное число блоков «умножение с накоплением»), FX (в состав входят аппаратные ядра



**Рис.4. Структура FPGA Virtex-4/5 с архитектурой ASMBL**

процессора PowerPC405, скоростные приемопередатчики и блоки Ethernet MAC). Два последних ресурса оказались настолько удачным дополнением к FPGA верхнего ценового диапазона, что в следующем семействе Virtex-5 приемопередатчики были включены в состав платформ LXT и SXT. Семейство Virtex-5 с учетом сохраненной платформы LX позволяет разработчикам создавать четыре разновидности устройств, выполненных по технологическим нормам 65 нм:

- LX – ПЛИС общего назначения, логические и прототипы ASIC большого объема, диапазон емкости составляет 30–330 тыс. ячеек;
- LXT – LX с аппаратными приемопередатчиками MGT (Multi-Gigabit Transceivers), диапазон емкости аналогичен LX;



- SXT – ПЛИС с MGT и увеличенным количеством блоков ExtremeDSP, выполняющих «умножение с накоплением» на высокой частоте (30–240 тыс. ячеек);
- FXT – ПЛИС с MGT и аппаратными ядрами процессора PowerPC 440 (взамен PowerPC 405), 30–200 тыс. ячеек.

Кроме Ethernet MAC в Virtex-5 имеются также конечные точки PCI-Express и SATA. Они обеспечивают простое подключение к этим распространенным современным интерфейсам. Таким образом, на базе подобных ПЛИС удобно создавать коммуникационное оборудование, вычислительные кластеры и модули расширения для ПК.

Иллюстрацией к эффективности архитектуры ASMBL с технологической точки зрения является достаточно быстрое наполнение продуктовой линейки ПЛИС после анонса очередной платформы. Более того, для Virtex-5 уже после представления основных платформ были разработаны устройства LX155 (эта микросхема заняла промежуточное положение между LX110 и LX220) и «флагман» платформы обработки сигналов SX240, содержащий 1056 блоков ExtremeDSP.

Несмотря на то, что выпуск семейства FXT был задержан, образцы этих микросхем стали доступны разработчикам сразу после появления технической информации на сайте производителя. Отказ от раннего анонсирования, по-видимому, можно считать частью маркетинговой политики фирмы Xilinx, поскольку

ку «гонка анонсов», ранее имевшая место в области ПЛИС, в основном дезориентировала разработчиков, предлагая им заглядывать в проекты характеристики микросхем, которых на тот момент еще не было. Естественно, что ситуации, когда серийно выпускаемые ПЛИС не имели характеристик, заявленных ранее, отрицательно сказывались на реализуемых проектах. Например, целый ряд проблем в ПЛИС high-end в последнее время был связан со скоростными приемопередатчиками, представляющими собой сложнейшие аналого-цифровые системы, для которых важно обеспечить не только работоспособность самих образцов, но и устойчивые характеристики, и высокий выход годных изделий при серийном производстве.

Выход платформы FXT, органично продолжившей линейку высокопроизводительных FPGA Xilinx, завершил выпуск на рынок семейства Virtex-5. Наметившиеся тенденции в части совершенствования архитектуры ПЛИС, появления дополнительных функциональных блоков, усиления роли интегрированных аппаратных ядер в ПЛИС верхнего уровня позволяют предполагать как количественный, экстенсивный рост показателей, так и качественные улучшения внутренней структуры ПЛИС.

Официальным дистрибьютором Xilinx в России является компания Inlinegroup ([www.plis.ru](http://www.plis.ru)), обеспечивающая кроме поставок микросхем и средств проектирования техническую поддержку и обучение по официально утвержденным Xilinx учебным курсам. В настоящее время существует бесплатная версия САПР ПЛИС ISE Foundation Webpack, предоставляющая доступ ко всем средствам проектирования с ограничением по логической емкости кристалла. Это позволяет разработчикам электронной аппаратуры без каких-либо существенных затрат оценить возможности современных ПЛИС Xilinx и их пригодность для ведущихся разработок. ○

### «День встраиваемых технологий Windows Embedded» в России, Белоруссии и на Украине.

Компания «Кварта Технологии», российский дистрибьютор и тренинг-партнер по встраиваемым системам компании Microsoft, проводит серию бесплатных семинаров в городах России и странах СНГ. Мероприятие организовано для производителей различных устройств и посвящено технологиям Microsoft Windows Embedded, а также новым продуктам, выходящим в свет осенью 2008 года. Программа каждого семинара состоит из коммерческой и технической сессий и включает обзоры и технические демонстрации. Таким образом, семинары будут интересны как руководителям, так и ведущим инженерам-разработчикам.

**Семинары пройдут** в Ростове-на-Дону (14 октября); в Нижнем Новгороде (21 октября), в Самаре (22 октября), в Минске (12 ноября), в Киеве (20 ноября), в Екатеринбурге (3 декабря) и в Санкт-Петербурге (11 декабря). Подробности – на сайте [www.membedded.ru/RoadShow](http://www.membedded.ru/RoadShow)