

# ПЛИС КОРПОРАЦИИ ACTEL ДЛЯ ПОРТАТИВНЫХ СИСТЕМ

## Семейство IGLOO/e



С.Карпов  
karpov@actel.ru

Сегодня разработчики портативной аппаратуры все больше нуждаются в программируемых логических схемах (ПЛИС) с чрезвычайно низким энергопотреблением и малыми габаритами, позволяющих быстро и эффективно создавать сложные интеллектуальные системы. Эту задачу успешно решила корпорация Actel, создавшая ПЛИС семейства IGLOO/e, предназначенные для применения, в первую очередь в портативных устройствах.

### АРХИТЕКТУРА ПЛИС СЕМЕЙСТВА IGLOO/e

Микросхемы семейства IGLOO/e выполнены на основе архитектуры FPGA семейства ProASIC3 с использованием уникальной 0,13-мкм Flash КМОП-технологии с семью слоями металлизации. Рабочее напряжение микросхем семейства составляет 1,2/1,5 В. Flash-технология изготовления системных вентиляей делает ненужным применение отдельной энергонезависимой памяти для хранения конфигурации. Поэтому этап загрузки при подаче питания на систему отсутствует. ПЛИС готова к работе непосредственно по включении питания.

Микросхемы семейства имеют до  $3 \cdot 10^6$  системных логических вентиляей, интегрированное двухпортовое статическое ОЗУ объемом до 504 Кбит, до шести интегрированных блоков ФАПЧ и до 616 входов/выходов (рис.1).

Основной элемент ПЛИС – логическая ячейка (Versa Tile), которая с помощью системных вентиляей может быть сконфигурирована в один из следующих четырех логических элементов:

- один из трехходовых логических элементов – И, ИЛИ, НЕ, И-НЕ и т.п.;
- трехходовой регистр-защелку;
- D-триггер со сбросом и установкой;
- D-триггер с разрешением, сбросом и установкой.

ПЛИС IGLOO/e имеет интегрированное СОЗУ, сгруппированное в блоки по 4 Кбит. Каждый блок может быть

сконфигурирован либо как двухпортовое ОЗУ, либо как FIFO с организацией 1К×4 бит, 2К×2, 1К×4, 512×9 или 256×18 бит. Блоки можно наращивать для увеличения объема или разрядности данных СОЗУ.

Встроенная энергонезависимая флэш-ПЗУ объемом 1 Кбит разделена на восемь блоков емкостью 128 бит каждый (8×16 бит). Для логической матрицы флэш-ПЗУ доступно только для чтения. Стирание и запись данных каждого блока могут осуществляться индивидуально через последовательный IEEE 1532 JTAG порт.

Для программирования флэш-ПЗУ и ядра ПЛИС не требуется отдельный источник питания. Встроенный повышающий стабилизатор напряжения формирует все необходимые для этого значения напряжения.

Интегрированный 128-бит AES-декодер обеспечивает защиту от копирования не только содержимое ПЛИС, но и флэш-ПЗУ. При этом в полной мере сохраняется возможность отладки и верификации проекта.

Блоки ввода/вывода содержат выходной буферный регистр и могут быть сконфигурированы как вход, выход, выход с тремя состояниями или двунаправлен-

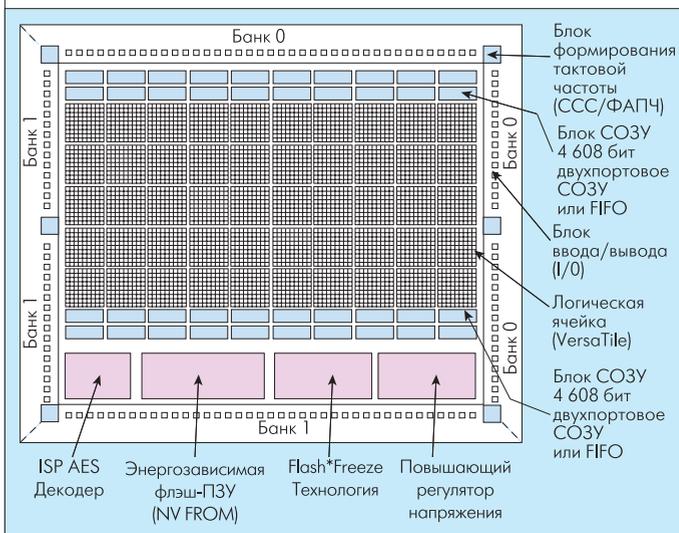


Рис.1. Архитектура FPGA IGLOO/e



Рис.2. Flash\*Freeze-вывод FPGA

ный буфер. Они могут работать со многими стандартами ввода/вывода данных, включая дифференциальные – LVTTTL, LVCMOS, 3.3В PCI/3.3В PCI-X, LVPECL, LVDS, BLVDS, MLVDS с уровнями сигналов 1,5, 1,8, 2,5 3,3 или 5 В. Реализована поддержка DDR-интерфейса со скоростью передачи данных до 700 Мбит/с. Возможно программирование скорости нарастания сигнала и нагрузочной способности каждого входа/выхода. Блоки разделены на несколько банков с индивидуальными выводами питания, что позволяет работать в системе с несколькими рабочими напряжениями без дополнительных схем согласования уровней.

ПЛИС семейства IGLOO/e имеют гибкую систему управления энергопотреблением, позволяющую в значительной мере экономить заряд батарей.

**РЕЖИМ FLASH\*FREEZE**

Flash\*Freeze – уникальная технология концерна Actel, позволяющая легко перевести микросхему в режим со сверхнизким потреблением (рис.2). При этом не нужно отключать источник напряжения или генератор тактовой частоты. В этом режиме потребляемая мощность может быть менее 5 мкВт, при этом сохраняются не только данные СОЗУ, но и состояние триггеров логических элементов ПЛИС. В результате после выхода из режима сверхнизкого потребления выполнение алгоритмов работы продолжится. Управление режимом осуществляется через специальный вход FF (Flash\*Freeze).

Перевод ПЛИС в режим Flash\*Freeze может осуществляться двумя способами. Согласно первому, вход и выход из режима осуществляются непосредственно по сигналу со входа FF (режим Flash\*Freeze, тип 1, рис.3). При активном низком уровне FF-входа ПЛИС переходит в режим Flash\*Freeze через 1 мкс. Время возврата в активный режим после снятия сигнала FF то же – 1 мкс (рис.4).

Согласно второму способу (режим Flash\*Freeze, тип 2), управление режимом Flash\*Freeze осуществляется как со входа FF, так и внутрисхемной логикой ПЛИС, используя либо заданную пользователем управляющую логику, либо схему фиксированной задержки (рис.5). Это позволяет при необходимости завершить важные операции прежде, чем ПЛИС перейдет в режим Flash\*Freeze. Переход в режим Flash\*Freeze, тип 2,

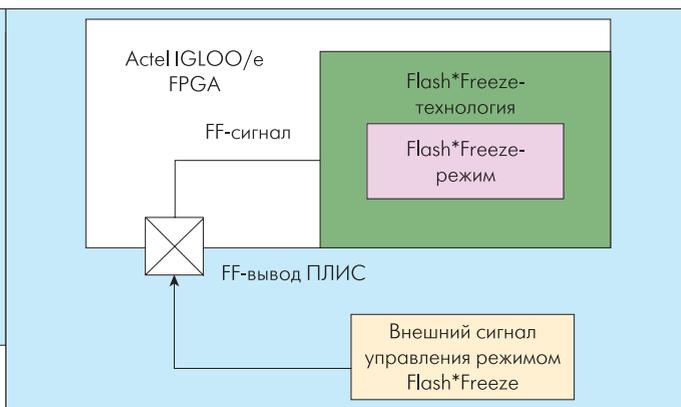


Рис.3. Структура управления режимом Flash\*Freeze, тип 1

происходит только тогда, когда оба сигнала активны – низкий уровень на входе FF и высокий у логической матрицы. Выход в активный режим происходит, как и в режиме Flash\*Freeze, тип 1, после снятия сигнала на входе FF (рис.6).

Состояние входов/выходов в режиме Flash\*Freeze определяется наличием внутренних подтягивающих резисторов и типом входа/выхода (табл.1). Помимо режима Flash\*Freeze, у ПЛИС семейства IGLOO есть еще несколько режимов пониженного энергопотребления: режим холостого хода (Idle), спящий (Sleep) и выключенный (Shutdown). Условия входа и выхода, а также значение потребляемой энергии для всех режимов работы представлены в табл.2.

В активном режиме ПЛИС потребляет мощность от 25 мкВт. Основные характеристики микросхем семейства IGLOO/e приведены в табл.3.

Концерн Actel также выпускает ПЛИС семейства IGLOO/e, адаптированные под микропроцессорные ядра ARM7 и Cortex-M1.

Для применения в портативных устройствах требуются микросхемы не только с малой потребляемой мощностью, но и имеющие малые габариты. Поэтому ПЛИС семейс-

Таблица 1. Состояние входов/выходов в режиме Flash\*Freeze

Тип	Внутренний подтягивающий резистор на землю/источник питания	Состояние входа/выхода в режиме Flash*Freeze
Вход	Используется	0 или 1 в зависимости от подключения резистора
	Не используется	Высокоомное
Выход	Используется	0 или 1 в зависимости от подключения резистора
	Не используется	Высокоомное
Выход с третьим состоянием	Не применим	Высокоомное
	Не применим	Высокоомное
	Используется	0 или 1 в зависимости от подключения резистора
Двунаправленный буфер	Используется	0 или 1 в зависимости от подключения резистора
	Не используется	Высокоомное

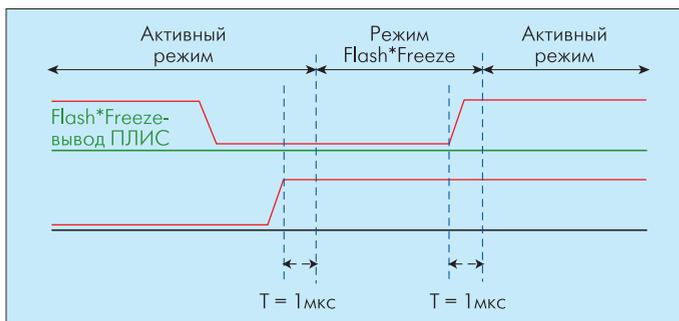


**Таблица 2. Режимы работы FPGA семейства IGLOO**

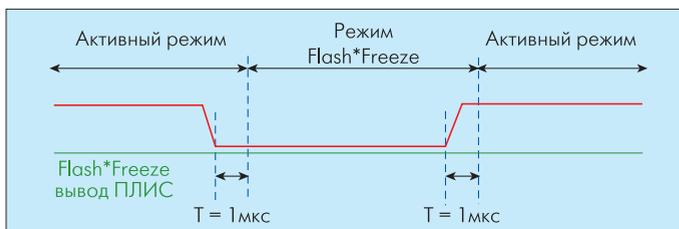
Режим	Напряжение ядра, $V_{cc1}$	Напряжение портов ввода-вывода, $V_{cc}$	Состояние ядра	Генератор тактовой частоты	Вход в режим Flash*Freeze	Выход из режима Flash*Freeze	Потребляемый ток (AGL030), сред., мкА
Активный	Подано	Подано	Активное	Включен	–	–	< 20
Пониженного энергопотребления	Подано	Подано	Пассивное	Отключен	Отключить генератор тактовой частоты	Включить генератор тактовой частоты	20
Статический, Flash*Freeze	Подано	Подано	Пассивное	Включен	Активный уровень сигнала на выводе FF	Сигнала на выводе FF нет	4
Flash*Freeze	Подано	Подано	Пассивное	Включен	Активный уровень сигнала на выводе FF и сигнал LSICC	Сигнала на выводе FF нет	4
Спящий	Подано	–	Отключено	Отключен	–	Подать напряжение $V_{cc}$	5
Выключен	Отключено	Отключено	Отключено	Отключен	–	Подать напряжение $V_{cc}$ и $V_{cc1}$	0

**Таблица 3. Основные характеристики FPGA семейства IGLOO/e**

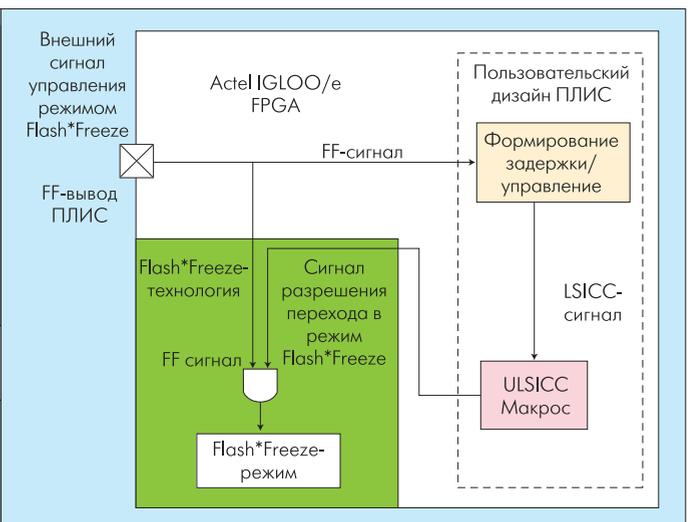
IGLOO адаптированные под Cortex-M1	AGL030	AGL060	AGL125	AGL250 M1AGL250	AGL600 M1AGL600	AGL1000	AGLE600	AGLE3000 M1AGL3000
Системных вентиляей	30 000	60 000	125 000	250 000	600 000	1 000 000	600000	3 000 000
Логических ячеек (D-триггеров)	768	1 536	3 072	6144	1 3824	2 4576	1 3824	75 264
ФАПЧ	-	1	1	1	1	1	6	6
Глобальных цепей	6	18	18	18	18	18	18	18
Емкость флэш-ПЗУ, бит	1 k	1 k	1 k	1 k	1 k	1 k	1 k	1 k
Блоков СОЗУ (4608 бит)	-	4	8	8	24	32	24	112
Емкость ОЗУ, Кбит	-	18	18	36	108	144	108	504
Среднее значение тока потребления в режиме Flash*Freez, мкА	4	8	14	28	60	102	60	245
Ток потребления в спящем режиме,	20	24	30	48	80	122	88	273
I/O банков (+ JTAG)	2	2	2	4	4	4	8	8
Стандарт I/O	Std, Hot-Swap	Std+	Std+	Std+/LVDS	Std+/LVDS	Std+/LVDS	Pro	Pro
Максимальное число I/Os	81	96	133	143	235	300	270	616
Корпуса	uC81 CS81 QN132 VQ100	CS121 QN132 VQ101 FG144	CS196 QN132 VQ101 FG145	CS196 QN132 VQ101 FG146	FG144 FG256 FG484	FG144 FG256 FG484	FG256 FG484	FG484 FG896



**Рис.4. Временная диаграмма перехода в режим Flash\*Freeze, тип 1, и выхода из него**



**Рис.6. Временная диаграмма перехода в режим Flash\*Freeze тип 2 и выхода из него**



**Рис.5. Структура управления режимом Flash\*Freeze, тип 2**

тва IGLOO выпускаются в миниатюрных корпусах типа CS размером от 8×8 мм до 5×5 мм, а также в корпусе типа uC81 размером всего 4×4 мм.