

УЧЕТ ОСОБЕННОСТЕЙ МИКРОЭЛЕКТРОННЫХ НАНОТЕХНОЛОГИЙ

ПРИ ПРОЕКТИРОВАНИИ СБИС*

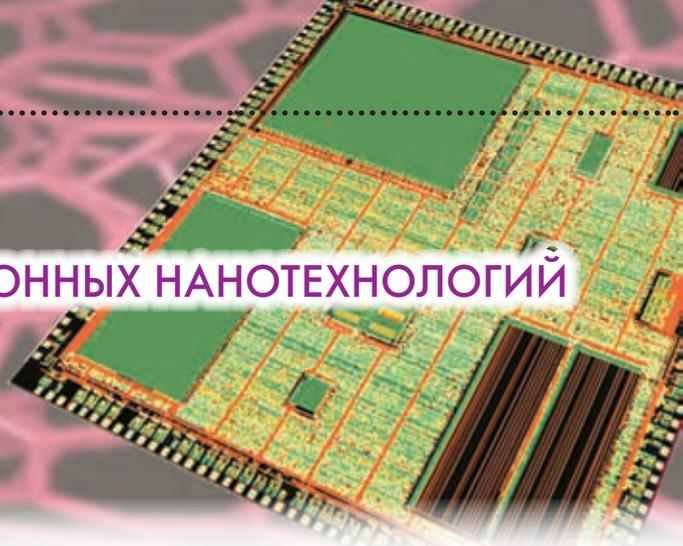
Вторая часть статьи посвящена оценке быстродействия цифровых блоков, разрабатываемых по нанометровым проектным нормам, а также особенностям топологического проектирования при использовании таких норм. Рассматриваются методологии проектирования с учетом производственного процесса (DFM) и для увеличения выхода годных (DFY).

ВЛИЯНИЕ ДЕСТАБИЛИЗИРУЮЩИХ ФАКТОРОВ НА БЫСТРОДЕЙСТВИЕ ЦИФРОВЫХ МИКРОСХЕМ

Существующие САПР позволяют оценить работоспособность схемы при нормальных и граничных условиях эксплуатации (повышенная температура в сочетании с минимальным напряжением питания и током КМОП-транзисторов, пониженная температура в сочетании с максимальным напряжением питания и током транзисторов). Средства для статистического расчета динамических параметров пока находятся в стадии разработки [1]. Чтобы обеспечить надежное функционирование с учетом воздействия импульсных помех и технологического разброса параметров, разработчики вынуждены понижать быстродействие цифровых микросхем таким образом, чтобы разброс выходных динамических параметров не повлиял на работоспособность системы.

Для проектов с технологическими нормами больше 0,25 мкм, включающих до миллиона элементов, влияние дестабилизирующих факторов на выходные параметры цифровых микросхем можно не учитывать. Однако для микросхем с размерами 180 нм и менее отклонения динамических параметров от расчетных величин очень заметны и возрастают с увеличением степени интеграции. Максимальные значения импульсных помех в цепях питания достигают десятков процентов [2]. Наибольшую амплитуду имеют составляющие с частотами 30–300 МГц. Именно такие частоты наиболее часто применяются для общей синхронизации кристаллов. На точность расчета динамических параметров влияет и точность расчета задержек в проводниках. Для микросхем с минималь-

*Продолжение. Начало см.: ЭЛЕКТРОНИКА:НТБ, 2007, №7, с.98–105.



Д.Адамов

Denis@UniquelCs.com

ными размерами элементов 0,25 мкм и более в большинстве случаев достаточно учитывать только емкости проводников. При размерах 180 нм и менее необходимо учитывать влияние сопротивлений линий связи. А после 90 нм еще и индуктивность. При использовании полной модели блока с паразитными резисторами и индукторами многократно возрастает время расчетов. Переход к упрощенной модели сопровождается увеличением погрешности вычислений [3].

Предварительную оценку влияния дестабилизирующих факторов на быстродействие цифровых микросхем можно выполнить на основе аналитических расчетов с использованием результатов измерений тестовых кристаллов и завершенных проектов. Приведем пример такого расчета для технологии 90 нм (значения дестабилизирующих факторов получены в результате измерений тестовых кристаллов и на основе опубликованных данных).

Оценим тактовую частоту цифрового автомата без учета дестабилизирующих факторов. Число логических элементов в блоке – около 60 тысяч. Число триггеров в регистрах состояний – около пяти тысяч. Дерево распределения синхросигнала включает 100 буферов, объединенных в четыре яруса. Максимальная логическая глубина комбинационных блоков (L) – пятнадцать вентиляей. Традиционная методика расчетов дает следующие результаты. Средняя задержка логического вентиля – 40 пс. Средняя задержка буфера синхронизации – 100 пс. Фронты синхросигналов – 85 пс. Расхождение фронтов синхросигналов на входах всех триггеров – ± 50 пс. Минимальные значения времен установки и удержания данных на входах триггеров включают расчетное расхождение фронтов плюс величину фронта синхросигнала – 135 пс. Минимальный период тактового сигнала равен сумме времени установки данных и времени максимальной задержки данных в комбинационной цепи – 735 пс. Минимальная задержка сигнала в комбинационной цепи не должна быть меньше времени удержания – 135 пс. Расчетная максимальная частота синхросигнала не должна превышать 1380 МГц (рис.1).

Оценим влияние дестабилизирующих факторов. Протоколы измерений тестовых кристаллов производителя дают ве-

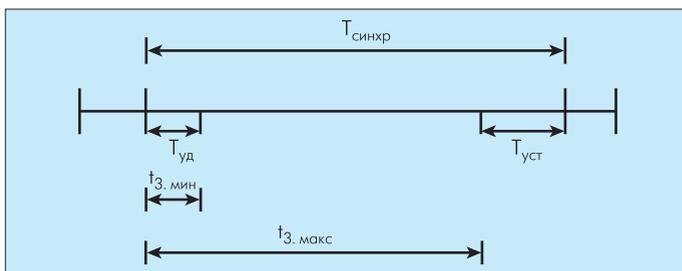


Рис. 1. Временная диаграмма работы цифрового автомата:
 $T_{\text{синхр}}$ — период синхросигнала; $T_{\text{уст}}$ — интервал предварительной установки данных на входах регистров состояний; $T_{\text{уд}}$ — интервал удержания данных на входах регистров состояний; $t_{з.мин}$ — минимальная расчетная задержка в комбинационных цепях; $t_{з.макс}$ — максимальная расчетная задержка в комбинационных цепях

личину среднеквадратического отклонения тока транзисторов 10–12% от номинальной величины. Помехи в цепях питания генерируются при переключении большого числа логических элементов в комбинационных блоках. Переключения буферов в цепях синхронизации обычно происходят в те промежутки времени, когда комбинационные блоки не переключаются и не потребляют ток от источника питания. Так как число буферов в цепях синхронизации — около 1% от общего числа вентилях, то и ток потребления в процессе распределения синхросигнала составляет несколько процентов от максимального. В расчетах следует учитывать влияние внутренних помех только на комбинационные блоки. Помехи в цепях питания, подложке и сигнальных проводниках действуют синхронно, поэтому их воздействия на задержку сигнала складываются. При измерениях невозможно разделить составляющие помех. Измерения комплексного воздействия помех на кольцевые генераторы в тестовых кристаллах дают увеличенные задержки вентиля — 10–15%.

Точность расчета задержек логических элементов определяется с помощью методов учета паразитных емкостей и сопротивлений проводников. Функционально-логическое моделирование цифровых блоков учитывает только увеличение задержки вентиля как функцию его нагрузочной емкости и длины проводника. Индуктивность проводников учитывается только косвенно через длину проводника. Ошибки в расчетах задержек логических элементов имеют статистический характер. Наши оценки ошибок, связанных с точностью расчетов задержек, дают величину среднеквадратичного отклонения не менее 3% от значения задержки.

Технологический разброс параметров влияет на суммарное расхождение фронтов данных и синхросигналов. Поскольку величины разброса и погрешностей вычислений случайны, дисперсия выходных параметров является суммой дисперсий всех элементов:

$$D_y = D_T \cdot L + D_B \cdot L + D_{CT} \cdot m + D_{CB} \cdot m.$$

В формуле D_y , D_T , D_B , D_{CT} , D_{CB} — дисперсии для времени установки и удержания данных, времени задержки в логической цепи, погрешности расчета задержки в логической цепи, времени задержки в цепи синхросигнала, погрешности расчета

задержки синхросигнала. L и m — логическая глубина в комбинационной цепи и длина цепи синхронизации. Для оценочных величин $D_T = (0,1 \cdot t_3)^2$; $D_B = (0,03 \cdot t_3)^2$; $D_{CT} = (0,1 \cdot t_{3C})^2$; $D_{CB} = (0,03 \cdot t_{3C})^2$ получим значение дисперсии времени установки и удержания $D_y = (26 \text{ пс})^2$.

Оценим влияние импульсных помех. Амплитуда помех в цепи питания составляет в среднем 10–15% от напряжения питания [2]. Основная мощность помех приходится на диапазон частот ниже частоты синхросигнала. То есть напряжение питания понижается одновременно на всех логических элементах. Так как выходная проводимость транзисторов квадратично зависит от напряжения питания, а напряжение переключения вентилях линейно, то величина задержки в первом приближении обратно пропорциональна напряжению питания [4]. Помехи в подложке по абсолютной величине имеют примерно такую же величину, что и помехи по питанию. Однако их влияние на задержки логических элементов на порядок меньше, поэтому их учитывать не будем.

Как же изменится распределение временных интервалов на временной диаграмме работы цифрового автомата? Времена установки и удержания должны быть увеличены на величину, зависящую от числа логических цепей. В нашей схеме около 5000 логических цепей по числу триггеров в регистрах состояний. При нормальном распределении задержек в диапазон $\pm 3\sigma$ не попадут 27% выборок. Это очень много для блока с 5000 логических цепей. Выход годных схем с расчетными параметрами будет очень низким. При запасе $\pm 4\sigma$ вероятность непопадания в интервал снижается на два порядка и вполне удовлетворяет условию выхода годных схем не менее 80%. Соответственно времена установки и удержания данных должны быть увеличены на 104 пс и установлены на уровне 240 пс.

Кроме случайных отклонений задержек необходимо учесть помехи в цепях питания, которые приводят к увеличению задержки. Влияние этих помех на задержку тактового сигнала можно не учитывать, поскольку переключения цепей синхронизации происходят в промежутки времени с наименьшей активностью схемы. Комбинационные цепи переключаются в промежутки времени с наибольшей активностью, и задержки логических цепей могут увеличиваться. Величину увеличения задержки можно принять пропорциональной уровню помех по питанию, т.е. 15% от номинальной задержки логической цепи. В нашем случае это 90 пс. Данная величина должна быть прибавлена только к времени установки данных, так как помехи никогда не уменьшают задержки.

В результате получилось следующее распределение временных интервалов на временной диаграмме:

- время установки данных на входах триггеров состояний — 330 пс;
- время удержания данных на входах триггеров состояний — 240 пс;

- минимальный период тактового сигнала – 930 пс и соответствующая частота синхронизации – 1076 МГц;
- минимальная расчетная задержка в комбинационной цепи – 240 пс;
- максимальная расчетная задержка в комбинационной цепи – 600 пс.

Таким образом, наибольший вклад в снижение быстродействия блока вносят факторы статистического разброса задержек логических элементов. Их влияние на быстродействие цифровой микросхемы возрастает с увеличением числа элементов и уменьшением их минимальных размеров.

Некоррелированные статистические вариации параметров нельзя компенсировать с помощью схемотехнических методов. Однако многие вариации имеют достаточно большую геометрическую область корреляции, в пределах которой возможно применение схемотехнических методов коррекции. Например, изолированные "карманы", в которых сформированы МОП-транзисторы, подключают не к шинам питания, а к программируемым источникам смещения. Меняя напряжение смещения можно изменить пороговое напряжение и максимальный ток у большой группы транзисторов одновременно. Цифровая схема должна быть разделена на достаточно крупные локализованные фрагменты. Каждый фрагмент управляется собственным блоком коррекции. Блок коррекции включает датчик параметров транзисторной структуры (токов, пороговых напряжений) и цепь управления, изменяющую эти параметры. Блок коррекции может компенсировать не только технологический разброс, но и отклонения, вызванные изменением температуры или напряжения питания.

ПРОЕКТИРОВАНИЕ ТОПОЛОГИИ

Правила топологического проектирования нанометровых микросхем включают различные группы ограничений. Самые жесткие ограничения определяются требованиями к соблюдению допустимых форм и минимальных размеров элементов, взаимному расположению и расстоянию между ними. Значения минимальных зазоров между элементами зависят от используемых средств оптической коррекции. Применение SRAF-коррекции (с помощью дополнительных элементов) приводит к необходимости увеличения минимальных зазоров. Использование фазосдвигающих фотошаблонов (PSM), наоборот, позволяет уменьшить минимальные зазоры.

Другая группа ограничений определяет набор требований, при соблюдении которых дефекты, связанные с вариациями размеров, практически не влияют на выход годных. Такие, оптимальные с точки зрения выхода годных ограничения, могут нарушаться в процессе проектирования, если это требуется для достижения заданных технико-экономических характеристик разрабатываемого устройства.

Ограничения на равномерность заполнения площади кристалла направлены на снижение влияния вариаций парамет-

ров элементов. При равномерном заполнении все физические структуры микросхемы находятся в примерно одинаковом окружении, взаимное влияние структур усредняется и вариации параметров элементов уменьшаются.

Еще одна группа ограничений связана с так называемым "антенным эффектом". Во время технологических процессов плазменного травления и полировки на проводниках накапливается статический заряд, который может привести к пробое МОП-транзисторов. Чтобы минимизировать "антенный эффект", вводят специальные ограничения на площадь соединений на внутренних слоях металлизации.

Одна из наиболее сложных задач на этапе топологического проектирования – найти компромисс между применением оптимальных и минимальных проектных норм. При использовании оптимальных для производства проектных норм обеспечивается стабильный высокий выход годных, но при этом возрастает площадь кристалла и падает быстродействие. Можно даже сказать, что если при использовании оптимальных проектных норм удалось достичь всех требуемых в спецификации параметров, то технологический процесс выбран неверно. Для такой микросхемы следует применять более дешевую технологию. Если же использовать только минимальные размеры и зазоры, то быстродействие будет выше, а площадь меньше, но выход годных и воспроизводимость параметров ухудшатся. Как правило, компромиссом является использование минимальных норм для критических блоков и оптимальных для некритических. Но для окончательного решения, какие элементы, по каким нормам будут реализовываться, необходимы расчеты вероятности появления дефектов, связанных с вариациями размеров элементов топологии.

Процесс физического проектирования кристалла микросхемы включает следующие этапы:

- декомпозиция электрической схемы с выделением критических путей и блоков;
- синтез топологии с использованием минимальных норм для критических блоков и оптимальных норм для остальных блоков;
- оптимизация топологии, оценка выхода годных;
- экстракция паразитных параметров проводников;
- расчет схемы с паразитными параметрами;
- коррекция схемы или завершение цикла.

При разработке устройств по нанометровым технологическим нормам оптимизация топологии должна проводиться с учетом естественных вариаций размеров топологических элементов. Для такой оптимизации может использоваться критерий минимизации "критической площади", отражающий вероятность появления дефекта в областях "горячих пятен" (hotspots) [5]. На участках таких "горячих пятен" вариации параметров могут приводить к возникновению поражающих дефектов. Значения "критической площади" вычисля-

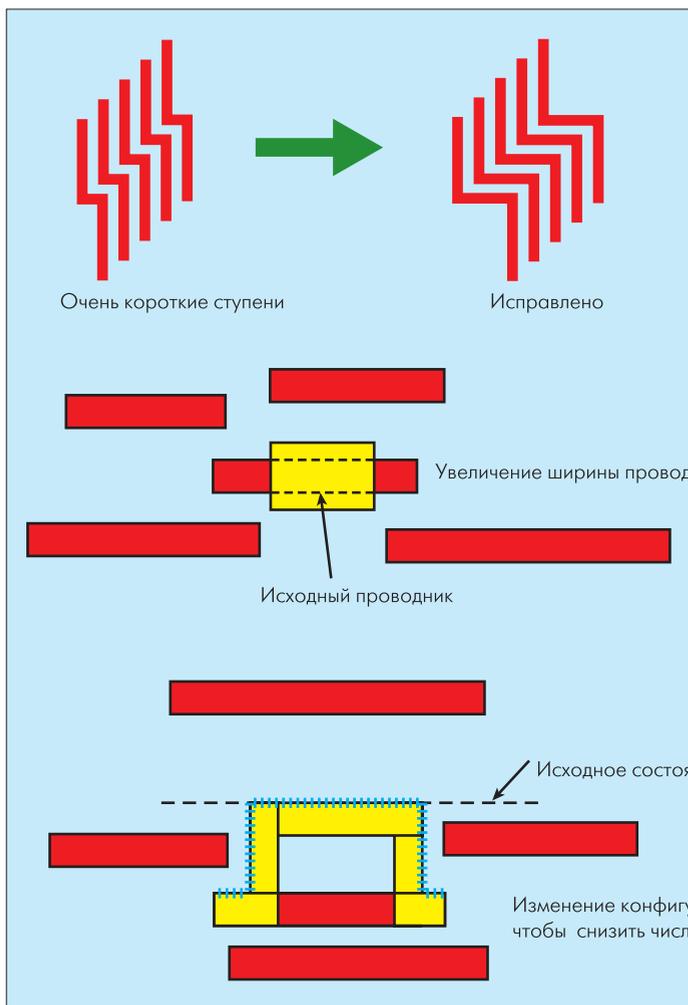


Рис.2. Варианты коррекции топологии металлизации

ются отдельно для каждого топологического слоя и для дефектов типа "замыкание элементов в зазоре", "разрыв элементов", "замыкание слоев в пересечениях". Процесс оптимизации топологии обычно завершается, когда очередная итерация практически не влияет на прогнозируемый выход годных изделий. Наибольшие возможности для оптимизации существуют на слоях металлизации. С помощью набора итерационных оптимизационных процедур (рис.2) "критическая площадь" на этих слоях может быть уменьшена в десять раз.

Для равномерного распределения топологических элементов используется введение дополнительных фиктивных компонентов. Это относится к тем слоям и элементам топологической структуры, поведение которых зависит от плотности заполнения кристалла. Так, для топологических слоев, связанных с процессами легирования полупроводников, травления контактных окон и поликремния на затворах МОП-транзисторов, требование равномерного заполнения кристалла несущественно. А вот боковая диэлектрическая изоляция транзисторов создает термомеханические напряжения в структуре микросхемы, которые можно снизить, равномерно заполняя свободные участки кристалла фиктивными структурами.

На слоях металлизации выравнивание плотности также позволяет уменьшить термомеханические напряжения. Кроме того, однородность поверхности улучшается после химико-механической полировки пластин. Для выравнивания плотности применяются два типа фиктивных элементов – фиктивные проводники в широких диэлектрических зазорах и фиктивные диэлектрические зазоры в широких проводниках. Синтез фиктивных элементов, в соответствии с заданными ограничениями на равномерность заполнения площади кристалла, обычно реализуется средствами САПР топологического проектирования. При разработке топологии ячеек памяти, регулярных матричных схем и библиотечных элементов вставку фиктивных элементов можно производить с учетом результатов моделирования технологического процесса средствами технологических САПР.

Опасность "антенного эффекта" – в возможности повреждения тонкого подзатворного диэлектрика МОП-транзистора в процессе производства. Критичные с точки зрения этого эффекта процессы – удаление фоторезиста и осаждение диэлектрика. Во время плазмохимического травления р-п-переходы нагреваются до температуры несколько сотен градусов и облучаются светом от разряда. Проводимость их достаточна для стекания разрядного тока в подложку. Сопротивление диэлектриков остается очень высоким, а напря-

жение на изолированных проводниках может достигать несколько сотен вольт. Если изолированный проводник соединен с затвором, то разрядный ток способен вызвать туннельный пробой подзатворного диэлектрика. При достижении определенной плотности тока параметры транзистора изменяются, может произойти замыкание затвора с подложкой. Для борьбы с "антенным эффектом" используют следующие приемы: ограничение ширины затвора МОП-транзистора; запрет на подключение поликремниевых соединений к затвору; перенос проводников, подключенных к затвору, в верхние слои металлизации; введение в структуру микросхемы защитных диодов, подключенных к затвору и подложке.

МЕТОДОЛОГИИ ПРОЕКТИРОВАНИЯ

В англоязычной литературе, посвященной вопросам проектирования электронной аппаратуры с учетом возможностей производства, используются два термина: "Design for manufacturability" (DFM) и "Design for yield" (DFY). Термин DFM относится к методологии проектирования, предусматривающей комплексную оптимизацию архитектуры, схемотехники и конструкции микросхемы при проектировании "сверху-вниз". Методология DFM базируется на использовании статистически характеризованных параметров элементов, обеспечивающих гарантированное достижение выходных параметров изделий. Методология DFY предусматривает оптимизацию физических структур на основе статистического характера распределения параметров, учета возможности конкретного технологического процесса, процедуры моделирования параметров физических структур. В некотором смысле методологию DFY можно рассматривать как развитие базы данных для проектирования "снизу-вверх". Процедуры DFM и DFY часто совпадают по содержанию и используемым данным, но их цели несколько различаются.

Процесс проектирования нанометровых микросхем должен учитывать статистические характеристики параметров элементов, возможности их коррекции, требования по оптимизации конструкции, возможности энергосбережения и снижения уровня помех. Все эти вопросы невозможно разрешить в отрыве от характеристик конкретного технологического процесса. Основная концепция методологии DFM – отказ от технических решений, унифицированных для различных техпроцессов. Целью оптимизации технического решения должно стать достижение оптимального варианта с учетом возможностей конкретного техпроцесса.

Методология DFY в своей основе экономическая. Нанометровые технологии создают новую систему технических и экономических ограничений. Себестоимость продукции складывается из затрат на разработку и подготовку производства, а также производственных расходов. Стоимость комплекта фотошаблонов для проектных норм 90 нм уже более миллиона долларов. Чтобы уменьшить влияние вариации размеров, не-

обходимо проводить дополнительную оптимизацию, ориентированную на увеличение выхода годных, использовать сложные методы коррекции оптических искажений и усовершенствованные технологии производства. В результате стоимость фотошаблонов может увеличиться в несколько раз, да и затраты на проектирование возрастают. Методология DFY предусматривает комплексную оценку дополнительных затрат на проектирование, подготовку производства и выгоды от увеличения выхода годных. С точки зрения этой методологии, вариант, обеспечивающий наилучшие экономические характеристики, является оптимальным.

Внедрение новых методологий проектирования требует новых средств САПР и новых правил описания технологии. Полнота технической документации, характеризующей возможности технологического процесса, теперь должна оцениваться с точки зрения реализации проектирования в соответствии с принципами DFM и DFY. Эти технологии еще в процессе становления, однако уже сейчас очевидно, что реализация принципов DFM и DFY – одно из основных направлений развития в области проектирования СБИС в ближайшие годы.

ЛИТЕРАТУРА

1. Devgan A., Kashuap C.V. Block-based statistical timing analysis with uncertainty. – Proceedings of International Conference on Computer-Aided Design, 2003, Nov., p. 607–614.
2. Hazucha P., Moon S.T., Schrom G., Paillet F., Gardner D.S., Rajapandian S., Karnik T. A Linear Regulator with Fast Digital Control for Biasing Integrated DC-DC Converters. – ISSCC, 2006, Session 29, Power Management and Distribution, p. 29.2.
3. Shi X., Ma J.-G., Yeo K.-S., Do M.A., Li E. Equivalent Circuit Model of On-Wafer CMOS Interconnects for RFICs. – IEEE Transactions on Very Large-Scale Integration (VLSI) Systems, 2005, v. 13, N 9, p. 1060–1071.
4. Zhai B., Blaauw D., Sylvester D., Flautner K. The Limit of Dynamic Voltage Scaling and Insomniac Dynamic Voltage Scaling. – IEEE Transactions on Very Large-Scale Integration (VLSI) Systems, 2005, v. 13, N 11, p. 1239–1252.
5. Chiang C., Kawa J. Design for Manufacturability and Yield for Nano-Scale CMOS. – Springer, 2007.

НОВЫЕ КНИГИ

ИЗДАТЕЛЬСТВА "ТЕХНОСФЕРА"

Динамика радиоэлектроники/
Под общ. ред. Ю.И. Борисова. –

Книга содержит материал о динамике развития радиоэлектроники – одной из наиболее важных составляющих научно-технического прогресса общества, во многом определяющей его социальные и оборонные возможности. Материалы книги подготовлены группой ученых и инженеров, непосредственно принимавших участие в исследованиях, разработках, испытаниях и применении изделий электронной техники и радиотехнической аппаратуры. Для читателей, интересующихся созданием и развитием отечественной радиоэлектроники и условиями, в которых проходило ее становление в СССР.

Как заказать наши книги?

По почте: **125319 Москва, а/я 594**

По тел./факсу: **(495) 956-3346, 234-0110**

E-mail: **knigi@technosphera.ru; sales@technosphera.ru**