

# ТЕХНОЛОГИЯ RapidIO

## ПЕРСПЕКТИВНОЕ РЕШЕНИЕ СВЯЗНЫХ СИСТЕМ

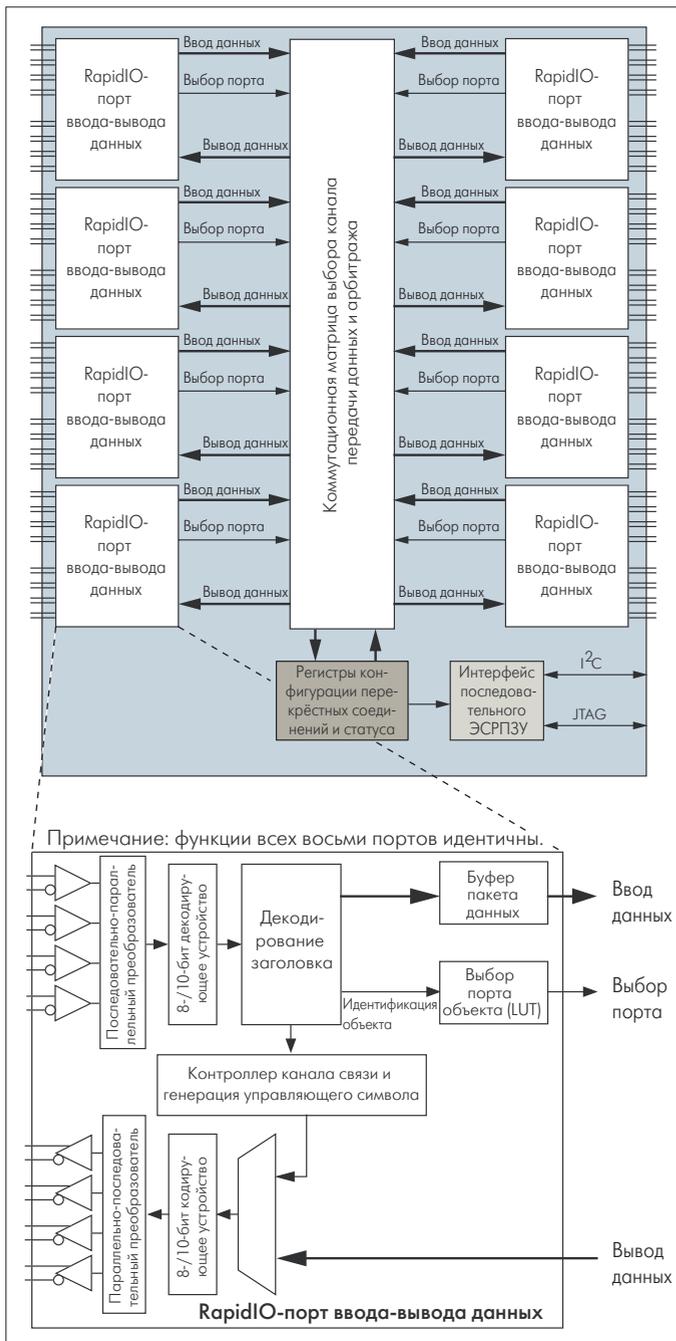
Для выполнения алгоритмов, предусматривающих решение задач с большим объемом вычислений в реальном времени, быстродействие компьютерных систем, особенно систем военного назначения, должно быть намного выше, чем у современных вычислительных комплексов. На повышение производительности компьютерной сети направлен ряд стандартов, появившихся в последнее время: Hyper Transport, Infiniband, Aраpаное/3GIO, RapidIO. Пока трудно достоверно определить, какой из этих стандартов получит признание. Можно лишь отметить, что для встроенных систем наиболее перспективна технология RapidIO (что не удивительно, поскольку один из ее разработчиков – компания Motorola), обеспечивающая скорость передачи данных между чипами или платами в несколько десятков гигабит в секунду. Архитектура пакетной коммутации и межкомпонентных соединений RapidIO совместима с большинством популярных микросхем связанных процессоров, хост-процессоров и сетевых сигнальных процессоров и отвечает современным требованиям повышения надежности, увеличения пропускной способности и быстродействия шин внутрисистемных средств коммутации. К тому же, RapidIO-архитектура соединений может обеспечить связь с PCI, PCI-X-шинами и системными сетями типа InfiniBand. Технология RapidIO уже получила международное признание и привлекает все большее внимание создателей комплексного связанного оборудования, изготовителей компьютерных систем и поставщиков микросхем. В начале 2000 года была образована Торговая ассоциация RapidIO Trade Association, в которой сегодня состоят около 50 организаций и фирм, в том числе и ФГУП НПИ “Элвис”.

В.Юдинцев

### СИСТЕМНЫЕ ПРИМЕНЕНИЯ ТЕХНОЛОГИИ RapidIO

По мнению конструкторов электронных систем, переход к технологии RapidIO оказался более прямым и простым, чем ожидалось. Это объясняется непрерывным совершенствованием инструментальных средств проектирования и программного обеспечения, позволившим сформировать единую среду с традиционными архитектурами. В процессорах с RapidIO-системой соединений нашли применение и специальные операционные среды (платформы) типа MCOE для многокомпьютерных систем, и промышленные ОС реального времени типа VxWorks. В результате для систем на базе этой технологии не потребовалась разработка новых приборов или существенная доработка существующих устройств и программного обеспечения.

Технология RapidIO быстро привлекла внимание создателей военной техники. Здесь ее реализация началась с систем старших моделей. При этом военные подрядчики получили доступ к большому, быстро растущему перечню имеющихся в продаже промышленных изделий (COTS), пригодных для реализации RapidIO-систем. Платы и системы с RapidIO-коммутацией выпускают фирмы Curtiss-Wright, Hybricon, Mercury Computer Systems, Rydal, Silicon Turnkey, Tekmicro, Thales. В начале 2004 года компания Mercury Computer Systems объявила о создании на базе архитектуры межсоединений RapidIO многокомпьютерного комплекса PowerStream 7000, предназначенного для будущего поколения радиолокационных систем бортовых средств слежения и наблюдения. Применение RapidIO-архитектуры позволило увеличить на 700% пропускную способность комплекса и на 70% его удельную производительность в пересчете на занимаемую



**Рис. 1. Блок-схема коммутационной матрицы MC432**

площадь (т.е. вычислительную плотность) в сравнении с предыдущими системами военного назначения компании. Система PowerStream 7000 выполнена на базе микропроцессоров PowerPC 7447 с суперскалярной RISC-архитектурой и с параллельным исполнительным векторным блоком AltiVec, а также запатентованной техники охлаждения, позволившей увеличить плотность размещения быстродействующих процессоров (вся система PowerStream 7000 занимает площадь квадрата со стороной ~61 см). Ее суммарный цифровой поток составляет 75 Гбайт/с, что соответствует значению вычислительной плотности 150 Gflops/foot<sup>3</sup> (470·10<sup>6</sup> операций с плавающей запятой в секунду/см<sup>3</sup>). В сочетании с суммарной емкостью памяти 60 Гбайт вычислительная мощность системы

достаточна для выполнения большинства практических задач обработки сигнала и изображения.

Коммутационная матрица RapidIO объединяет более 120 процессорных узлов и узлов ввода-вывода, подключаемых к ней с помощью специализированной RapidIO-микросхемы вычислительного узла (RapidIO CN ASIC). Микросхема содержит усовершенствованный контроллер прямого доступа к памяти; память с высокой пропускной способностью, контролем и коррекцией ошибок; измерительные логические блоки и RapidIO-интерфейс. Благодаря объединению функций прямого доступа к памяти и сетевого интерфейса эта специализированная микросхема обеспечивает недостижимый для отдельных блоков набор функциональных возможностей и производительности.

## СИСТЕМЫ RapidIO-СОЕДИНЕНИЙ

### Коммутационные матрицы

Важную роль в выявлении возможностей связанных RapidIO-структур сыграли такие крупные технологические достижения, как разработка быстродействующих микросхем последовательных коммутационных матриц, процессорных ядер специализированных микросхем ASIC-типа, программируемых пользователем матричных кристаллов (FPGA), а также микросхем со встроенными RapidIO-интерфейсом, контроллером памяти и другими типами интерфейсов ввода-вывода данных. В конце 2005 года компания **Mercury Computer Systems** анонсировала микросхему последовательной коммутационной RapidIO-матрицы MC432, отвечающей требованиям промышленного стандарта SerialRapidIO Specification v.1.2. Эта матрица четвертого поколения содержит восемь портов с четырьмя линиями связи (4x-портов), каждый из которых имеет четыре полнодуплексных SerDes-трансивера. Это позволяет реализовать достоинства последовательной RapidIO-технологии во встраиваемых системах, средствах связи, сетевых системах и системах памяти. Пропускная способность микросхемы составляет 64 Гбит/с. Матрица также содержит блоки, обеспечивающие 8-/10-бит преобразование данных при пропускной способности 1,25 и 2,5 Гбит/с; I<sup>2</sup>C-интерфейс для загрузки таблиц поиска и данных внутрисхемных регистров при возврате в исходное состояние; JTAG-интерфейс (рис. 1).

К достоинствам микросхемы коммутационной матрицы, помимо масштабируемости и маршрутизации по таблице поиска, относятся и следующие, не присущие пока другим RapidIO-устройствам, функции:

- перестраиваемый арбитраж, который предоставляет пользователям возможность при равных приоритетах отдавать предпочтение одним портам ввода перед другими, что обеспечивает лучшее распределение полосы пропускания матрицы;
- буферы пакетов данных (общей емкостью до 28 полноформатных пакетов) с двумя портами считывания, обеспечи-

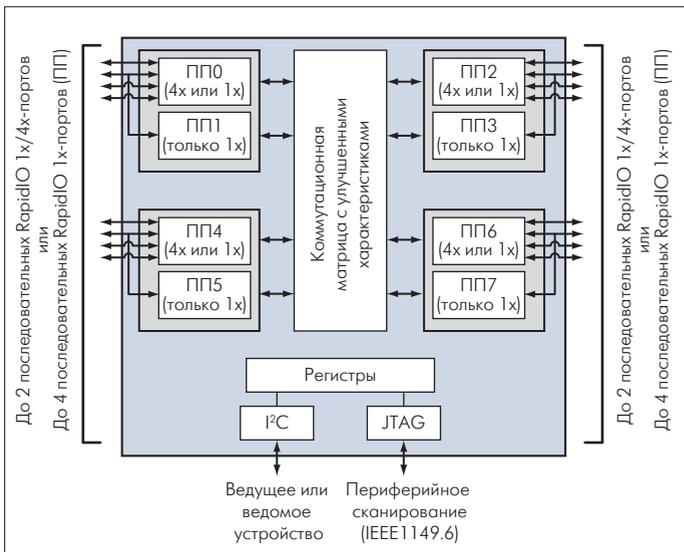


Рис.2. Блок-схема коммутационной матрицы Tsi574

вающими одновременную передачу данных двум выходным портам;

- адаптивная маршрутизация, позволяющая динамически выявлять лучший маршрут, поддерживая более быструю и "гибкую" передачу;
- усовершенствованные средства обработки ошибок, включая генерацию прерываний для неопределенных маршрутов;
- приоритетная маршрутизация, гарантирующая минимальную и максимальную пропускную способность и контроль "зависания", что делает микросхему идеальным решением для реализации гарантированного качества обслуживания.

Напряжение питания микросхемы 1,2–3,3 В. Монтируется в 672-выводной корпус типа FCBGA размером 27x27 мм. Предназначена она для установления соединений между схе-

мами на плате, между платами и системами. Поставки опытных образцов планировались на четвертый квартал 2005 года.

Коммутационные матрицы RapidIO-стандарта, помимо компании Mercury, представлены на рынке фирмами Erlang, Freescale, IDT, Tundra Semiconductor. Одной из первых поставку таких микросхем начала компания **Tundra Semiconductor**. Выпущенная этой компанией в 2005 году коммутационная матрица второго поколения Tsi586A стала одной из самых популярных микросхем своего класса. Микросхема поддерживает суммарный цифровой поток в 40 Гбит/с и отличается возможностью конфигурирования в виде матрицы с четырьмя полностью дуплексными 4x-портами или с восемью 1x-портами (с одной линией связи). При этом цифровой поток каждого порта может составлять 1,25; 2,5 или 3,125 Гбит/с. В коммутационной матрице Tsi586A, соответствующей требованиям спецификации Торговой ассоциации RapidIO на последовательные системы связи, предусмотрены функции преобразования SerDes, восстановления ошибок, приоритетной маршрутизации и маршрутизации на основе таблицы поиска. Монтируется микросхема в 399-выводной корпус FCBGA-типа размером 21x21 мм. Предназначена для построения надежных, высокопроизводительных устройств связи, телекоммуникационного и видеоборудования, средств обработки изображения, сетевого оборудования, к потребляемой мощности, габаритам и стоимости которых предъявляются высокие требования.

В сентябре 2006 года компания Tundra Semiconductor планирует выпустить на рынок микросхему коммутационной матрицы третьего поколения – Tsi574. Микросхема предназначена для объединения сигнальных процессоров линейных карт беспроводных, сетевых инфраструктур и инфраструктур

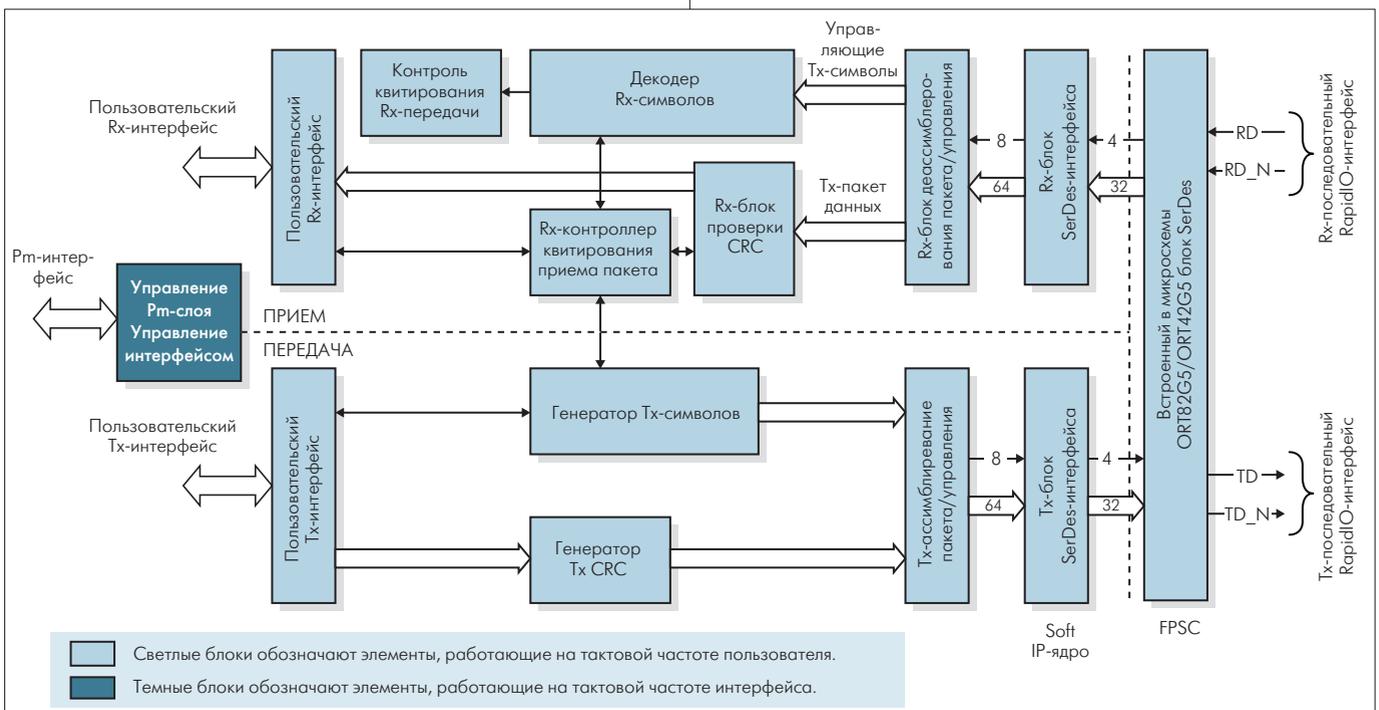


Рис.3. Блок-схема IP-ядра компании Lattice Semiconductor



видеосистем. Как и в микросхеме Tsi586A, все порты матрицы не зависят друг от друга и могут иметь различное число линий связи и различную скорость передачи данных. Но, в отличие от микросхемы второго поколения, Tsi574 отвечает требованиям спецификации Serial RapidIO Specification v.1.3, и в ней предусмотрены механизмы одно- и многоадресной маршрутизации, а также усовершенствованные средства обработки ошибок, обеспечивающие упреждающее предупреждение контроллера матрицы о возникновении проблемы (рис.2). Напряжение питания микросхемы Tsi574, выполненной по 0,13-мкм КМОП-технологии, составляет 1,2–3,3 В.

### IP решения RapidIO-интерфейса

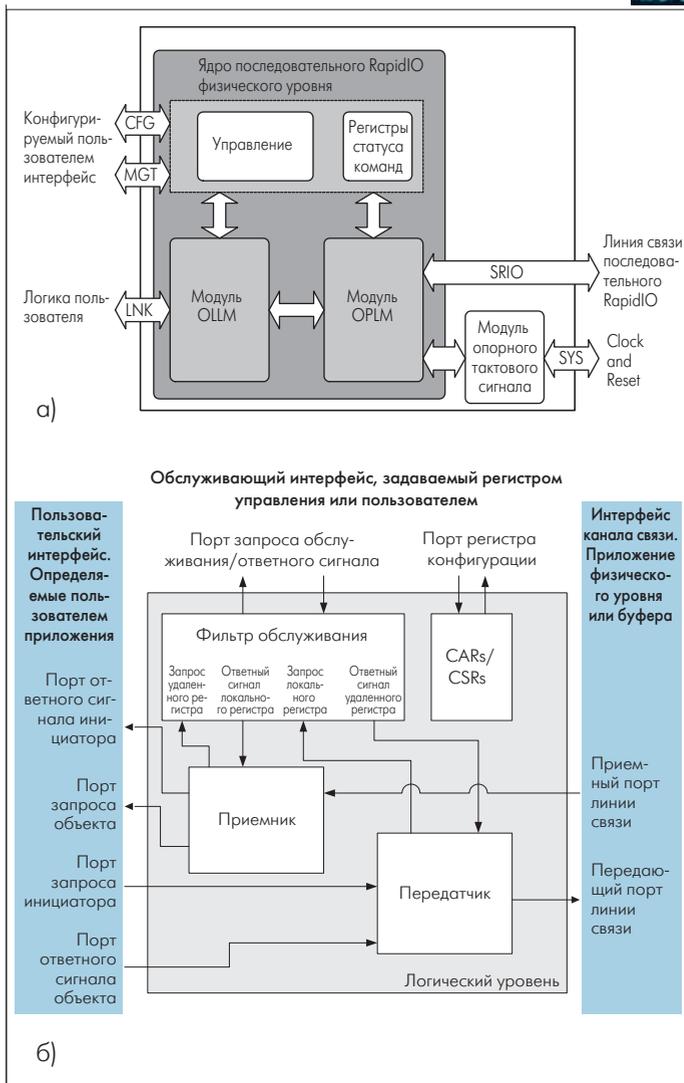
Решение задач поддержки физического уровня RapidIO-интерфейса с помощью встраиваемых сложных специализированных IP-блоков – одно из значительных достижений современной системотехники. Компания **Lattice Semiconductor** в начале 2004 года объявила о поставках IP-ядра, полностью совместимого со спецификацией RapidIO Specification v.1.2, предусмотренной для реализации физического уровня последовательного RapidIO-интерфейса и задающей протокол пакетной передачи данных между RapidIO-приборами и другими устройствами. Компания Lattice намерена использовать IP-ядро в программируемых пользователем системных чипах (Field Programmable System Chips, FPSC) моделей ORT82G5 и ORT42G5, объединяющих SerDes-трансиверы sysHSI и FPGA-блоки с 10 тыс. логических элементов. Сегодня эти FPSC-микросхемы широко используются в приложениях со скоростью передачи до 10 Гбит/с, для которых последовательный ввод-вывод представляет интерес.

FPSC ORT82G5 и ORT42G5 содержат блоки поддержки восьми и четырех SERDES-линий связи, соответственно. Кроме того, в микросхемы входят 8-/10-бит средства кодирования/декодирования, поддержки XAUI- и волоконно-оптического интерфейсов.

IP-ядро поддерживает пропускную способность 1х-порта, равную 1; 2 или 2,5 (макс.) Гбит/с. Предусмотрены 8-/10-бит средства кодирования/декодирования; восстановления синхронизации и данных после сбоя; генерации и проверки CRC; простой пользовательский интерфейс, облегчающий объединение с логическими системами пользователя (рис.3).

Serial RapidIO IP-ядро компании входит в быстро растущую библиотеку ispLeverCORE™, модули которой спроектированы с использованием стандартов кодирования высшего уровня и тщательно проверены на выполняемые функции и соответствие стандарту качества функционирования и стандарту, устанавливающему требования к рабочим характеристикам микросхем.

Большой объем работ по созданию RapidIO-ядер для FPGA, выпускаемых в рамках программы LogiCore, проводит компания **Xilinx**. В начале 2006 года компания объявила о разработке двух ядер LogiCore Serial RapidIO (физического и логического



**Рис.4. Блок-схемы RapidIO-ядер физического (а) и логического (б) уровней**

го/транспортного уровней), представляющих собой реализованные и полностью проверенные модули, предназначенные для FPGA семейств Virtex-II Pro и Virtex-4. Оба ядра отвечают требованиям RapidIO Interconnect Specification v.1.3. Ядро физического уровня может поставляться в двух конфигурациях: 1х-варианте с минимальным числом используемых логических ресурсов и 4х-варианте, характеризующемся большей пропускной способностью. К тому же, 4х-ядро может автоматически устанавливать режим передачи только по одной линии связи и соответствующим образом изменять свою конфигурацию.

Ядро физического уровня поддерживает скорость передачи 1,25; 2,5 и 3,125 Гбит/с. Содержит три логических модуля (рис.4а):

- физического уровня OSI-стандарта (OPLM): SerDes-функции, передача и прием внутренних тактовых сигналов, инициализация канала связи;
- канального уровня OSI-стандарта (OLLM): функции CRC генерации и проверки, генерации символов и декодирования, квитирования связи и управления буфером;
- модуль управления.

Ядро логического/транспортного уровня (далее логического уровня) LogiCore RapidIO обеспечивает построение специализированных систем с пропускной способностью 10 Гбит/с при работе на частоте 156,25 МГц и поддерживает операции вывода и ввода данных. Ядро логического уровня также состоит из трех модулей (рис.4б):

- приемного, принимающего входящие пакеты и анализирующего поля заголовков логического и транспортного уровней, указывающих пункт назначения входящего пакета. После декодирования пакета модуль выводит данные на отдельную шину данных, а информацию заголовка – пользователю через шину заголовков;
- передающего, принимающего данные и блоки заголовка от трех отдельных портов. Данные и блок заголовка связываются и выводятся на интерфейс передающего канала Tx. При параллельном поступлении нескольких запросов модуль выполняет функцию арбитража;
- фильтра обслуживания, принимающего все входящие обращения к регистрам и выводящего их на отдельный порт обслуживания, благодаря чему пользователь может контролировать все обращения к регистрам. Спецификация RapidIO Interconnect Specification v.1.3 для каждого уровня протокола задает несколько регистров конфигурации, а также допускает возможность задания пользователем собственных регистров. Таким образом, ядро логического уровня отвечает за считывание и запись данных в регистры всех уровней. Для обеспечения модульности и гибкости архитектуры все обращения к регистрам конфигурации выводятся на отдельный порт.

RapidIO-ядро, поддерживающее пропускную способность последовательных каналов 1,25; 2,5; 3,125 Гбит/с, поставляет на рынок и компания **LSI Logic**. Ядро имеет 1x- и 4x-порты (с возможностью преобразования 4x-порта в 1x-порт). Частота схемы составляет 156,25 МГц при работе с 64-бит шиной. Физический уровень RapidIO реализуется быстродействующими SerDes-преобразователями, выполненными по отработанной компанией 0,11-мкм технологии GigaBlaze. В состав схемы входят конфигурируемые пользователем буферы с малой задержкой (частота буферного интерфейса 250 МГц при передаче 64-разрядных слов), способностью решать проблемы перегрузки каналов связи и с CRC защитой контента. Предусмотрена возможность восстановления сбоя аппаратными средствами и частично – программными, включая обнаружение дефектных CRC, управляющих символов, запрещенных управляющих символов и прочих случаев нарушения протокола (рис.5). Ядро RIO, созданное в рамках программы проектирования IP-блоков CoreWare, может быть использовано как в специализированных микросхемах на базе стандартных элементов, так и в платформе RapidChip компании.

Одно из самых значительных решений RapidIO коммутационной системы предложила компания **Altera** – конфигурируемое ядро RapidIO MegaCore Function, поддерживающее RapidIO-спецификации физического уровня (последовательного и параллельного), а также транспортного и логического. Благодаря этому RapidIO-интерфейс может быть плавно интегрирован в коммутационную матрицу Avalon компании. RapidIO MegaCore Function позволяет реализовывать на ПЛИС семейств Stratix, Cyclone, HardCopy 8-бит ядра параллельно-

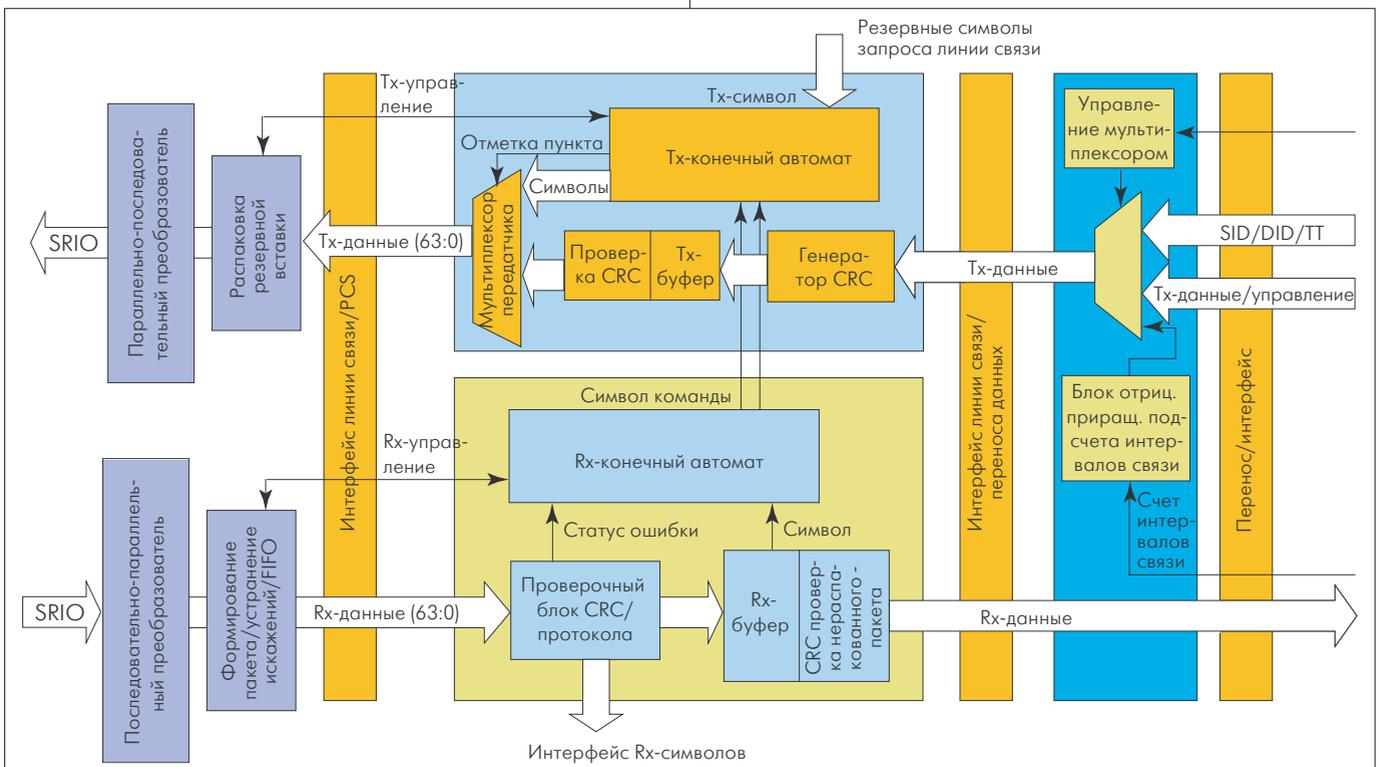


Рис.5. Блок-схема 1x/4x-последовательного RIO-ядра

го физического уровня с пропускной способностью до 840 Мбит/с или 16-бит ядра с пропускной способностью 500 Мбит/с на LVDS-канал, а также ядра последовательного уровня с одной/четырьмя линиями передачи и пропускной способностью до 3,125 Гбит/с.

### МИКРОСХЕМЫ С RapidIO-ИНТЕРФЕЙСОМ

Одна из важнейших проблем, возникающих в ходе проектирования системы, – рост энергопотребления при вводе новых устройств. Поэтому во многих случаях целесообразно улучшать характеристики и снижать потребляемую мощность системы, размещая на кристалле как можно большее число функциональных устройств. Именно таким путем и пошла в свое время компания **Motorola** – один из основателей торговой ассоциации RapidIO, выпустившая в 2001 году микропроцессор MPC8540 с RapidIO-интерфейсом. В состав микросхемы 32-бит суперскалярного процессора с семиступенной конвейерной структурой и производительностью 1850 Mips на частоте 800 МГц входят: ядро e500; контроллеры 10/100/1Г Ethernet; контроллер 10/100 Ethernet; 64-бит PCI-X контроллер; контроллер DDR синхронного ДОЗУ; четырехканальный контроллер ПДП; 8-бит RapidIO-контроллер на частоту 500 МГц с LVDS-каналами ввода-вывода; многоканальный контроллер прерываний и последовательный интерфейс сдвоенного универсального приемопередатчика (DUART) (рис.6). Кроме того, микросхема содержит неблокируемый матричный переключатель OCeaN (On-Chip Network) с максимальной пропускной способностью 22 Гбит/с на порт и возможностью независимого определения очередности транзакций и управления потоком данных.

Тактовая частота процессора составляет 600 МГц–1 ГГц, потребляемая мощность – 6,5 Вт на 800 МГц, напряжение питания 1,2 В (ядро) и 3,3–2,5 В (порты ввода-вывода). Выполнена микросхема по 0,13-мкм технологии с медной металлизацией, монтируется в 783-контактный корпус FCBGA-типа.

Разработка микропроцессоров с RapidIO-интерфейсом была успешно продолжена компанией **Freescale Semiconductor** (бывшее отделение полупроводниковых приборов фирмы Motorola), выпустившей следующее поколение микросхем на основе ядра e500, выполненных по 90-нм КНИ-технологии с медной металлизацией. Серия включает четыре микросхемы: MPC8548E – сетевой телекоммуникационный процессор, соответствующий требованиям Serial RapidIO Specification v.1.2; MPC8547E – процессор памяти, MC8545E – процессор обработки изображения; MPC8543E – универсальный управляющий процессор. Одна из самых значительных работ компании Freescale – высокопроизводительный двухъядерный процессор MPC8641D. Ядра модели e600 выполнены на базе процессора PowerPC, рабочая частота каждого превышает 1,5 ГГц. Два L2 кэша емкостью 1 Мбайт и

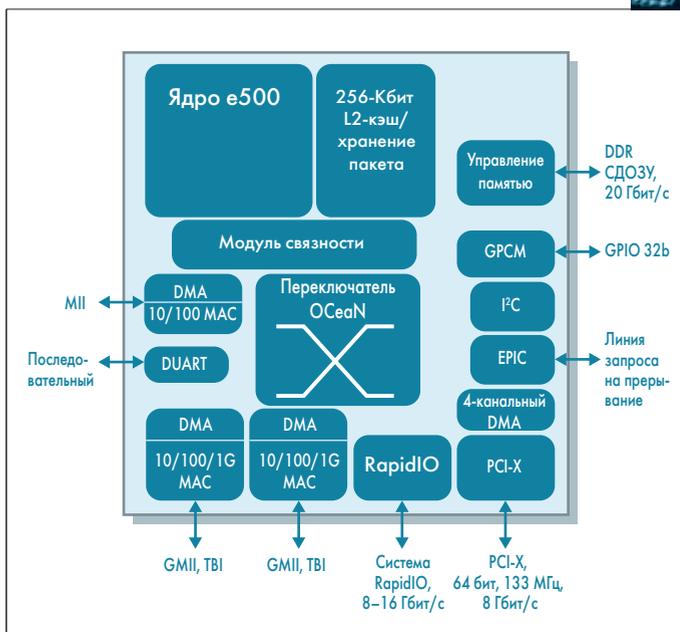


Рис.6. Блок-схема микропроцессора MPC8540

два векторных блока Altivec позволяют дополнительно повысить быстродействие ядра. Системные соединения микропроцессора обеспечивает последовательный 1x-/4x-интерфейс RapidIO с пропускной способностью 2,5 Гбит/с – идеальное решение для подключения процессоров MPC8641D к периферийным устройствам в высокопроизводительных распределенных системах.

В ответ на требования создания открытых быстродействующих интерфейсов для следующего поколения связанного оборудования компания Freescale в мае 2006 года объявила о разработке сигнального процессора MSC8144 с расширенными возможностями последовательного RapidIO 4x-/1x-интерфейса, который позволит улучшить характеристики, снизить стоимость и существенно увеличить плотность каналов оборудования проводных и беспроводных систем связи следующего поколения.

По материалам компаний Altera, Freescale Semiconductor, Lattice Semiconductor, Mercury Computer Systems, Tundra Semiconductor.