

ТРАНЗИСТОРЫ КОМПАНИИ INTEL С ТРОЙНЫМ ЗАТВОРОМ

ЗАКОН МУРА ПО-ПРЕЖНЕМУ СПРАВЕДЛИВ

Сегодня микросхемы, будь то микропроцессоры, графические устройства или схемы памяти, становятся все сложнее, а планка их быстродействия непрерывно повышается. Разработанные в 50-е годы планарные транзисторы стали базовым элементом современных микросхем. Но по мере продвижения полупроводниковой технологии все дальше в наномир (освоение производства микросхем с топологическими нормами менее 100 нм) особую актуальность приобретают проблемы токов утечки, вызывающих повышение температуры прибора и ухудшение его энергетического КПД. За период 2000–2004 годы потребляемая мощность центрального процессора возросла почти в два раза. В экстремальных ситуациях более 100 Вт теряется в виде выделяемого микросхемой тепла. И эта тенденция развивается. Что же позволит решить эти проблемы, успешно продолжить развитие микроэлектроники?

По мнению большинства экспертов в сфере полупроводниковой промышленности, для сокращения энергозатрат новых микросхем без ухудшения их характеристик необходимо отказаться от "плоскостной", планарной структуры и перейти к непланарной структуре*. И здесь интерес представляет предложенный компанией Intel в 2002 году трехмерный транзистор с тройным затвором (Tri-Gate transistor), разработанный специалистами отделения исследования компонентов и развития технологии логических устройств в рамках программы создания терагерцевых

* ЭЛЕКТРОНИКА: НТБ, 2002, №3, с.64, 2003, №2, с.68.



В.Майская

(10^{12} ГГц) приборов. В планарных приборах затвор располагается поверх изолирующего слоя малой толщины, нанесенного на объемный или толстый слой пластины кремния на изоляторе (КНИ) (рис.1). Каналы утечки тока (полукруглые стрелки на рис.1) вызывают нежелательное избыточное потребление энергии. Чем меньше размеры прибора, тем серьезнее эта проблема.

В структуре tri-gate транзистора, предложенной компанией Intel, очень тонкий канал окружен затвором с трех из четырех сторон (рис.2). В такой структуре с высоким отношением токов включения-выключения и, следовательно, высоким энергетическим КПД управляющий ток протекает не только поверх затвора, но и с двух его боковых сторон, т.е. однополосная дорога преобразуется в трехполосную магистраль. Это позволяет дополнительно улучшить энергетическую эффективность транзистора в сравнении с транзистором с планарной или даже с FinFET-структурами (FinFET – альтернативная трехмерная структура с двойным затвором, предложенная рядом фирм, в том числе и IBM).

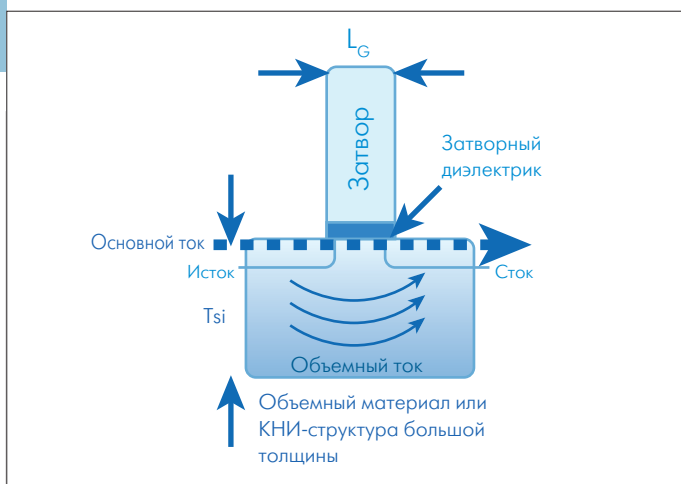


Рис.1. Каналы утечки планарного транзистора



Последующие разработки компании Intel привели к созданию усовершенствованных трехмерных КМОП-транзисторов, при изготовлении которых использованы следующие достижения полупроводниковой технологии:

- напряженный кремний, применяемый компанией при изготовлении 90-нм и 65-нм планарных n- и р-канальных МОП-транзисторов. Использование напряженного кремния в транзисторах с тройным затвором позволило увеличить подвижности носителей в канале и улучшить эксплуатационные характеристики транзисторов;
- затвор со структурой диэлектрик с высоким κ /металлический электрод, заменивший традиционный затвор на основе диоксида кремния/поликремниевого электрода. Применение металлических электродов позволило устранить проблему истощения поликремния, а также уменьшить концентрацию примесей подложки, обеспечив дальнейшее повышение подвижности носителей транзистора и, следовательно, улучшение его характеристик;
- двойная эпитаксиальная структура с рельефными областями стока/истока, формируемая путем эпитаксиального осаждения кремния для создания n-канальных транзисторов и SiGe – для р-канальных. Области стока и истока возвышаются над границей раздела затворный диэлектрик–кремниевая подложка, что позволяет уменьшить паразитное сопротивление транзистора и улучшить характеристики прибора (рис.3).

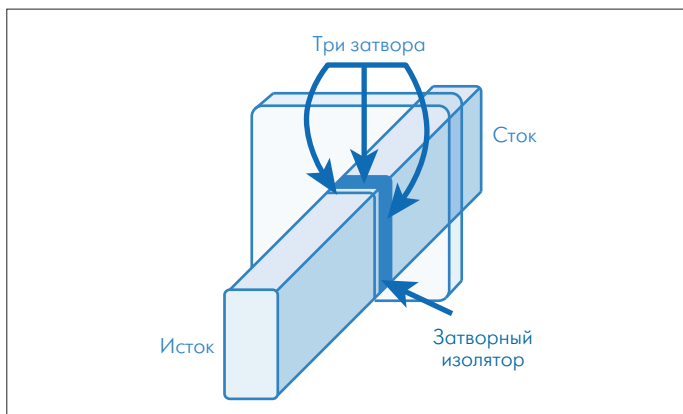


Рис.2. Структура трехзатворного транзистора

По заявлению разработчиков, ими найден метод формирования полностью обедненной в выключенном состоянии области объемной кремниевой подложки. Компанией изготовлены опытные образцы интегрированных КМОП-транзисторов с тройным затвором на КНИ-подложке и на объемном кремнии с одинаковыми возможностями масштабирования, сходными характеристиками короткого канала и значениями управляющего тока. Однако разработчики считают, что для изготовления tri-gate транзисторов с высокими характеристиками КНИ-подложки не обязательны. Отмечается также, что для приборов с относительно высокими выступами ("плавниками", fin), требуемыми для улучшения их характе-

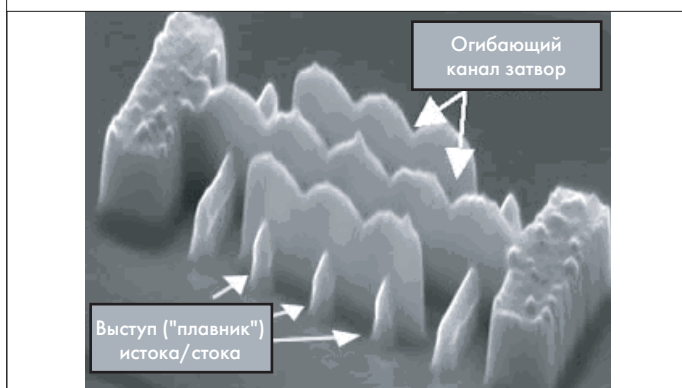


Рис.3. Вид tri-gate структуры

ристик, тип подложки не имеет большого значения. Правда, параметры транзисторов с относительно невысокими выступами в большей степени зависят от свойств подложки. Очевидно, по мере уменьшения размеров транзисторов предпочтение будет отдаваться приборам с высокими выступами.

Несмотря на то, что трехмерные структуры более сложны в изготовлении, чем традиционные планарные, специалисты компании считают, что это не отразится на их цене. Ключевая проблема с точки зрения производства – операция травления, а не отсутствие необходимого оборудования. Следовательно, компании удастся избежать дополнительных затрат на приобретение оборудования для изготовления tri-gate транзисторов.

Эталонное тестирование, проведенное фирмой Intel, показало, что управляющий ток (I_{DSAT}) при заданном токе утечки в отключенном состоянии (I_{OFF}) интегрированных n- и р-канальных транзисторов с тройным затвором составил, соответственно, 1,4 и 1,1 мА/мм при токе в выключенном состоянии 100 нА, $V_{CC} = 1,1$ В и длине затвора 40 нм, что на 30 и 60% лучше, чем у планарных транзисторов с 65-нм топологическими нормами (рис.4). Кроме того, ток выключения tri-gate транзисторов в 50 раз меньше, чем у 65-нм приборов, а мощность переключения ниже на 35%. Новый транзистор превосходит приборы с 65-нм размерами элементов и по такому критерию, как время выхода в режим насыщения. При выполнении ячейки памяти CO3У на новых транзисторах с тройным затвором разработчики добились улучше-

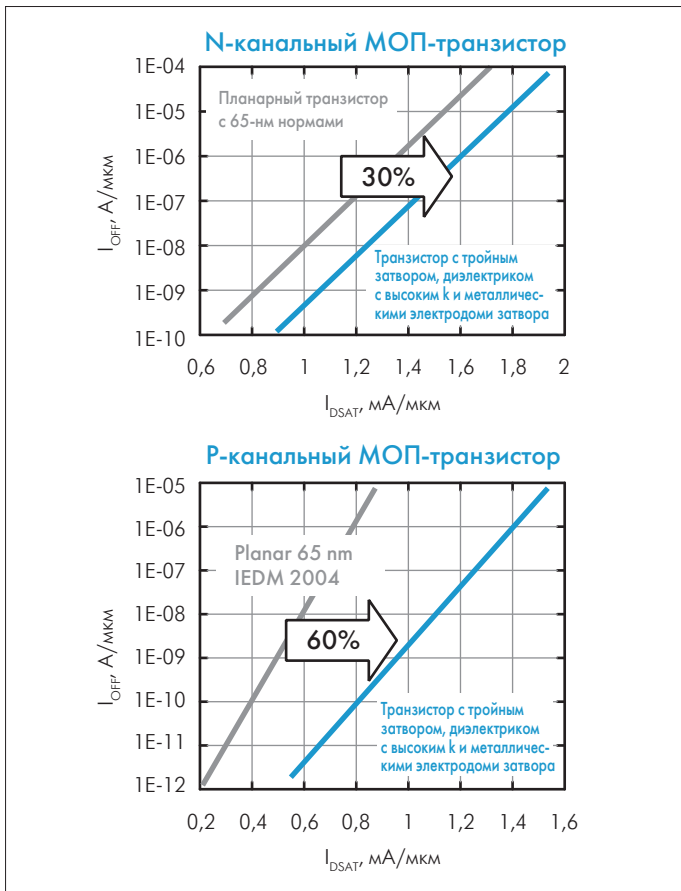


Рис.4. Зависимость управляющего тока tri-gate и планарных транзисторов от тока в выключенном состоянии

ния тока считывания ячейки в полтора раза по сравнению со стандартной ячейкой СОЗУ.

Но пока Intel не спешит ознакомить специалистов с конкретными данными, касающимися материалов и режимов формирования диэлектрика с высоким k и металлического электрода затвора.

Возможности трехмерных структур, помимо Intel, изучают и другие фирмы. На Международном симпозиуме по технологии СБИС 2006 года компания Samsung посвятила несколько докладов проблемам использования FinFET-структур при создании флэш-памяти NAND-типа. Специалистами компании Freescale Semiconductor предложена модифицированная FinFET-структура, в которой полевой транзистор с двойным затвором и достаточно высоким выступом объединен со структурой КНИ МОП-транзистора с одним затвором. Новый прибор получил название полевого транзистора опрокинутой Т-образной формы (Inverted-T FET, ITFET). В сравнении с обычным FinFET он занимает меньшую площадь кристалла, отличается большим соотношением высоты к ширине выступа, обеспечивающим подавление эффекта короткого канала и, следовательно, более высокий управляющий ток. Токи утечки в выключенном состоянии, зависящие от толщины подложки полностью обедненного КНИ-транзистора, малы. По мнению разработчиков, новые ITFET весьма перспективны для выполнения ячеек памяти СОЗУ.

Ученые Национального центра нанотехнологии при Институте перспективной науки и технологии Кореи (Korea Advanced Institute of Science and Technology, KAIST) утверждают, что ими создан самый миниатюрный трехмерный транзистор типа FinFET с каналом длиной 3 нм. Появление транзистора такого размера опровергает утверждение, что для изготовления элементов с размерами менее 5 нм необходимы такие "экзотические", трудно реализуемые технологии, как формирование углеродных нанотрубок или молекулярных устройств обработки сигнала.

Компания IBM представила на Международном симпозиуме по технологии СБИС 2006 года результаты исследования проблем создания матриц трехмерных вертикальных приборов с 32-нм топологическими нормами и шагом 120 нм. С уменьшением размеров элементов и их шага в микросхеме все труднее размещать поблизости друг от друга трехмерные приборы с высоким соотношением размеров. Изготовить единственный вертикальный транзистор не сложно. Когда же на пластине необходимо разместить множество подобных элементов, да еще с малым шагом, возникают такие задачи, как формирование прокладок между выступами, нанесение силицида, легирование областей стока/истока и создание контактов. А ведь эти задачи не просто решить и в планарной технологии. Поэтому руководитель отделения полупроводниковой технологии Исследовательского центра Ватсона компании IBM Джавам Шахиди считает, что время трехмерных вертикальных транзисторов "никогда не придет".

Трудности изготовления микросхем на основе структур tri-gate отмечает и бывший сотрудник компании Intel Скотт Томпсон, занимавшийся внедрением технологии напряженного кремния в разработки компании. По его мнению, сложнейшую проблему травления трехмерной структуры для формирования высокого тонкого канала способны решить лишь такие крупные фирмы, как Intel, а также альянс IBM, в который входят AMD, Chatered Semiconductor, Infineon Technologies, Samsung Electronics, Sony Toshiba.

Но компания Intel считает tri-gate транзисторы серьезным кандидатом для реализации базовых элементов будущих микросхем процессоров, выполненных с топологическими нормами менее 45 нм. И в 2009 году компания планирует освоить массовое производство микросхем на базе этой архитектуры с 32-нм топологическими нормами, а в 2011-м – микросхем с 22-нм нормами. Специалисты компании полагают, что с помощью этой технологии станет возможным экономически выгодное крупносерийное производство энергосберегающей продукции с высокими эксплуатационными характеристиками. Полученные разработчиками трехмерных транзисторов (и не только компанией Intel) результаты вселяют уверенность в том, что закон Мура по-прежнему будет справедлив и в следующем десятилетии.

Кто окажется прав, покажет время.