

# МУЛЬТИАРХИТЕКТУРА – НОВАЯ ПАРАДИГМА ДЛЯ СУПЕРКОМПЬЮТЕРОВ

Ю. Митропольский



Мультиархитектурные вычислительные суперсистемы, по мнению автора предлагаемой статьи, – это следующее поколение суперкомпьютеров. Они не только обеспечивают наилучшее согласование алгоритмов задач с возможностями аппаратных средств, но позволяют наиболее эффективно использовать перспективные СБИС с ультравысокой степенью интеграции.

Изложенный в статье подход начал формулироваться в начале 90-х годов. Сегодня уже разработаны концепция, принципы построения и собственно проект мультиархитектурной вычислительной суперсистемы.

## СОВРЕМЕННЫЕ СУПЕРКОМПЬЮТЕРЫ. ПЕРСПЕКТИВЫ И ПРОБЛЕМЫ

Повышение эффективности суперкомпьютеров, являющихся фактически вычислительными суперсистемами [1], зависит от оптимизации и согласованности на всех уровнях их разработки и эксплуатации, начиная от технологии, конструкции, схемотехники, методологии проектирования, архитектуры и до программного обеспечения, методов распараллеливания и вычислительных методов решения больших задач.

На ранних этапах развития (70–80-е годы прошлого века) в основном использовались многопроцессорные векторно-конвейерные системы. Но с 90-х годов, когда микропроцессоры достигли высокой производительности и их стали использовать в суперсистемах, ситуация начала изменяться. Выбор архитектуры свелся по существу к выбору микропроцессора, системы коммутации и программного обеспечения. В результате появились мультипроцессорные и мультикомпьютерные системы с массовым параллелизмом, объединяющие до нескольких десятков тысяч микропроцессоров. Однако производительность таких систем на реальных задачах, как правило, составляла не более 10% от пиковой производительности. В то же время на векторных системах этот показатель часто превышал 50%, но они уступали по абсолютной производительности и по числу установленных систем.

Ситуация изменилась с появлением в 2002 г. японской системы Earth Simulator [2]. Фирма NEC спроектировала специализированный однокристалльный векторный процессор, совместимый с процессорами предыдущих систем фирмы, и построила мультипроцессорную систему с рекордной производительностью. Система включает 5120 однокристалльных векторных процессоров. Ее пиковая производительность – 40 TFlops, а производительность на ряде задач достигла 27 TFlops. Это стало возможно благодаря совершенствованию систем проектирования, что сделало экономически оправ-

данной разработку однокристалльного процессора с ограниченным тиражом.

Системы с массовым параллелизмом представлены рядом крупных компаний, выпускающих широкий спектр компьютеров, как правило – на основе микропроцессоров фирм Intel, IBM и AMD. Рекордсменом по производительности является система BlueGene/L компании IBM [3]. Она построена на заказных СБИС, интегрирующих два процессорных ядра PowerPC 440, дополнительную память и другие компоненты. В максимальной конфигурации может быть 65 536 вычислительных узлов, при этом пиковая производительность составит 360 TFlops. Реальная максимальная производительность уже эксплуатируемой системы – более 70 TFlops.

Ярким представителем направления векторных систем стала японская фирма NEC, до середины 2004 года сохранявшая лидерство с суперкомпьютером Earth Simulator. Компания объявила о выпуске системы SX-8, построенной на 4096 процессорах, также однокристалльных, организованных в 512 вычислительных узлов с суммарной пиковой производительностью 90 TFlops (65 TFlops на векторной обработке) [4].

Фирма Cray развивает оба направления. Векторная система Cray X1 построена на векторных процессорах, реализованных в виде заказных многокристалльных сборок [5]. Каждый процессор имеет рекордную производительность 13 GFlops. В максимальной конфигурации система включает 4096 процессоров, ее пиковая производительность 52 TFlops. Компания также выпустила систему с массовым параллелизмом Cray XT3, построенную на 64-разрядных скалярных микропроцессорах Opteron фирмы AMD. Максимальная конфигурация системы содержит 30508 вычислительных и 106 серверных процессоров [6]. При использовании микропроцессоров с тактовой частотой 2,4 ГГц суммарная пиковая производительность составит 147 TFlops. Фирма Cray заявляла о планах объединения в единой суперсистеме двух своих линий – векторных систем и систем с массовым параллелизмом.

В проекте японского института физических и химических исследований RIKEN речь идет о специализированных процессорных СБИС с 20 конвейерами (в отличие от 1–2 конвейеров в современных серийных СБИС) [7]. Для достижения производительности 1 PFlops ( $10^{15}$  Flops) потребуется 6144 таких процессора. При этом удельная стоимость СБИС в пересчете на 1 GFlops производительности составит 15 долл. против 640 долл. за 1 GFlops у СБИС для системы IBM BlueGene/L.

В то же время, в области увеличения производительности суперкомпьютеров остаются нерешенными такие проблемы, как повышение эффективности системы с ростом числа процессоров, а также полноценное использование возможностей перспективных СБИС, содержащих свыше 1 млрд. вентиляей. Один из возможных



подходов к решению указанных проблем – развитие концепции мультиархитектуры.

### **ВЗАИМОСВЯЗЬ ТЕХНОЛОГИИ И АРХИТЕКТУРЫ**

Технологические возможности и конструктивные особенности определяют два основных параметра, влияющих на производительность системы, – тактовую частоту и объем оборудования, от которого зависит степень параллелизма. При создании архитектуры и аппаратной реализации суперсистем основным вопросом является выбор такой формы параллелизма, которая при соответствующей оптимизации программ обеспечит рост производительности пропорционально росту объема аппаратуры. На аппаратном уровне основные формы параллелизма – это совокупность параллельно функционирующих устройств, одинаковых или разнородных (*параллельные структуры*) и объединение в *конвейерную структуру* различных функционально специализированных устройств. Обе формы параллелизма использовались при создании однопроцессорных скалярных машин, например для расслоения памяти и совмещения операций в процессоре.

В суперсистемах параллельные структуры объединяют функциональные устройства, процессоры или машины. Для повышения эффективности желательна высокая степень локализации обработки данных в каждом из таких устройств и сокращение потоков данных между ними. Последнее особенно важно в случае увеличения числа параллельных устройств, поскольку усложняется система коммутации и увеличиваются задержки при передаче данных между объектами.

В конвейерных структурах степень параллелизма обработки данных определяется числом станций конвейера. Оно соответствует числу подфункций, на которые может быть разбита функция. Такие структуры эффективны, когда массивы данных для обработки достаточно велики и имеются средства их доставки на вход конвейера. Следует подчеркнуть, что эффективность конвейера пропорциональна числу станций (при сохранении их загруженности), т.е. его длине, поскольку скорость передачи данных зависит не от числа станций, а только от быстродействия логических схем и расстояния между соседними станциями.

Очевидно, что в суперсистемах должны быть использованы обе формы параллелизма на аппаратном уровне, и только от их оптимального взаимодополнения зависит конечная эффективность системы. В функциональных устройствах естественно использовать параллельные структуры для параллельной обработки разрядов слова. Для самих же функциональных устройств наилучшее схемотехническое решение – синхронный конвейер. В таких схемах возможно использовать принцип близкодействия, при выполнении которого критически важные пути распространения сигналов сосредоточены в основном между топологически соседними схемами. Соответственно, при разработке архитектуры процессоров для суперсистем необходимо обеспечить возможность как построения достаточно длинных цепочек функциональных устройств, так и параллельной и независимой работы многих устройств.

### **ПАРАЛЛЕЛИЗМ В ПРОГРАММАХ И В АРХИТЕКТУРЕ**

Большинство алгоритмов и программ ориентировано на последовательные вычисления. Однако зачастую их можно подвергать параллельной обработке. Например, при наличии больших массивов данных возникает так называемый параллелизм на уровне данных. Наиболее эффективно он используется в векторных машинах. Если программу можно разбить на множество независимых или слабо связанных подзадач, то в ней присутствует параллелизм на уровне задач.

Очевидно, что доминирующая в задаче форма параллелизма должна соответствовать форме параллелизма на уровне аппаратуры, преобладающей в вычислительной системе. Если это условие не выполняется, необходима специальная подготовка программ. Например, задачи с параллелизмом на уровне данных (содержащие большие массивы) при решении на системе с чисто параллельной структурой разбиваются на отдельные части (фрагменты массива). При этом необходима специальная программа для стыковки и объединения результатов фрагментарных вычислений. Для эффективного решения на векторной машине программ с параллелизмом на уровне задач необходимо эти задачи объединить для лучшей векторизации программы. При переносе задач с одной системы на другую возникают большие трудности, особенно если в этих системах преобладают разные формы параллелизма.

Следовательно, наиболее эффективна вычислительная система, содержащая подсистемы с различной архитектурой и формами параллелизма, – мультиархитектурная система. Однако в ней возникают новые проблемы, связанные с выявлением формы параллелизма того или иного участка программы и дальнейшей его оптимизацией. Также должны быть решены проблемы распределения ресурсов, планирования выполнения программы и собственно управления ее выполнением.

### **РАЗВИТИЕ КОНЦЕПЦИИ МУЛЬТИАРХИТЕКТУРЫ**

Уже при создании первых ЭВМ на транзисторах началась их специализация для повышения производительности. В частности, выпускались ЭВМ для научно-технических расчетов и для деловых применений. Кроме такой проблемной ориентации, была и функциональная специализация при построении подсистем управления периферийным и связным оборудованием.

Специализация привела к появлению систем с элементами неоднородной архитектуры. В СССР одной из первых таких систем стала система обработки данных АС-6, в состав которой входили ЭВМ БЭСМ-6, ЦП (центральный процессор) АС-6 и периферийная машина ПМ-6, а также специализированный процессор для обработки телеметрической информации [8]. Это была многомашинная система, в которой ЭВМ, процессоры и устройства памяти объединялись высокоскоростным каналом с коммутацией сообщений, а периферийное оборудование связывалось с помощью средств коммутации каналов.

Накопленный при создании БЭСМ-6 и АС-6 опыт был использован при разработке суперкомпьютерной системы "Электроника СС БИС-1" [9]. Для достижения производительности, на два порядка большей, чем у предшественников, необходимо было освоить новый технологический уровень и разработать соответствующую ему

архитектуру. В первоначальном проекте системы предполагалось включить в ее состав такие проблемно ориентированные подсистемы, как основная машина с векторно-конвейерным процессором, матричная машина и машина для логической обработки данных. Из функционально-специализированных подсистем предусматривались периферийная машина; интеллектуальный контроллер внешней полупроводниковой памяти; контроллер дисковой памяти; внешние и управляющие машины. Однако наличные ресурсы и первоочередность задач заставили отложить разработку матричной, логической и периферийной машин.

В 1985 году прошли испытания опытного образца системы, в 1989-м – испытания головного образца на тестах. В 1991 году состоялись испытания системы "Электроника СС БИС-1" с первой версией операционной системы, были изготовлены и налажены четыре образца, началась их установка у заказчиков. Пиковая производительность системы в двухпроцессорном варианте составляла 500 MFlops. В том же году был разработан проект многопроцессорной системы "Электроника СС БИС-2" с производительностью до 10 GFlops. Кроме основных многопроцессорных машин в нее планировалось включить мониторные машины для управления системой подготовки задач, а также подсистему с массовым параллелизмом. В планы проводившего эти разработки коллектива Института проблем кибернетики РАН, возглавляемого академиком В.А.Мельниковым, входило создание неоднородной системы. Но в 1993 году работы были прекращены.

Однако исследования в области архитектуры и возможностей реализации неоднородных вычислительных суперсистем продолжались, в последнее время – в отделе высокопроизводительных вычислительных систем Института системного анализа РАН. В их основу лег комплексный подход с учетом проблем, возникающих на всех уровнях разработки систем.

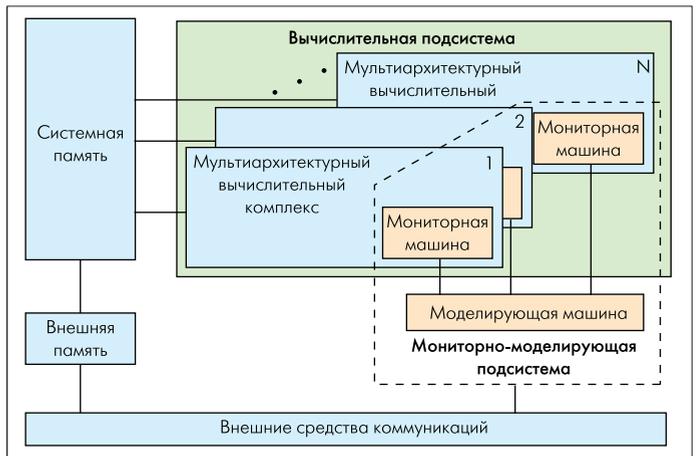
На первом этапе исследований рассматривалась система, состоящая из тесно объединенных векторного процессора и мультипроцессорной системы на основе микропроцессоров [10, 11]. Затем с учетом развития технологии и элементной базы исследовались подходы к созданию масштабируемого мультиконвейерного векторного процессора [12]. Сегодня объектом исследований является мультиархитектурная суперсистема, в которой максимальная производительность обеспечивается как за счет рационального использования аппаратных средств, согласования архитектуры и форм параллелизма в программах, так и за счет оптимизации математического и программного обеспечения [13].

**ПРОЕКТ МУЛЬТИАРХИТЕКТУРНОЙ ВЫЧИСЛИТЕЛЬНОЙ СУПЕРСИСТЕМЫ**

В соответствии с рассмотренными принципами был разработан исследовательский проект мультиархитектурной вычислительной суперсистемы. Для достижения высокой эффективности в нем используются два подхода: принцип близкодействия и модульности на схемотехническом уровне (в согласовании с модульностью на уровне архитектуры) и концепция мультиархитектуры для координации методов распараллеливания на аппаратном и программном уровне.

Мультиархитектурная вычислительная суперсистема состоит из вычислительной и монитрно-моделирующей подсистем, а также системной и внешней памяти (рис.1) [11].

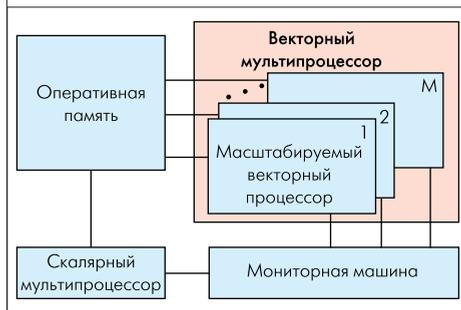
**Вычислительная подсистема** с масштабируемой структурой включает в себя набор (от 1 до N) мультиархитектурных вычислительных комплексов (МВК). **Монитрно-моделирующая подсистема** вычислительной системы (см. рис.1) анализирует про-



**Рис. 1. Мультиархитектурная вычислительная система**

граммы (в том числе в интерактивном режиме) для выявления их форм параллелизма, готовит и распределяет задания между составными частями вычислительной подсистемы. Она также управляет доступом к внешней памяти и к средствам отображения информации [11]. В эту подсистему входит отдельная *моделирующая машина* и *мониторные машины* вычислительных комплексов. Все эти машины можно реализовать на основе серийных серверов, однако специфика задач по анализу программ и интерактивному взаимодействию с программистами может потребовать специализированных аппаратно-программных средств.

Каждый **мультиархитектурный вычислительный комплекс** (рис.2) содержит *векторный мультипроцессор*, *скалярный мультипроцессор* и *мониторную машину*, связанные с общей *оперативной памятью*.



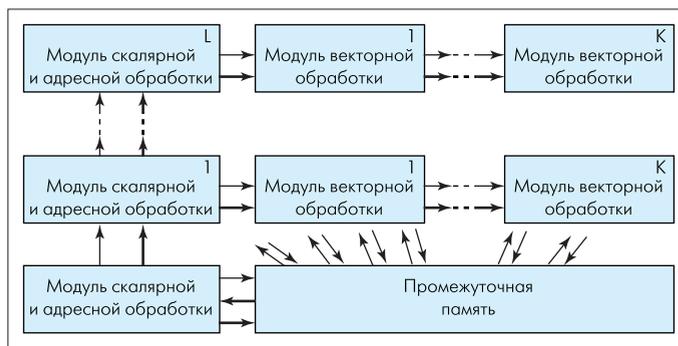
**Рис. 2. Мультиархитектурный вычислительный комплекс**

Основное назначение *векторного мультипроцессора* – выполнение ориентированных на сложные векторные операции программ с явным параллелизмом на уровне данных. Архитектура мультипроцессора, организация и структура аппарат-

ных средств нацелены на достижение максимальной производительности при выполнении именно таких программ.

Векторный мультипроцессор с масштабируемой структурой состоит из набора (от 1 до M) *векторных процессоров* [12]. Все векторные процессоры должны иметь доступ к оперативной памяти мультиархитектурного вычислительного комплекса (см. рис.2). Подготовкой, запуском и мониторингом программ векторных процессоров управляет мониторная машина. Для управления программами используются специальные команды – директивы, размещаемые в оперативной памяти вычислительного комплекса.

*Векторные процессоры* обладают мультиконвейерной масштабируемой архитектурой (рис.3). Их масштабирование возможно по двум координатам – по числу цепочек обработки (от 1 до L) и числу обрабатываемых модулей в цепочке (от 1 до K). В результате различные версии процессора могут содержать от единиц до сотен модулей, и при выполнении сложных векторных функций возможно получение до сотен результатов в один такт. Цепочки состоят из



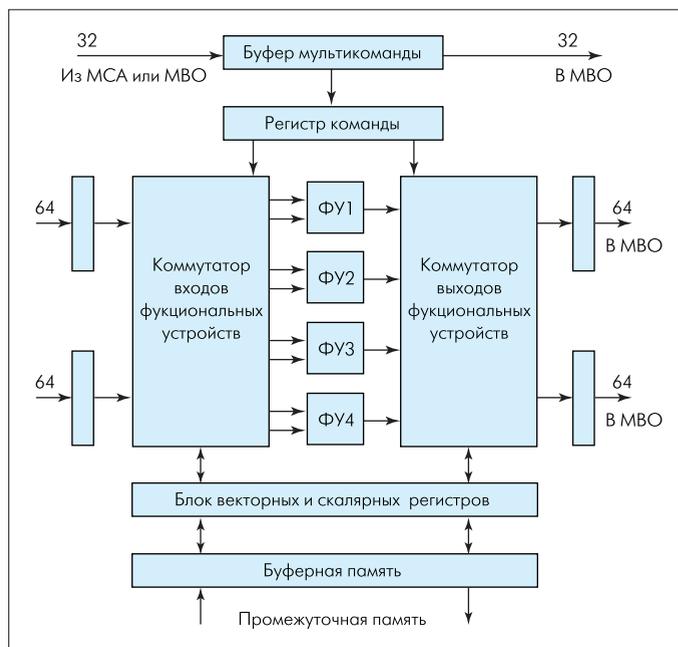
**Рис.3. Масштабируемый векторный процессор**

модулей векторной обработки (МВО), предназначенных только для векторных операций. Скалярные операции и управление цепочкой модулей векторной обработки реализуют модули скалярной и адресной обработки (МСА). Выборку и выполнение команд, в том числе команд обмена с памятью и управления модулями скалярной и адресной обработки, контролирует единственный модуль диспетчерского управления (МДУ). Промежуточная память векторного процессора связана как с оперативной памятью мультиархитектурного вычислительного комплекса, так и с буферными запоминающими устройствами всех модулей процессора.

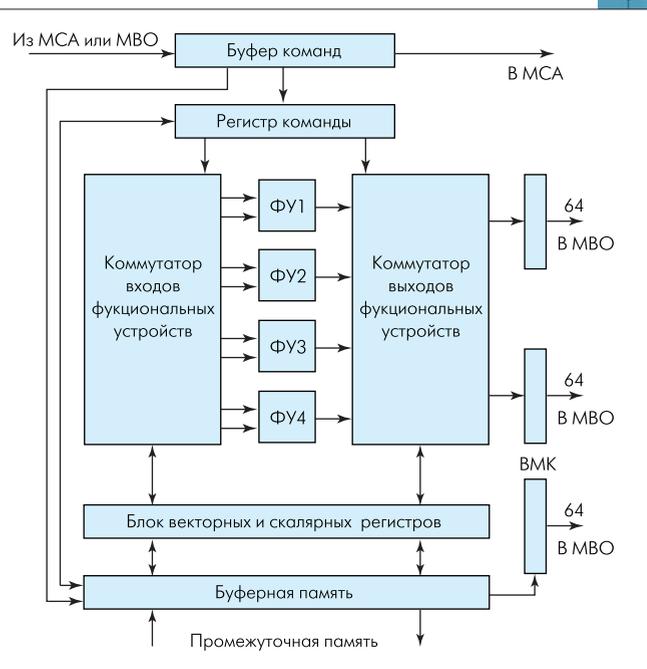
Схемотехника и конструкция масштабируемого векторного процессора основаны на принципе близкодействия, подразумевающего передачу данных между соседними элементами, что минимизирует потери при распространении сигналов. Основой схемотехники являются синхронные конвейерные схемы, используемые как в функциональных устройствах, так и в схемах управления и обмена.

Отличительная особенность масштабируемого векторного процессора – его система команд. Кроме обычных команд для управления общими структурами процессора в ней предусмотрены так называемые мультикоманды для управления цепочкой модулей векторной обработки.

В состав модуля векторной обработки (рис.4) входят набор конвейерных функциональных устройств, входной и выходной коммутаторы, адресуемые векторные и скалярные регистры, буферная память, входные и выходные регистры и схемы управления. Сосед-



**Рис.4. Модуль векторной обработки**



**Рис.5. Модуль скалярной и адресной обработки**

ние модули соединяются посредством входных и выходных регистров. Входной коммутатор служит для выборки операндов и направления их на вход соответствующего функционального устройства. Источниками операндов могут быть входные регистры, адресуемые векторные и скалярные регистры и выходной коммутатор. Прием операнда из выходного коммутатора необходим для выполнения последовательности векторных операций в рамках модуля. Результаты операций также могут быть направлены на выходные регистры или/и записаны в один из адресуемых регистров. Кроме операций обработки в модуле выполняются команды обмена между адресуемыми регистрами и буферной памятью.

Структурно модуль скалярной и адресной обработки аналогичен модулю векторной обработки (рис.5). Помимо скалярной обработки в специальном выходном буфере модуля формируются мультикоманды, предназначенные для выдачи в цепочку модулей векторной обработки. Мультикоманда представляет собой набор 32-разрядных команд – по одной для каждого модуля векторной обработки в цепочке. Мультикоманды распространяются по цепочке конвейерными схемами, работающими аналогично и параллельно схемам передачи данных между соседними модулями. Мультикоманда поступает в буфер мультикоманд модуля векторной обработки, после чего старшая команда мультикоманды

передается в регистр выполняемых команд данного модуля, а оставшаяся часть мультикоманды транслируется в соседний модуль. В результате достаточно одного порта выдачи мультикоманды, а протокол ее выдачи не зависит от длины цепочки модулей векторной обработки.

**Модуль диспетчерского управления** структурно также аналогичен модулям векторной и скалярной обработки, но дополнительно содержит адресные регистры, буфер директив и набор схем управления. В нем выполняются операции управления вычислительными модулями, а также связанные с ними операции обработки и управления обменом. Программа процессора инициируется в результате приема директивы в буфер директив, ее дешифрации и выполнения. Загружает директиву в буфера мониторинга машина вычислительного комплекса.

Обменом между оперативной памятью вычислительного комплекса и промежуточной памятью векторного процессора управляет специальный контроллер в составе модуля диспетчерского управления. Он преобразует математические адреса виртуального адресного пространства в физические адреса оперативной памяти и управляет обменом, при этом в программе должны быть указаны физические адреса промежуточной памяти.

При обмене массивами задается положение массива в промежуточной памяти (подразумевается, что последовательные элементы массива находятся в соседних ячейках памяти). Адресация элементов массива в оперативной памяти возможна различными способами – такими как вычисление адреса последующего элемента путем сложения адреса предыдущего элемента с фиксированной или вычисляемой величиной смещения. Возможна также работа по списку адресов.

Очевидно, возможности модулей ограничены как по размерам их программ, так и по объему данных (например, по длине и числу векторов и т.п.). Соответственно, любая большая программа и ее данные должны подвергаться **квантованию**. Квантование в пространстве обеспечивается за счет выделения места в оперативной памяти вычислительного комплекса, в промежуточной памяти векторных процессоров и в локальной памяти модулей. Квантование во времени – это выделение времени для выполнения той части программы, которая загружена в модули.

При квантовании программа разбивается на отдельные фрагменты. Они образуют макроконвейер, который обрабатывается цепочкой модулей векторного процессора. При этом важно сократить потери из-за ожидания обращения к памяти, что достигается как программно, так и аппаратно. В программах должны подготавливаться специальные программные модули загрузки (приема) данных, обработки данных и разгрузки (выдачи) результатов. При этом необходима взаимная согласованность структуры программ загрузки данных и разгрузки результатов для повышения скорости обмена.

Для минимизации потерь при активизации обмена с памятью, формировании и выдаче адресов для каждого векторного процессора в оперативной памяти МВК отводится фиксированная область с жестко заданным и известным процессору адресом (т.е. для обращения к этой области преобразование адресов не требуется). В нее записываются директивы (команды активизации программ) для данного процессора, а также управляющие программы, загружающие таблицы преобразования адресов и задающие режимы работы процессора.

**Скалярный мультипроцессор** является масштабируемой структурой с общей памятью [14]. Он состоит из множества вычислительных узлов, объединенных между собой и с оперативной памятью МВК высокоскоростной двухуровневой системой коммутации. Вычислительный узел – это симметричная многопроцессор-

ная подсистема с локальной общей памятью и с внутренней и внешней кэш-памятью. Число процессоров в узле и общее число узлов зависят от уровня технологии, особенностей задач и уровня масштабирования. В качестве процессоров вычислительного узла можно применять как стандартные микропроцессоры, так и процессоры, построенные на основе модулей векторного процессора – например, модуля диспетчерского управления и одного или нескольких модулей скалярной и адресной обработки.

## ПЕРСПЕКТИВЫ И ВЫВОДЫ

Производительность системы зависит от уровня технологии, масштаба самой системы и выбранной конфигурации. Важно отметить, что благодаря модульной структуре векторный и скалярный процессоры и их элементы реализуемы на интегральных схемах с различной степенью интеграции. При этом переход на следующий уровень интеграции не будет связан с коренным пересмотром архитектуры и схемотехники модулей. На первом этапе модули процессора можно выполнить на отдельных СБИС, при этом принцип близкодействия будет соблюден при размещении этих модулей в микросборке или на плате. Далее на одном кристалле уже смогут размещаться несколько модулей. И наконец, сокращение технологических норм позволит интегрировать в одной СБИС весь векторный (или скалярный) процессор, включая промежуточную память. Предложенная архитектура масштабируемого векторного процессора является одним из возможных ответов на вызов, связанный с проблемой использования перспективных СБИС с числом транзисторов, превышающим миллиард.

Отметим, что отдельные модули векторного процессора можно рассматривать как IP-блоки, т.е. проверенные и аттестованные элементы, относительно легко интегрируемые в проекты СБИС посредством САПР. В перспективе это должно сделать экономически целесообразным проектирование и изготовление мультиархитектурных систем под классы задач и даже под конкретные задачи. Такой подход может оказаться выигрышнее концепции систем с перестраиваемой структурой. Последние, при всей своей привлекательности для многих приложений, обладают существенным недостатком – высоким уровнем накладных расходов на коммутацию при перестройке, что влечет снижение производительности. А ведь применительно к суперсистемам производительность играет главную роль.

Предварительный анализ показывает, что при использовании современных СБИС, имеющих около 100 млн. транзисторов, общая пиковая производительность системы может достигать 100 TFlops. При повышении степени интеграции до 1 млрд. транзисторов и соответствующем увеличении скоростей и объема оборудования производительность может достигать 1500 TFlops (1,5 PFlops). Дальнейшее повышение производительности должно быть основано на особенностях новой элементной базы и соответствующей ей архитектуре, однако можно с уверенностью сказать, что принципы конвейеризации и специализации сохранят свою актуальность.

Реализация результатов описанных исследований может стать одним из катализаторов развития отечественной микроэлектроники и вычислительной техники [15]. Сравнение данного проекта с зарубежными исследованиями и разработками показывает, что имеет место опережение по концептуальным подходам к созданию суперсистем и использованию СБИС с предельными характеристиками. Однако для сохранения этих преимуществ необходимо расширение фронта исследований и разработок с целью их внедрения.

*Данные исследования поддерживались грантами РФФИ, Миннауки и РАН.*



## ЛИТЕРАТУРА

1. **Митропольский Ю.И.** Суперсистемы – следующий этап развития суперЭВМ. – Информационные технологии и вычислительные системы. – М.: ОИВТА РАН, ИВВС РАН, 1996, №1.
2. **Grimes Brad.** Return of the supercomputers. Experts debate U.S. response to Japan's Earth Simulator. – Washington Technology, 02/09/04; Vol. 18, No. 21.
3. The BlueGene/L Team, IBM and Lawrence Livermore National Laboratory. An Overview of the BlueGene/L Supercomputer. – SC2002, Baltimore, November 16–22/ 2002.
4. NEC Launches World's Fastest Vector Supercomputer – SX Series Model "SX-8". – NEC High Performance Computing Europe GmbH, Dusseldorf, 20 October 2004.
5. **T. H. Dunigan Jr., M. R. Fahey, J. B. White III, P. H. Worley.** Early Evaluation of the Cray X1. – Proceedings of the IEEE/ACM SC2003 Conference, Nov. 15–21, 2003.
6. Cray XT3 MPP Delivers Scalable Performance. – A D.H. Brown Associates, White Paper Prepared for Cray Inc., January 2005.
7. **LD.Paulson.** Squeezing Supercomputers onto a Chip, – Computer, V. 38, No 1, January 2005.
8. **Митропольский Ю.И.** БЭСМ-6, АС-6 и их влияние на развитие отечественной вычислительной техники. – Информационные технологии и вычислительные системы, ОИТВС РАН, ИМВС РАН, 2002, № 3.
9. **Мельников, В.А., Митропольский Ю.И., Шнитман В.З.** Научные, технологические и методические аспекты создания вычислительной системы "Электроника СС БИС – 1". – В кн.: Юбилейный сборник трудов Отделения информатики, вычислительной техники и автоматизации Российской академии наук. – М.: ОИВТА РАН, 1993.
10. **Митропольский Ю.И.** Концепции построения неоднородных вычислительных суперсистем. – В кн.: Распределенная обработка информации: Труды пятого международного семинара. – Новосибирск: Институт физики полупроводников СО РАН, 1995.
11. **Анохин А.В., Ленгник Л.М., Митропольский Ю.И., Пучков И.И.** Архитектура неоднородной вычислительной суперсистемы. – В кн.: Распределенная обработка информации: Труды пятого международного семинара. – Новосибирск: Институт физики полупроводников СО РАН, 1995.
12. **Митропольский Ю.И.** Архитектура мультимикровейерного модульного масштабируемого унипроцессора. – В кн.: Распределенная обработка информации: Труды шестого международного семинара. – Новосибирск: Институт физики полупроводников СО РАН, 1998.
13. **Митропольский Ю.И.** Мультиархитектурная вычислительная суперсистема. – В кн.: Труды первой всероссийской научной конференции "Методы и средства обработки информации". – М.: МГУ, 2003.
14. **Анохин А.В.** Мультипроцессор – многопроцессорная иерархическая подсистема основного вычислительного модуля. – В кн.: Вычислительные машины с нетрадиционной архитектурой. Супер ВМ. Выпуск 5. Неоднородные вычислительные суперсистемы. – М.: ИВВС РАН, 1997.
15. **Алферов Ж.** Полупроводниковая электроника в России. Состояние и перспективы развития. – ЭЛЕКТРОНИКА: Наука, Технология, Бизнес, 2004, № 5.