

ИНТЕГРАЛЬНЫЕ СХЕМЫ ДЛЯ ВИДЕОИНТЕРФЕЙСА

ЖИДКОКРИСТАЛЛИЧЕСКИХ ПАНЕЛЕЙ

Российская компания Unique IC's специализируется на разработке полупроводниковых микросхем для серийных электронных устройств. Не обладая собственным полупроводниковым производством, она пользуется услугами фабрик в Юго-Восточной Азии. Одно из значимых направлений работы компании — разработка комплекта микросхем для отечественного телевизора на основе жидкокристаллических панелей.

ТРЕБОВАНИЯ К ИС ДЛЯ ВИДЕОИНТЕРФЕЙСА ЖКП

В течение многих лет телевизоры и компьютерные мониторы изготавливались на основе электронно-лучевых трубок — кинескопов. Другие устройства формирования изображения (проекционные, плазменные, светодиодные и др.) проигрывали кинескопам по себестоимости в несколько раз. И только в последние два года реальную альтернативу кинескопам создали стремительно развивающиеся технологии жидкокристаллических панелей (ЖКП). Уже сейчас себестоимость ЖКП не превышает себестоимости кинескопов. И хотя комплект управляющей электроники для ЖКП пока дороже, чем для кинескопа, однако в управлении ЖКП используются только низковольтные элементы, легко интегрируемые в составе БИС. Более того, сама ЖКП является специализированной ультра-БИС, включающей полупроводниковые тонкопленочные транзисторы (TFT). Значительная часть управляющей электроники может быть перенесена на стекло панели. Высоковольтная же электроника управления кинескопами практически исчерпала возможности дальнейшей интеграции. Поэтому себестоимость управляющих электронных компонентов для ЖКП в ближайшем будущем снизится в несколько раз.

Сравнение технических характеристик и потребительских свойств кинескопов и ЖКП почти по всем позициям показывает преимущества последних. Габариты и масса, разрешение, контрастность и размер изображения, электробезопасность и энергопотребление, экологические показатели (излучение и мерцание изображения) у ЖКП значительно лучше. Цифровое управление ЖКП упрощает реализацию вспомогательных функций (окно в окне, бегущая строка, стоп-кадр и др.). Однако кинескопы пока обеспечивают более высокую яркость и угол обзора экрана.

Кинескопы и жидкокристаллические панели — это только средства отображения видеoinформации. Источниками видеосигнала служат компьютеры, телевизионные приемники, видеомагнитофоны, DVD-плееры и т.д. Поскольку кинескоп по своей природе — аналоговое устройство, для систем на его основе удобна и естественна передача видеосигнала в аналоговой форме с разделением трех основных цветов. Этот метод был разработан для телевидения, а позднее вошел в компьютерной индустрии в виде стандарта VGA (Video Graphics Array). Соответственно, для совместимости дисплеев



Ю.Адамов,
Я.Губин,
А.Сибэгатуллин

с разнообразными источниками видеосигнала обязательно нужен аналоговый интерфейс. Но его применение привело к тому, что в компьютерных дисплеях на основе ЖКП происходит двойное преобразование видеосигнала: из цифровой формы в аналоговую в системном блоке и из аналогового сигнала в цифровую в интерфейсе дисплея. Аналогично, видеосигнал дважды преобразовывается и в цифровом телевизионном приемнике стандарта DVB (Digital Video Broadcast) с ЖКП. Качество изображения при таком преобразовании значительно ухудшается. Поэтому специально для цифровых дисплеев был разработан стандарт DVI (Digital Visual Interface), обеспечивающий передачу видеосигнала без потерь от цифровых источников. Для бытовой аппаратуры используется версия этого стандарта HDMI (High Definition Multimedia Interface), обеспечивающая защиту информации от копирования. На физическом уровне стандарты HDMI и DVI совместимы.

Цифровое отображение информации требует точной адресации каждого элемента изображения — пиксела. Форматы же видеосигнала (число строк и элементов в строке) у разных источников различны. Для сведения формата исходного видеосигнала к реальному формату матрицы ЖКП в состав интерфейса входит блок масштабного преобразователя — скэйлера (scaler). Он запоминает в цифровой форме кадр исходного формата, а затем вычисляет значения цветовых составляющих для каждого пиксела реальной матрицы.

Программа компании Unique IC's по созданию элементной базы отечественного ЖКП-телевизора предусматривает разработку трех основных интерфейсных блоков: аналогового интерфейса, DVI-приемника, DVI-передатчика и скэйлера. На первом этапе в 2006 году предполагается реализовать эти блоки в виде четырех отдельных микросхем. На втором этапе (2007 год) планируется объединить их в единой БИС универсального контроллера ЖКП-дисплея.

Сведения об авторах

АДАМОВ Юрий Федорович. Доктор технических наук, профессор, начальник отдела разработки высокочастотных и высокоскоростных ИМС.
E-mail: adamov@uniqueics.com.

ГУБИН Ярослав Сергеевич. Инженер сектора разработки цифровых интерфейсов.
E-mail: gubin@uniqueics.com.

СИБАГАТУЛЛИН Артур Гиниятович. Инженер сектора разработки быстродействующих аналогово-цифровых интегральных схем.
E-mail: artsib@uniqueics.com.
Тел. (095) 535-09-81

Характеристики и параметры интерфейсных микросхем

| Параметр | Аналоговый интерфейс | DVI-передатчик и приемник | Скейлер |
|--|----------------------|---------------------------|----------------|
| Напряжение питания, В | 3,3 ± 10% | 3,3 ± 10% | 3,3 ± 10% |
| Потребляемая мощность, Вт | 0,8 | 0,15 | 0,8 |
| Максимальное разрешение кадра, пикселей | 1600x1200 | 1280x1024 | 1600x1200 |
| Максимальная частота обработки пикселей, МГц | 160 | 125 | 160 |
| Технология | КМОП, 0,25 мкм | КМОП, 0,18 мкм | КМОП, 0,18 мкм |
| Тип корпуса | H18.64-1B | H18.64-1B | QFP-208 |

Разработанные на первом этапе микросхемы составляют комплект, необходимый для построения интерфейсного блока (рис.1). Они полностью совместимы по условиям применения (напряжение питания, логические уровни, рабочий температурный диапазон) и технологии монтажа на платы (планарные корпуса с выводами на четыре стороны) (см. табл.).

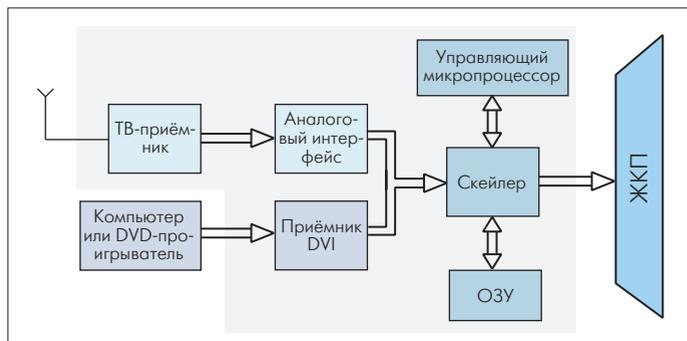


Рис.1 Структурная схема универсального ЖКП-дисплея

ИС АНАЛОГОВОГО ИНТЕРФЕЙСА

Видеосигнал стандартов VGA, SVGA, XGA, SXGA и т.п. включает в себя каналы трех основных цветов – R, G, B (Red, Green, Blue) и канал строчной и кадровой синхронизации HSYNC и VSYNC. Видеосигнал меняется в соответствии с горизонтальной растровой разверткой экрана. В конце каждой строки и каждого кадра есть промежутки времени, когда сигналы R, G, B не передаются. Свойства цветного изображения таковы, что сигналы R, G, B при отображении отдельных предметов или их фрагментов изменяются медленно, а при переходе границ предметов или фрагментов другого цвета – очень быстро. Аналоговый интерфейс должен преобразовывать входные аналоговые сигналы в цифровую форму, причем так, чтобы на экране были различимы мелкие детали, границы фрагментов изображения не размывались, а цветовые переходы оставались плавными, без видимых градаций. Исследования восприятия человеком изображения на экране монитора показали, что цветовые градации практически неразличимы при 7-разрядном представлении сигналов R, G, B. Границы фрагментов выглядят резкими, если при переходе к соседнему пикселу изменяются все четыре старших разряда сигнала. Мелкие детали и прямые линии четко выделяются только в двух случаях:

- если частота аналого-цифрового преобразователя (АЦП) в два и более раз превосходит частоту цифроаналогового преобразователя (ЦАП) в источнике видеосигнала;
- если частоты ЦАП и АЦП равны, а фаза тактового синхросигнала АЦП обеспечивает захват каждого пиксела (рис.2).

Параметры ИС аналогового интерфейса должны обеспечивать все условия формирования качественного изображения. Поэтому микросхема включает три блока 8-разрядных быстродействующих АЦП, синхргенератор с кварцевой стабилизацией и максимальной рабочей частотой 160 МГц, блок фазовой коррекции синхросигнала, блок смещения и масштабирования входного аналогового сигнала, а так-

же блок управления (рис.3). Она изготовлена по модифицированной КМОП-технологии с минимальными размерами элементов 0,25 мкм. Техпроцесс характеризуется полной изоляцией от подложки *n*- и *p*-канальных транзисторов, использованием структур с уменьшенными утечками и прецизионными конденсаторами. ИС реализована в 64-выводном планарном корпусе типа H18.64-1B, лабораторные образцы проходят испытания.

Важнейший элемент ИС аналогового интерфейса – блок АЦП. В нем использована архитектура параллельного типа с прямым преобразованием, обеспечивающая самое высокое быстродействие. Разрешающая способность первого каскада преобразования – 7 разрядов. Приоритетный шифратор обеспечивает коррекцию одиночных ошибок и выделение быстрых перепадов входных сигналов. Цифровой интерполятор сглаживает мелкие пульсации сигнала, ошибки преобразования и вычисляет выходной код с точностью 8 разрядов. Если на аналоговом входе амплитуда перепада сигнала превышает четверть динамического диапазона, то приоритетный шифратор отключает интерполятор и на выход передается 7 разрядный код с первого каскада преобразования.

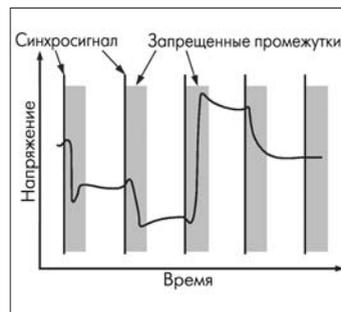


Рис.2. Форма входного аналогового видеосигнала. Заштрихованы промежутки времени, в которые запрещено преобразование в цифровой код

Система стабилизации частоты синхргенератора использует принцип фазовой автоподстройки со встроенным цифровым фильтром и внешним кварцевым резонатором. Синхргенератор формирует четыре синхросигнала, сдвинутые на четверть периода относительно друг друга. Блок фазовой коррекции динамически выбирает одно из четырех возможных значений фазы синхросигнала, поскольку для стабилизации изображения на экране синхросигнал не должен совпадать по времени с перепадами видеосигнала (рис.2). Видеосигнал сопровождается импульсами строчной синхронизации HSYNC, которые используются блоком фазовой коррекции для выбора фазы высокочастотного синхросигнала. Фаза устанавливается в начале каждой строки видеосигнала. Дрожание фазы синхросигнала (jitter) в пределах строки не превышает 6% от его периода.

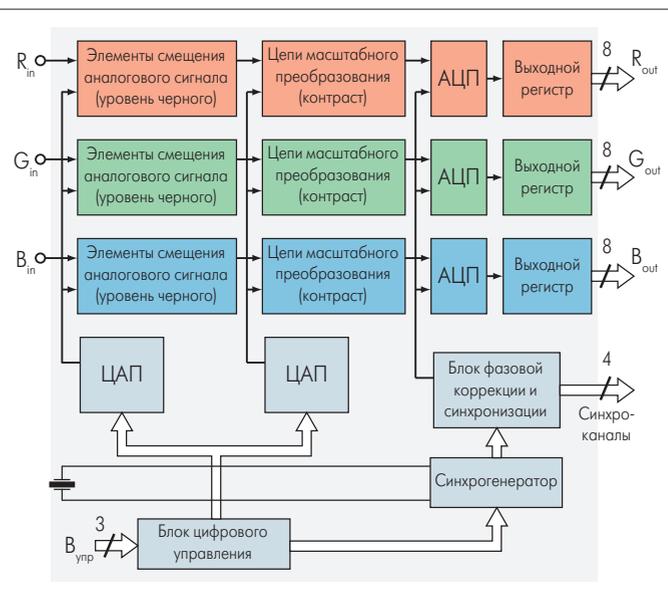


Рис.3. Структурная схема аналогового интерфейса

Амплитуда входных аналоговых сигналов, согласно спецификации, – от 0,5 до 1,0 В. Импеданс линии передачи сигнала 75 Ом требует подключения согласующих резисторов на аналоговых входах интерфейса. Сигналы R, G, B подаются на входы через разделительные конденсаторы (рис.4). Сигналы синхронизации HSYNC и VSYNC – логические, с амплитудой 3,3 В.

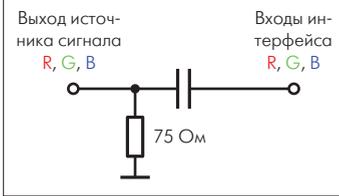


Рис.4. Схема подключения аналоговых входов R, G, B

В состав интерфейса входят два блока ЦАП, один из которых устанавливает смещение входного сигнала, а второй – динамический диапазон преобразования. Значения управляющих кодов записываются через последовательный порт и хранятся в соответствующих регистрах блока цифрового управления. ЦАП смещения заряжает разделительные конденсаторы в промежутках времени, когда на входах R, G, B установлен уровень отсутствия сигнала (уровень черного). ЦАП динамического диапазона формирует напряжение на резистивном делителе АЦП и влияет на контрастность изображения.

Аналоговый интерфейс обеспечивает преобразование видеосигналов от формата 640x480 пикселей до формата 1280x1024 с частотой развертки от 60 до 85 кадров/с, а также формата 1600x1200 с частотой 60 кадров/с.

ЦИФРОВОЙ ИНТЕРФЕЙС DVI

Комплект ИС цифрового интерфейса включает две микросхемы – приемник и передатчик. Микросхемы рассчитаны на передачу цифрового видеосигнала со скоростью от 25 до 125 Мпиксел/с. Пикселы представлены 24-разрядным RGB-кодом. Передача видеосигнала сопровождается четырьмя сигналами синхронизации: PCLK (пиксельный), HSYNC (строчный), VSYNC (кадровый) и DE (признак наличия в сигнале видеокadres / служебной информации). Таким образом, на входах передатчика и выходах приемника видеосигнал представлен 28-разрядным кодом. В канале связи данные передаются по четырем витым парам, объединенным в экранированный кабель. По трем из них передаются сигналы R, G, B, а также (в другие интервалы времени) синхросигналы HSYNC, VSYNC и DE. Четвертая витая пара используется для сигнала пиксельной синхронизации PCLK.

При передаче каждый байт данных преобразуется в 10 разрядов так называемого взвешенного кода и передается через последовательный канал. В результате тактовая частота внутреннего синхро-

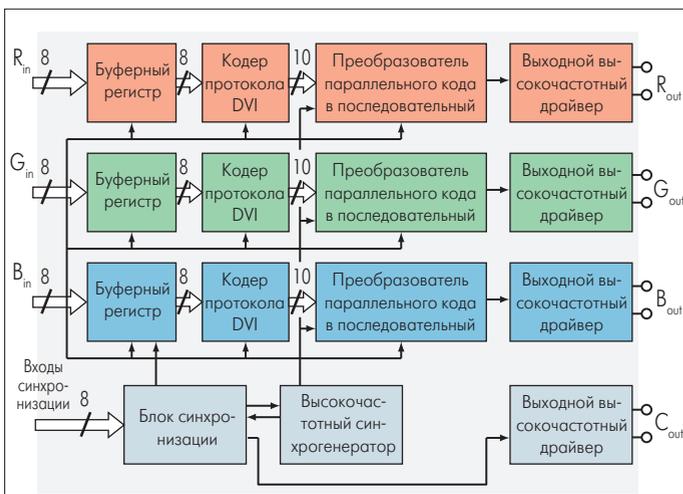


Рис.5. Структурная схема передатчика DVI

сигнала в передатчике и приемнике оказывается в 10 раз больше PCLK. Соответственно, скорость передачи данных в последовательном канале связи между передатчиком и приемником также в 10 раз больше, чем через параллельный порт.

В состав передатчика (рис.5) входят буферный регистр, кодер протокола DVI, преобразователь параллельного кода в последовательный, блок высокочастотных драйверов и синхрогенератор. Синхрогенератор стабилизирован входной частотой PCLK и работает в диапазоне частот от 250 до 1250 МГц. Приемник (рис.6) включает в себя блок входных компараторов, блок восстановления и синхронизации данных, блок выравнивания задержек в каналах R, G, B, преобразователь последовательного потока данных в параллельный, декодер протокола DVI, выходной буферный регистр и синхрогенератор (такой же, как в передатчике).

Для изготовления микросхем передатчика и приемника выбрана КМОП-технология с минимальным размером элементов 0,18 мкм, аналогичная технологии изготовления ИС аналогового интерфейса. Микросхема будет производиться в корпусах типа H18.64-1В. Лабораторные образцы передатчиков DVI тестируются в макетах аппаратуры, образцы приемников изготавливаются.

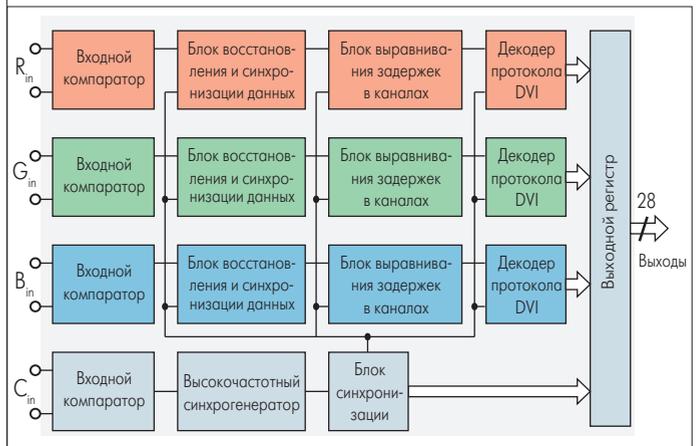


Рис.6. Структурная схема приёмника DVI

МАСШТАБНЫЙ ПРЕОБРАЗОВАТЕЛЬ – СКЭЙЛЕР

Масштаб матрицы ЖКП-дисплея не всегда совпадает с форматом видеоданных, в то время как дисплеи и источники видеосигналов могут использоваться в произвольном сочетании. Скэйлер должен пересчитывать значения сигналов R, G, B для каждого реального пиксела ЖКП-дисплея, а также вырабатывать новые сигналы строчной и кадровой синхронизации в соответствии с требуемым форматом. Заполнение растров в кадре может быть прогрессивным (сплошным, без пропусков) или чересстрочным. Для полноценной интерполяции скэйлер должен хранить значения сигналов R, G, B для четных или нечетных строк. Из-за технологических и экономических ограничений используются внешние ЗУ данных, для работы с которыми скэйлеру необходим контроллер внешней памяти.

Разработанная микросхема скэйлера выполняет преобразование входных цветных изображений (24 разряда на пиксел) в выходное изображение фиксированного разрешения конкретного ЖКП-дисплея. Скэйлер поддерживает разрешение дисплея от 640x480 до 1600x1200, а также изменение формата кадра с 4:3 на 16:9 и наоборот. Микросхема будет изготавливаться по типовой КМОП-технологии цифровых устройств с проектными нормами 0,18 или 0,15 мкм. Планируется применение планарного 208-выводного корпуса. Уже разработан и исследован ПЛИС-макет скэйлера, а проект его ИС подготовлен для изготовления опытных образцов. Серийный выпуск планируется в конце 2006 года.