

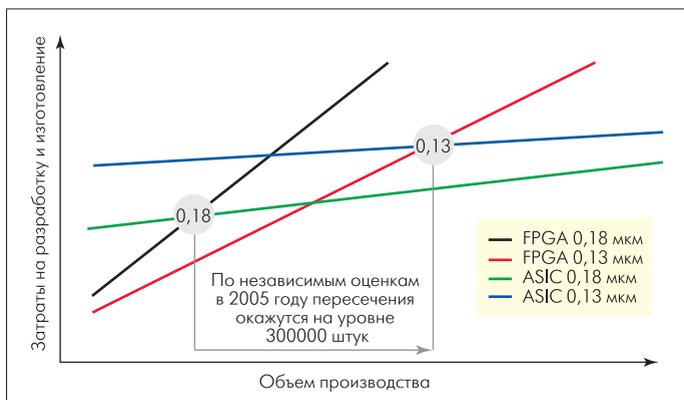
# СРЕДСТВА ПРОЕКТИРОВАНИЯ FPGA КОМПАНИИ MENTOR GRAPHICS

А.Лохов,  
А.Рабоволок



**Трудно оспорить утверждение, что компания Mentor Graphics – реальный лидер рынка средств проектирования ПЛИС. Можно говорить о том, что отдельные продукты других фирм в чем-то лучше, но такого комплексного подхода с учетом всех потребностей процесса проектирования ПЛИС, пожалуй, нет больше ни у одной компании.**

При переходе на новые технологии даже при достаточно больших объемах выпуска использование FPGA становится более выгодным по сравнению со специализированными полужаказными микросхемами (ASIC). Эту тенденцию иллюстрирует рис. 1, где для технологий 0,18 мкм и 0,13 мкм приведены графики изменения стоимости производства FPGA и ASIC в зависимости от объемов выпуска (данные на 2003 г.). По оценкам компании SONY, в 2005 году партии до 300000 штук будет выгоднее производить на базе FPGA.



**Рис. 1. Сравнение затрат на производство FPGA и ASIC**

Новое поколение FPGA ведущих производителей (Xilinx, Altera и др.) позволяет реализовать полноценную систему на программируемом кристалле. В состав FPGA включаются встроенные процессорные ядра (Power PC в Virtex II Pro Xilinx и NIOS в Stratix Altera), специализированные арифметические блоки для DSP-приложений, высокоскоростные последовательные интерфейсы, блоки памяти различной конфигурации и назначения. Соответственно возрастают и требования к средствам проектирования таких кристаллов.

Компания Mentor Graphics одной из первых серьезно занялась разработкой систем проектирования для FPGA. В настоящее время это одно из стратегических направлений ее развития. Отличительная особенность продуктов Mentor Graphics – независимость от конкретного производителя, что позволяет проектировать системы, основанные на комбинации FPGA различных производителей, оптимально используя преимущества каждого из них. В случае необходимости перехода на другую технологию или другой тип кристаллов

систему достаточно легко перепроектировать. Все это невозможно при использовании средств проектирования, предлагаемых изготовителями FPGA, которые работают только со своими кристаллами.

Рассмотрим более подробно маршрут проектирования FPGA, реализованный компанией Mentor Graphics (рис.2).

Проектирование начинается с разработки спецификации архитектуры системы на языках высокого уровня C, C++, System C, SystemVerilog, MATLAB и верификации полученной модели с помощью программы ModelSim. На этом этапе принимается решение об аппаратном либо программно-аппаратном способе реализации. В случае выбора аппаратного способа реализации можно непосредственно переходить к созданию RTL-описаний (VHDL или Verilog) проекта.

Это можно делать вручную либо воспользоваться программой поведенческого синтеза Precision C Synthesis, которая ориентирована в основном на синтез систем цифровой обработки сигналов. Она позволяет, имея описание алгоритмов на C или C++, автоматически получить синтезируемый VHDL или Verilog код. Структурная схема и принцип работы программы поведенческого синтеза приведены на рис. 3. Следует отметить, что получаемый на выходе RTL-код может быть использован как для синтеза FPGA, так и для синтеза ASIC.

Если принято решение о программно-аппаратном способе реализации и выбрано процессорное ядро, процесс проектирования разделяется на разработку встроенной программы и создание аппаратной части проекта. Аппаратная часть с помощью пакета Platform Express верифицируется на уровне шинных интерфейсов. Программная часть отлаживается в комплексной интегрированной среде, состоящей из системы программирования code|lab, отладчика XRAY и операционных систем реального времени VRTX и Nucleus.

Процесс комплексной верификации системы можно существенно ускорить с помощью пакета программно-аппаратной верификации (или виртуального прототипирования) Seamless-CVE. Ядро Seamless-CVE управляет взаимодействием интерпретатора системы команд встроенного процессора и RTL-моделирования аппаратной части, обеспечивая совместное моделирование и отладку всей программно-аппаратной системы на виртуальном прототипе, не прибегая к созданию макета. На ранних стадиях разработки могут быть выявлены и устранены ошибки взаимодействия разрабатываемого программного обеспечения и аппаратуры, исправление которых на последующих этапах потребует больших затрат, а иногда просто невозможно без полного перепроектирования.

Ядро маршрута проектирования – пакет FPGA Advantage – включает три основных модуля: HDL Designer, ModelSim и Precision RTL/Physical Synthesis, которые при необходимости могут использо-

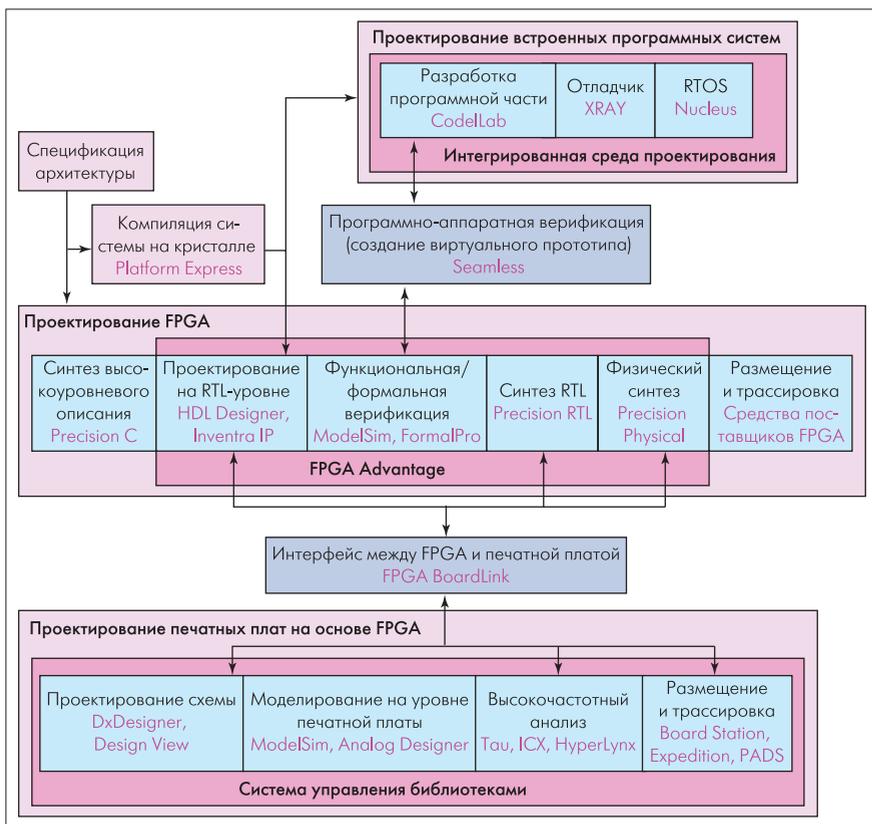


Рис.2. Маршрут проектирования FPGA компании Mentor Graphics

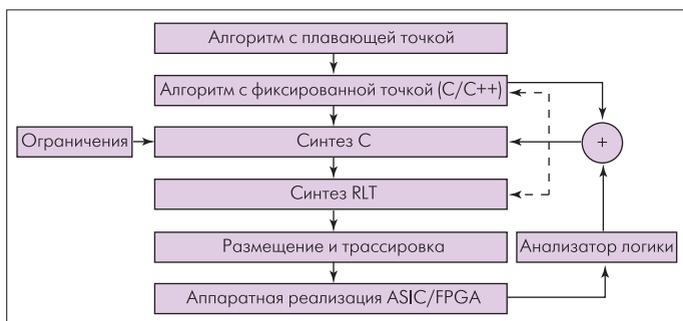


Рис.3. Структурная схема и принцип работы Precision C Synthesis

ваться автономно или в других маршрутах проектирования. Этому способствует то, что основным форматом передачи данных между этапами на этой стадии проектирования являются RTL-описания на VHDL, Verilog или их комбинации.

### HDL DESIGNER

Пакет HDL Designer предназначен для создания проекта на уровне RTL. Он также выполняет функцию "центра управления" проектными данными и всем процессом проектирования. Кроме стандартного текстового редактора для работы с языками VHDL, Verilog, SystemC и т.п. HDL Designer поддерживает такие способы представления проекта, как блок-диаграмма алгоритма, блок-схема, конечный автомат, таблица истинности, таблица связности блоков. При работе с иерархическими проектами верхний уровень, например, может быть представлен в виде блок-схемы, а самый нижний – в виде текстового HDL-описания. Возможность выбора представления проекта – большое преимущество. Новичку для первоначального описания проекта достаточно знать основы языка, профессионал может включить специфические языковые конструкции в графическое описание, и тогда создание таких рутинных строк

HDL текста, как заголовки, ветвления, циклы и т.д., возьмет на себя программа.

После завершения разработки исходного представления проекта происходит проверка синтаксиса и генерация HDL-описания. Процессом генерации можно управлять. Например, для части проекта, представленной в виде конечных автоматов, можно выбирать способ кодировки конечного автомата, делать его синхронным или асинхронным, определять реакцию на сигнал сброса и многое другое. Тесная интеграция с этапами моделирования и синтеза позволяет экспериментировать с настройками, почти мгновенно получая результаты, и, в итоге, быстро находить оптимальные варианты.

Важное преимущество HDL Designer – поддержка режима коллективной работы с использованием внешних или собственных IP-блоков. Система управления версиями контролирует все обновления в центральной библиотеке. При использовании внешнего IP-блока специальная программа визуализации сформирует графическое представление исходного кода, которое поможет инженеру, не обладающему детальными знаниями о блоке, быстрее разобраться в принципах его работы. Выпуск проектной документации во всех стандартных форматах также входит в состав функций HDL Designer.

### MODELSIM

Следующий этап проектирования FPGA – функциональное моделирование и отладка проекта. Эти функции реализуются пакетом ModelSim, который выполняет моделирование и отладку проектов, описанных на VHDL, Verilog или их комбинации. Помимо режима пакетной обработки ModelSim предоставляет такие отладочные возможности, как построчное моделирование, анализ потоков данных, анализ полноты покрытия и эффективности кода. В рамках FPGA Advantage из ModelSim можно мгновенно перейти к исходному описанию в HDL Designer любой моделируемой строки, выполнить повторную загрузку и компиляцию измененного проекта без потери текущих настроек моделирования, включить функцию анимации, позволяющую наглядно отображать процесс моделирования. Работа с включенным режимом анализа полноты покрытия дает возможность оценить эффективность описания проекта, определить узкие места, избыточную логику и т.п. В наглядном виде доступна информация о частоте выполнения строк HDL-текста. Накладные расходы при этом составляют всего несколько процентов. Другие характеристики, о которых можно упомянуть, – использование механизма прямой оптимизированной компиляции, единого моделирующего ядра и языка Tcl/Tk. Язык Tcl/Tk интересен тем, что позволяет создавать собственные сценарии моделирования.

ModelSim поставляется в трех основных конфигурациях. OEM-конфигурация, включенная в состав программного обеспечения производителей FPGA (ISE Xilinx, Quartus Altera и др.), имеет серьезные ограничения на производительность, размер проекта и не содержит отладочных опций. Полная конфигурация SE практически не имеет ограничений на размер проекта, включает весь инструментальный моделирования и отладки и имеет максимальную производительность. "Персональная" конфигурация PE занимает промежуточное положение. Последняя версия ModelSim 5.8 обладает су-

щественно более высокой производительностью по сравнению с версией 5.7, поддерживает моделирование объектов на языках System C, System Verilog, Verilog 2001, имеет специальный интерфейс для моделирования MATLAB и SimuLink.

В последнее время FPGA часто используются для прототипирования ASIC. Поскольку технологические особенности FPGA (библиотеки, задержки, схемы ввода-вывода) влияют на реализацию проекта, возникает задача контроля функциональной эквивалентности ASIC и ее FPGA-прототипа, которая успешно решается с помощью пакета формальной верификации FormalPro. Процесс формальной верификации, в отличие от моделирования, требует существенно меньше времени (часы и даже минуты вместо дней и недель). Описание сравниваемых объектов для FormalPro может быть представлено как на RTL-уровне, так и на уровне логических вентилей, а также в виде любой комбинации этих описаний.

### PRECISION RTL/PHYSICAL SYNTHESIS

За логический синтез в маршруте проектирования FPGA фирмы Mentor Graphics отвечает пакет Precision RTL Synthesis, который поддерживает все семейства FPGA ведущих производителей. Оптимальный алгоритм синтеза выбирается автоматически на основе анализа входного RTL-описания. Для большинства случаев этого достаточно. В особо сложных ситуациях можно использовать ручные настройки. Механизм синтеза хорошо адаптирован к использованию крупных блоков. (В качестве примера можно привести исключительно эффективный синтез устройств цифровой обработки сигналов на основе библиотечных DSP-блоков FPGA семейства Stratix компании Altera и семейств Spartan 3 и Virtex II Pro компании Xilinx.) Использование механизма временного анализа позволяет контролировать временные ограничения логических и синхросигналов непосредственно в процессе синтеза, что существенно уменьшает количество итераций размещения и трассировки.

Функция инкрементного синтеза позволяет проводить иерархическое разбиение на отдельные блоки с последующим разделением синтезом каждого из блоков и финальной сборкой проекта на завершающем этапе. Такой подход в случае необходимости внесения изменений позволяет пересинтезировать только измененный блок, что, во-первых, существенно экономит время синтеза, во-вторых, сохраняет оптимальные конфигурации других блоков, достигнутые на этапе первоначального синтеза.

Список соединений синтезированного устройства сохраняется в одном из стандартных форматов (EDIF, VHDL или Verilog) и передается в программу размещения и трассировки производителя FPGA, например ISE компании Xilinx. После размещения и трассировки, как впрочем и после этапа логического синтеза, можно провести повторное моделирование с учетом реальных значений задержек библиотечных элементов, величины нагрузки и длины трасс.

Для FPGA, разработанных по технологиям от 0,13 мкм, 50–70% общей величины задержки приходится на межсоединения. В этих условиях на этапе синтеза недостаточно оптимизировать логическую схему, необходимо учитывать реальные физические параметры размещения. Эта задача успешно решается с помощью пакета физического синтеза Precision Physical Synthesis. База данных

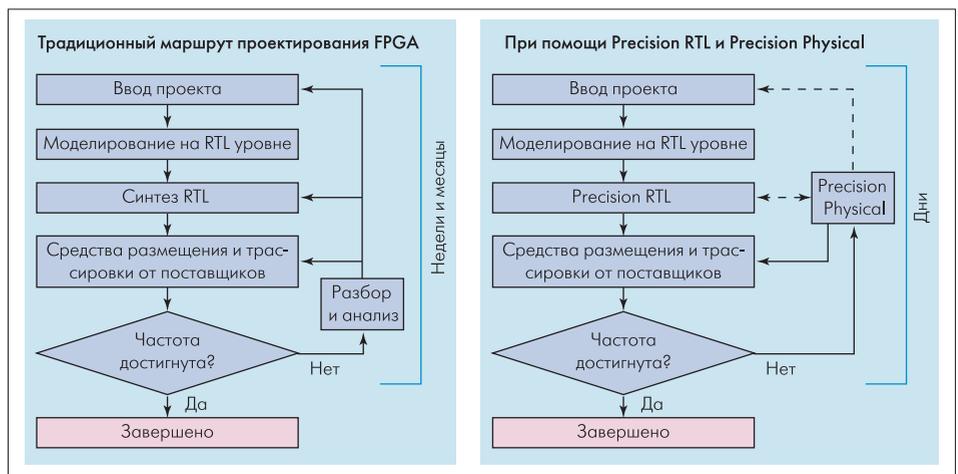


Рис.4. Precision Physical Synthesis в маршруте проектирования FPGA

Precision Physical Synthesis содержит детальные знания о физической структуре каждой конкретной серии FPGA, правилах размещения и трассировки. Смысл физического синтеза – оптимизация схемы с учетом реальных задержек, полученных по результатам работы размещения и трассировки. При автоматической оптимизации используются три основных методики: ретайминг (retiming), реплицирование (replication) и ресинтез (resynthesis) [1]. Если автоматической оптимизации оказывается недостаточно, разработчик может воспользоваться интерактивной средой редактирования PreciseView, позволяющей выполнять размещение в инкрементном режиме и оперативно отслеживать влияние вносимых изменений. Такой подход позволяет быстро (часто за одну итерацию) получить требуемый результат, не прибегая к модификации исходного HDL-кода. Сравнение традиционного маршрута логического синтеза и физического синтеза, реализуемого пакетом Precision Physical Synthesis, приведено на рис.4.

Маршрут проектирования FPGA интегрирован с маршрутами проектирования печатных плат компании Mentor Graphics. Один из таких маршрутов – Expedition PCB – был подробно описан в одной из предыдущих статей [2]. Связь осуществляется с помощью модуля FPGA BoardLink, который позволяет автоматически отслеживать все изменения принципиальной схемы, вызванные переназначением выводов микросхемы. При совместном проектировании печатных плат и FPGA – это типичная ситуация, а отслеживать изменение принципиальной схемы вручную крайне неэффективно и к тому же может привести к ошибкам.

В заключение следует подчеркнуть, что Mentor Graphics – единственная компания, обеспечивающая комплексный интегрированный маршрут проектирования FPGA для любых типов кристаллов, для наиболее сложных многомиллионных проектов. В секторе проектирования систем PCB/FPGA Mentor Graphics является ярко выраженным лидером рынка [3].

### ЛИТЕРАТУРА

1. Jeff Willson, Tom Feist. Achieving Timing Closure with FPGA Physical Synthesis. – Mentor Graphics Technical Publication, March 2003.
2. Лохов А, Филиппов А., Селиванов И., Рабоволук А.. САПР печатных плат: маршрут Expedition компании Mentor Graphics. – ЭЛЕКТРОНИКА:НТБ, 2004, № 2, с. 28-31.
3. Dr. Jack Horgan. High-Speed PCB Design. – EDA Weekly Review, May 17, 2004.



## Дорога длиной в девять лет. Московский Центр Cadence открыт

Cadence Design Systems – одна из крупнейших международных компаний-разработчиков САПР (прибыль по итогам прошлого года – 1,1 млрд. долл.) – открыла в России Центр исследований, разработок и технической поддержки САПР. Об этом было официально объявлено 26 мая в новом офисе компании в Москве. Таким образом, Cadence стала первой международной компанией в индустрии САПР, официально открывшей в России свой центр разработок. В московском офисе Cadence будут работать более 70 специалистов в области разработки и обслуживания САПР, технической поддержки клиентов компании. Кроме того, Cadence проводит в России ряд образовательных и научных программ.

На торжественной церемонии открытия московского офиса компании председатель совета директоров Cadence Design Systems Рей Бингхем (за две недели до этого оставивший пост президента Cadence) заявил: "Россия является экспертом в области электронных разработок, крупнейшие международные производители микроэлектроники открывают здесь свои центры. В России много талантливых инженеров и разработчиков САПР. Мы уверены, что московский офис Cadence станет одним из основных экспертных центров электронных разработок в России. Наша компания чрезвычайно гордится тем, что вносит свой вклад в становление России как технологического лидера в области микроэлектроники".

Важность открытия центра подчеркнул и Майк Фистер, занимающий пост президента и главного управляющего компании Cadence с 12 мая 2004 года: "Cadence – мировой лидер в области создания систем автоматизированного проектирования (САПР) для разработки интегральных схем и печатных плат – открывает свои офисы в тех странах, где расположены проектные и производственные центры ведущих международных корпораций – ключевых клиентов Cadence. Я полностью поддерживаю идею развития бизнеса в России. Она отражает стремление Cadence оказывать техническую поддержку клиентам компании, работающим в России, и способствовать развитию российской микроэлектронной промышленности".

К состоявшемуся событию компания Cadence шла девять лет. Первый шаг к открытию бизнеса в России и СНГ компания сделала в марте 1993 года, выделив из мюнхенского офиса Cadence (Германия) специалиста-консультанта для работы с российскими клиентами. В декабре 1993 года офис Cadence в России занимал одну комнату площадью 20 м<sup>2</sup>. В том же году был подписан первый в СНГ контракт с компанией "Интеграл" (Минск). Вскоре Cadence заключила соглашения о сотрудничестве с НИИМА "Прогресс", НИИСИ РАН, компаниями "Модуль" и "Ангстрем".

В 1995 году на работу в московский офис Cadence был принят еще один специалист – штат удвоился. Объем продаж компании в России существенно возрос в 1995–1996 годах, когда ведущие мировые производители электронной техники – Samsung и Motorola – открыли в Москве свои центры разработок. В 1997 году компания Cadence представила в России свой новый проект – программное обеспечение для образовательных целей. Уже подписаны соглашения о поставке новейших САПР трем университетам – в Москве, Санкт-Петербурге и Перми.

В августе 2001 года четыре специалиста Cadence совместно с сотрудниками компании Mirantis начали масштабную работу по исследованию и разработке САПР в России. В 2002 году компания пригласила 14 сотрудников Mirantis для работы над проектами Cadence. В результате объединения специалистов Mirantis и инженеров Cadence была сформирована единая команда. В том же году компании Cadence, Mirantis и Московский институт электронной техники (МИЭТ) объявили о запуске трехлетней образовательной программы по подготовке магистров в МИЭТе. Инвестиции Cadence в данный проект превысили 1 млн. долл.

В феврале 2004 года было официально зарегистрировано представительство Cadence Design Systems в России. В штат компании вошли инженеры фирмы Mirantis, работавшие над проектами Cadence.

С началом новой жизни в России, Cadence!

**Собственная информация**