

# ОСНОВНЫЕ СЕМЕЙСТВА ПЛИС

ФИРМЫ XILINX (ПРОДОЛЖЕНИЕ)\*



М.Кузелин  
mike@inlinegroup.ru

Сохранение конкурентоспособности продукции сегодня далеко не простая задача. Гнет ценовой политики конкурентов, изменяющиеся стандарты, быстрый моральный износ изделий – вот только несколько факторов, определяющих конкурентоспособность электронных компонентов и устройств на современном рынке. Чтобы сохранить на нем лидерство, необходимо предлагать дешевые изделия, легко подгоняемые под требования заказчика в процессе проектирования и пригодные для быстрого освоения крупносерийного производства. Приверженность компании Xilinx к совершенствованию топологии и методов проектирования, позволяющих существенно снизить стоимость отгружаемых изделий, завоевала многие новые достаточно большие рынки сбыта ПЛИС. FPGA и CPLD компании сегодня применяются в самых разнообразных недорогих бытовых электронных устройствах широкого распространения: от сотовых телефонов и цифровых видеокамер до автомобильных систем и DVD-плееров. Компания не только устанавливает новые стандарты на программируемые логические микросхемы, улучшая их производительность, быстродействие, плотность упаковки, энергопотребление, гибкость, инструментарий проектирования, реализуемые ядра, но задает новые стандарты на стоимостные показатели.

## СЕРИЯ SPARTAN

Развитие технологии FPGA серии Virtex, направленное на их удешевление, привело к выпуску уже в начале 1998 года программируемых пользователем базовых матричных микросхем серии Spartan. Эти ПЛИС смогли составить успешную конкуренцию ASIC с логической емкостью до 40 тыс. системных вентиляей и заменить их в таких устройствах, как цифровые модемы, принтеры, факсимильные аппараты, портативные аудиоплееры, цифровые телевизионные приставки, кассовые терминалы. FPGA серии Spartan впервые предоставили системотехникам высокую производительность по низ-

кой цене наряду с мощными инструментальными средствами проектирования, т.е. ключевые свойства специализированных схем.

Сегодня в серию Spartan входят пять семейств: собственно Spartan (0,5-мкм топологические нормы, напряжение питания 5 В), Spartan-XL (0,35-мкм, 3,3 В), Spartan-II, Spartan-IIЕ и Spartan-3. Компания по-прежнему выпускает первые два семейства и, видимо, будет их производить еще достаточно длительное время. Но они не рекомендованы для применения в новых проектах. Поэтому далее рассмотрим только последние три семейства.

## Семейство Spartan-II

Семейство Spartan-II – третье поколение серии, выпущено в ноябре 2000 года. Логическая емкость его микросхем, выполненных по 0,18/0,22-мкм КМОП-технологии с шестислойной металлизаци-

Таблица 1. Основные характеристики микросхем семейства Spartan-II

Тип	Число логических ячеек	Число системных вентиляей	Матрица КЛБ	Емкость блочного ОЗУ, бит	Максимальное число пользовательских блоков ввода-вывода
XC2S15	432	15000	8x12	16384	86
XC2S30	972	30000	12x18	24576	132
XC2S50	1 728	50000	16x24	32768	176
XC2S100	2 700	10 000	20x30	40960	196
XC2S150	3 888	150000	24x36	49152	260
XC2S200	5 292	200000	28x42	57344	284

ей на основе СОЗУ, составляет 15–200 тыс. системных вентиляей, системная производительность – 200 МГц (табл.1).

По архитектуре микросхемы Spartan-II подобны FPGA серии Virtex. Они содержат четыре встроенных модуля автоподстройки задержек (DLL – delay-locked loop) для расширенного управления тактовыми сигналами и четыре глобальные сети распределения тактовых сигналов с малыми разбегами фронтов плюс 24 локальные тактовые сети. Иерархическая система элементов памяти выполнена на базе четырехходовых таблиц преобразования (4-LUT), конфигурируемых либо как 16-бит ОЗУ, либо как 16-бит сдвиговый регистр, и встроенной блочной памяти. Каждый блок конфигурируется как синхронное двухпортовое ОЗУ емкостью 4 Кбит. Предусмотрены также быстрые интерфейсы к внешнему высокопроизводительному ОЗУ, возможно прямое подключение к ZBRAM.

Благодаря специальной логике ускоренного переноса для выполнения высокоскоростных арифметических операций, поддержке умножителей, каскадированию цепочек для реализации функций с большим числом входов, а также многочисленным регистрам/защелкам с разрешением тактирования, синхронным/асинхронным цепям установки и сброса, внутренним шинам с тремя состояниями и логике периферийного сканирования в соответствии со стандартом IEEE 1149.1 формируется гибкая архитектура с балансом

\* Начало см.: ЭЛЕКТРОНИКА: НТБ, 2004, №4, с.20.



быстродействия и высокой плотности упаковки элементов ввода-вывода. Микросхемы семейства Spartan-II поддерживают 16 высокопроизводительных стандартов ввода-вывода (технология SelectIO™).

Конфигурационный файл хранится во внешнем ПЗУ и загружается в ПЛИС после включения питания автоматически или принудительно. При этом возможны четыре режима загрузки, а число циклов загрузки не ограничено.

Для микросхем семейства существует множество проверенных и испытанных ядер, в том числе популярные 32-бит, 33 МГц и 64-бит, 33 МГц PCI LogicCore. Кроме того, для этих микросхем пригодны более 50 ядер партнеров компании Xilinx по объединению AllianceCORE.

Проектирование на FPGA выполняется работающим на ПК или рабочей станции пакетом программного обеспечения ISE (Integrated Software Environment): ISE WebPack (бесплатная конфигурация пакета); ISE BaseX; ISE Foundation и ISE Alliance.

Собираются FPGA семейства в недорогие корпуса. Микросхемы разной емкости, но в одинаковых корпусах, совместимы по выводам. Все приборы до отгрузки проходят 100%-ное заводское тестирование.

Возможности ПЛИС семейства Spartan-II позволяют им заменять специализированные микросхемы на основе стандартных ячеек (ASSC), выполняющих такие функции, как функции PCI-моста, декодеров по алгоритму Витерби-Рида и ОЗУ с учетверенной пропускной способностью (QDR RAM). К тому же в результате применения этих ПЛИС можно обойтись без многих простых ASSC, таких как ФАПЧ, память обратного магазинного типа (FIFO), входные-выходные трансляторы и драйверы системных шин. Благодаря работе при напряжении 2,5 В (хотя уникальная технология ввода-вывода позволяет работать при значениях напряжения 3,3 и 5,0 В) и необычному режиму снижения напряжения питания FPGA Spartan-II находят широкое применение в разнообразных бытовых изделиях – от сотовых телефонов, малогабаритных ПК и PDA до цифровых модемов, DVD-плееров, портативной аудиоаппаратуры, телевизионных приставок.

Интеграция все большего числа функций в бытовую цифровую аппаратуру выдвигает дополнительное требование – увеличить число выводов используемых компонентов. Это побудило компанию Xilinx к выпуску в 2001 году четвертого поколения серии Spartan и второго поколения микросхем, способных заменить ASIC, – семейства Spartan-IIЕ.

### Семейство Spartan-IIЕ

Логическая емкость микросхем семейства Spartan-IIЕ, подобных по архитектуре FPGA семейства Virtex-E, составляет 1728–15552 логических ячеек или 50 тыс.–6 млн. системных вентиляей, число блоков ввода-вывода достигает 514 (табл.2). Системная частота FPGA семейства та же, что и у схем Spartan-II, – 200 МГц. Напряжение питания логических элементов равно 1,8 В, напряжение эле-

ментов ввода-вывода – 1,5; 1,8; 2,5 и 3,3 В (при использовании внешнего резистора напряжение может ставить 5 В). Выполнены микросхемы семейства Spartan-IIЕ по 0,18-мкм технологии с шестислойной металлизацией.

Программируемые блоки ввода-вывода поддерживают до 19 стандартов, в том числе три дифференциальных – LVDS, BUS LVDS и LVPECL с производительностью до 400 MIPS. Микросхемы семейства полностью совместимы с 3,3-В 66-МГц 64-бит шиной PCI.

До 205 дифференциальных пар ввода-вывода могут выполнять функции входных, выходных или двунаправленных элементов. Выходной ток в соответствии с приложением может составлять 2, 4, 6, 8, 12, 16 и 24 А. Возможность программирования значения тока позволяет уменьшить шум системы, потребляемую ею мощность и улучшить сохранность сигнала.

Обширная IP-библиотека семейства включает функции DSP и программируемого процессора. Основные отличия микросхем семейства Spartan-IIЕ от Spartan-II:

- большая плотность и большее число блоков ввода-вывода;
- большая пропускная способность;
- поддержка стандартов дифференциальной передачи;
- напряжение питания входных буферов PCI, LVTL и LVCMOS2 стандартов  $V_{CCO}$ , а не  $V_{CINT}$ ;
- напряжение  $V_{CINT} = 1,8 В$ ;
- большая уникальная конфигурационная последовательность (bit-stream).

В остальном по своей архитектуре и свойствам семейство Spartan-IIЕ аналогично Spartan-II.

Каждый раз при проведении нового проекта разработчикам приходится решать дилемму сокращения сроков проектирования изделия с целью быстрого выхода на рынок, сохранив при этом низкую цену изделия. Проще всего эти требования выполнить с помощью ASIC, но слишком высокие единовременные затраты на проектирование делают такой вариант малопривлекательным. Компания Xilinx предлагает другое решение этой задачи – микросхемы семейства Spartan-3.

### Семейство Spartan-3

Первые образцы нового семейства ПЛИС появились на рынке в апреле 2003 года\*. Семейство специально разработано для применения в электронных устройствах, рассчитанных на массовое потребление и невысокую стоимость комплектующих. FPGA семейства – первые микросхемы, выполненные по 90-нм СОЗУ КМОП-технологии. Благодаря переходу к таким нормам компании удалось уменьшить размеры кристалла на 80% и сократить стоимость прибора. Дополнительное снижение стоимости достигнуто благодаря инновационной архитектуре ПЛИС. Так, в результате применения двойного кольца смещенных контактных площадок ввода-вывода удалось на 40% снизить удельную стоимость в пересчете на элемент ввода-вывода (Cost per I/O – CPI), а в результате увеличения плотности логических ячеек удельная стоимость в пересчете на логическую ячейку в сравнении с конкуриру-

ющими изделиями снижена более чем на 30%. Все это позволило поставить на рынок первые микросхемы по цене менее 12 долл. за 1 млн. системных вентиляей, или ~17 тыс. логических ячеек.

Сегодня в семейство Spartan-3 входят восемь микросхем с логической емкостью

\*Код микросхем ES (Engineering Sample).

Таблица 2. Основные характеристики FPGA семейства Spartan-IIЕ

Тип	Число логических ячеек	Число системных вентиляей, $\times 10^3$	Матрица КЛБ	Емкость блочного ОЗУ, Кбит	Максимальное число дифференциальных пар ввода-вывода	Максимальное число пользовательских блоков ввода-вывода
XC2S50E	1728	50	16x24	32	83	182
XC2S100E	2700	100	20x30	40	86	202
XC2S150E	3888	150	24x36	48	114	265
XC2S200E	5292	200	28x42	56	120	289
XC2S300E	6912	300	32x48	64	120	329
XC2S400E	10800	400	40x60	160	172	410
XC2S600E	15552	600	48x72	288	205	514

Таблица 3. Основные характеристики микросхем семейства Spartan-3

Тип	Число логических ячеек	Число системных вентиляей	Матрица КЛБ	Емкость блочного ОЗУ, Кбит	Число умножителей	Число DCM	Максимальное число дифференциальных пар ввода-вывода	Максимальное число пользовательских блоков ввода-вывода
XC3S50	1728	50000	16x12	72	4	2	56	124
XC3S200	4320	200000	24x20	216	12	4	76	173
XC3S400	8064	400000	32x28	288	16	4	116	264
XC3S1000	17280	1М	48x40	432	24	4	175	391
XC3S1500	29952	1,5М	64x52	576	32	4	221	487
XC3S2000	46080	2М	80x64	720	40	4	270	565
XC3S4000	62208	4М	96x72	1 728	96	4	312	712
XC3S5000	74880	5М	104x80	1 872	104	4	344	784

50 тыс.—5 млн. эквивалентных системных вентиляей, или до 74880 логических ячеек (табл.3). Системная частота микросхем достигает 326 МГц. В FPGA предусмотрена возможность работы с тремя раздельными напряжениями питания – 1,2 В для ядра, 1,2–3,3 В для блоков ввода-вывода и 2,5 В при выполнении специальных функций. Восемь независимых банков ввода-вывода поддерживают 23 стандарта ввода-вывода (17 одинарных и 6 дифференциальных, включая LVDS) со скоростью передачи данных до 622 Мбит/с по одному выводу входа/выхода.

В микросхемы входят:

- гибкие логические ячейки с 16-бит сдвиговыми регистрами для эффективной реализации функций цифровой обработки сигнала;
- мультиплексоры для реализации многоходовой функции;
- логика ускоренного переноса;
- встроенные 18x18 бит блоки умножения, поддерживающие высокопроизводительные (до 330·10<sup>6</sup> MACPS) DSP приложения;
- распределенная память общей емкостью до 520 Кбит и блочная память емкостью 18 Кбит, используемая в качестве буферной памяти или кэша;
- модули управления синхронизацией (DCM), позволяющие исключить применение внешнего устройства управления.

В микросхемах предусмотрены точная подстройка фронтов тактирующих сигналов, умножение, деление частоты, сдвиг фазы с высоким разрешением, защита от электромагнитных помех. Они совместимы с JTAG IEEE 1149/1532 стандартами.

Микросхемы семейства Spartan-3 имеют полную поддержку в САПР ISE, начиная с версии 6.1i.

Благодаря высоким характеристикам и низкой стоимости на микросхемах можно полностью и экономически эффективно реализовать требуемые системные функции. Так, затраты на реализацию 32-бит процессора MicroBlaze составляют 0,75 долл., а 64-отводного КИХ-фильтра с быстродействием 8,1 MSPS – 0,36 долларов.

В четвертом квартале 2004 года компания намерена выпустить микросхемы семейства с пониженным на 66% энергопотреблением в нерабочем режиме.

Компания Xilinx, разработчик и лидер на рынке FPGA, для стимулирования дальнейшего развития уже в 1997 году начала выпускать микросхемы так называемых сложных ПЛИС (CPLD) серии XC9500.

**СЕРИЯ XC9500**

Отличительная черта микросхем этой серии – архитектура на основе флэш-памяти, что, по мнению разработчиков, позволяет снизить их стоимость и расширить возможности внутрисистемного перепрограммирования в сравнении с обычными CPLD с ЭСРПЗУ. Микросхемы серии – семейства XC9500 (на напряжение питания 5 В), XC9500XL (3,3 В) и XC9500XV (2,5 В) – характеризуются воз-

можностями внутрисистемного перепрограммирования, обеспечивая не менее 10 тыс. циклов записи/стирания в полном коммерческом диапазоне значений напряжения питания и температуры. Гарантированный срок сохранения конфигурации – 20 лет. Микросхемы всех семейств серии со-

держат от 36 до 288 макроячеек, или от 800 до 6400 вентиляей. Время задержки от входа до выхода по всем выводам составляет 5 нс (табл.4–6). Расширенные возможности закрепления выводов перед трассировкой позволяют избежать дорогостоящих исправлений. Микросхемы каждого семейства имеют гибкий функциональный блок на базе 18 макроячеек. Любая или все макроячейки при поступлении на каждую до 90 логических произведений (термов) может выполнять логическую функцию 36 (блок 36V18 в XC9500) или 54 (блок 54V18 в XC9500XL и XC9500XV) переменных. В функ-

Таблица 4. Основные характеристики микросхем семейства XC9500

Параметр	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
Число макроячеек	36	72	108	144	216	288
Число вентиляей	800	1600	2400	3200	4800	6400
Число триггеров	36	72	108	144	216	288
t <sub>PD</sub> , нс	5	7,5	7,5	7,5	10	15
t <sub>SU</sub> , нс	3,5	4,5	4,5	4,5	6,0	8,0
t <sub>CO</sub> , нс	4,0	4,5	4,5	4,5	6,0	8,0
f <sub>CNT</sub> , МГц	100	125	125	125	111,1	92,2
f <sub>SYSTEM</sub> , МГц	100	83,3	83,3	83,3	66,7	56,6
Число пользовательских выводов корпуса						
VQFP-44	34	–	–	–	–	–
PLCC-44	34	34	–	–	–	–
CSP-48	34	–	–	–	–	–
PLCC-84	–	69	69	–	–	–
TQFP-100	–	72	81	81	–	–
PQFP-100	–	72	81	81	–	–
PQFP-160	–	–	108	133	133	–
HQFP-208	–	–	–	–	166	168
BGA-352	–	–	–	–	166	192

Таблица 5. Основные характеристики микросхем семейства XC9500XL

Параметр	XC9536XL	XC9572XL	XC95144XL	XC95288XL
Число макроячеек	36	72	144	288
Число вентиляей	800	1 600	3 200	6 400
Число триггеров	36	72	144	288
t <sub>PD</sub> , нс	5	5	5	6
t <sub>SU</sub> , нс	3,7	3,7	3,7	4,0
t <sub>CO</sub> , нс	3,5	3,5	3,5	3,8
f <sub>SYSTEM</sub> , МГц	178	178	178	208
Число пользовательских выводов корпуса				
PLCC-44	34	34	–	–
VQFP-64	36	52	–	–
CSP-48	36	38	–	–
TQFP-100	–	72	81	–
TQFP-144	–	–	117	117
CSP-144	–	–	117	–
PQFP-208	–	–	–	168
BGA-256	–	–	–	192
CSP-280	–	–	–	192

**Таблица 6. Основные характеристики микросхем семейства XC9500XV**

Параметр	XC9536XV	XC9572XV	XC95144XV	XC95288XV
Число макроячеек	36	72	144	288
Число вентиляей	800	1 600	3 200	6 400
Число триггеров	36	72	144	288
$t_{PD}$ , нс	5	5	5	6
$t_{SU}$ , нс	3,5	3,5	3,5	4
$t_{CO}$ , нс	3,5	3,5	3,5	3,8
$f_{SYSTEM}$ , МГц	222	222	222	208
Число банков блоков ввода-вывода	1	1	2	4
Число пользовательских выводов корпуса				
PLCC-44	34	34	–	–
VQFP-44	34	34	–	–
CSP-48	36	38	–	–
TQFP-100	–	72	81	–
TQFP-144	–	–	117	117
CSP-144	–	–	117	–
PQFP-208	–	–	–	168
FBGA-256	–	–	–	192
CSP-280	–	–	–	192

циональном блоке генерируются глобальные и тактовые сигналы, сигнал разрешения выхода, сигналы установки и сброса триггера. Каждый программируемый блок ввода-вывода (БВВ) микросхем семейств XC9500XL и XC9500XV имеет схему удержания последнего состояния. БВВ микросхем семейства XC9500 могут быть конфигурированы для работы при напряжении 3,3 или 5 В, все выходы обеспечивают ток 24 мА. CPLD семейства XC9500XL совместимы по входу с 5-, 3,3- и 2,5-В сигналами, семейства XC9500XV – с 3-, 2,5- и 1,8-В сигналами.

Для всех микросхем серии предусмотрены:

- программируемый режим пониженного потребления мощности каждой макроячейкой;
- управление задержкой сигнала на любом выходе;
- возможность назначения пользователем "общего" вывода;
- расширенная защита схемы от копирования;
- полная поддержка периферийного сканирования в соответствии со стандартом IEEE 1149.1 (JTAG);
- возможность параллельного программирования нескольких микросхем одного семейства.

Все микросхемы серии XC9500 выпускаются по КМОП-технологии FastFLASH и могут монтироваться в малогабаритные корпуса типа VQFP, TQFP и CSP. При этом микросхемы каждого последующего поколения совместимы по выводам с микросхемами предыдущего поколения, смонтированными в те же корпуса.

В результате приобретения в середине 1999 года линии маломощных CPLD фирма Xilinx добавила в свой портфель микросхемы новой серии CoolRunner, сочетающие низкое энергопо-

требление с высокими быстродействием, плотностью упаковки элементов и большим числом вводов-выводов.

**СЕРИЯ COOLRUNNER**

В состав серии входят семейства CoolRunner XPLA3 (на напряжение питания 3,3 В) и CoolRunner-II (1,8 В). Малый уровень потребляемой мощности наряду с высоким быстродействием достигнут за счет отказа от традиционной технологии выполнения матрицы макроэлементов обработки термов на основе биполярных транзисторов, требующих применения постоянно работающих усилителей считывания. В быстродействующей технологии с нулевым потреблением мощности (Fast Zero Power – FZP) компании Xilinx вентили "И" матрицы реализованы на базе конфигурируемых мультиплексоров, присоединенных к входам обычных КМОП-вентилей "НЕ И". Программируются мультиплексоры конфигурационными кодами, хранимыми в ОЗУ. В результате значение мощности, потребляемой в статическом режиме, не превышает 100 мкА.

Логическая емкость микросхем серии CoolRunner составляет 36–288 макроячеек, или 800–6400 вентиляей (табл.7,8). В микросхемах серии предусмотрены:

- функция отдельного управления длительностью фронтов выходных сигналов для каждого вывода ПЛИС, позволяющая снизить уровень помех на ее выходах;
- применение передовых методов защиты конфигурационных данных от несанкционированного копирования и случайного стирания;
- расширенные возможности фиксации пользовательских выводов перед выполнением этапа реализации в сочетании с полной трассировкой проекта;
- сигнал разрешения синхронизации в каждой макроячейке;
- возможность асинхронного сброса или установки триггера макроячейки;
- возможность комплексного асинхронного тактирования элементов проектируемого устройства с использованием 20 тактовых сигналов, формируемых в логическом блоке, и четырех глобальных тактовых сигналов, поступающих с выводов микросхемы;

**Таблица 7. Основные характеристики микросхем семейства CoolRunner XPLA3**

Параметр	XCR3032XL	XCR3064XL	XCR3128XL	XCR3256XL	XCR3384XL	XCR3512XL
Число макроячеек	32	64	128	256	384	512
Число вентиляей	750	1500	3000	6000	9000	12000
Число регистров	32	64	128	256	384	512
Задержка распространения сигнала от входного контакта до выходного через комбинаторную логику $t_{PD}$ , нс	5	6,0	6,0	7,5	7,5	7,5
Время установления входных сигналов относительно глобального тактового сигнала $t_{SU}$ , нс	3,5	4,0	4,0	4,8	4,8	4,8
Задержка выходного сигнала относительно глобального тактового сигнала $t_{CO}$ , нс	3,5	4,0	4,0	4,5	4,5	4,5
Максимальная системная частота $f_{SYSTEM}$ , МГц	213	192	175	154	135	135
Число пользовательских выводов корпуса						
PLCC-44	36	36	–	–	–	–
VQFP-44	36	36	–	–	–	–
CSP-48	36	40	–	–	–	–
CSP-56	–	48	–	–	–	–
VQFP-100	–	68	84	–	–	–
CSP-144	–	–	108	–	–	–
TQFP-144	–	–	108	120	118	–
PQFP-208	–	–	–	164	172	180
FT-256	–	–	–	164	212	212
CSP-144	–	–	–	164	–	–
FG-324	–	–	–	–	220	260

**Таблица 8. Основные характеристики микросхем семейства CoolRunner-II**

Параметр	XC2C323	XC2C64	XC2C128	XC2C256	XC2C384	XC2C512
Число макроячеек	32	64	128	256	384	512
Максимальное число пользовательских выводов	33	64	100	184	240	270
Задержка распространения сигнала от входного контакта до выходного через комбинационную логику $t_{PD}$ , нс	3,5	4,0	4,5	5,0	5,5	6,0
Время установления входных сигналов относительно глобального тактового сигнала $t_{SU}$ , нс	1,7	2,0	2,1	2,2	2,3	2,4
Задержка выходного сигнала относительно глобального тактового сигнала $t_{CO}$ , нс	2,8	3,0	3,4	3,8	4,2	4,6
Максимальная системная частота FSYSTEM, МГц	333	270	263	238	217	217
Число пользовательских выводов корпуса						
PLCC-44	33	33	–	–	–	–
VQFP-44	33	33	–	–	–	–
CSP-56	33	45	–	–	–	–
VQFP-100	–	64	80	80	–	–
CSP-132	–	–	100	106	–	–
TQFP-144	–	–	100	118	118	–
PQFP-208	–	–	–	173	173	173
FT-256	–	–	–	184	212	212
FG-324	–	–	–	–	240	270

- четыре сигнала разрешения выводов, формируемые в каждом функциональном блоке.

Микросхемы допускают не менее 1 тыс. циклов перепрограммирования при гарантированном сроке хранения запрограммированной конфигурации не менее 20 лет. Предусмотрена полная поддержка протокола периферийного сканирования в соответствии со стандартом IEEE 1149.1 (JTAG).

Изготавливаются микросхемы серии по ЭСРПЗУ 0,35-мкм (CoolRunner XPLA3) и 0,13-мкм технологии (CoolRunner-II) и допускают сборку в корпуса расширенного типового ряда. Все микросхемы одного семейства в одинаковых корпусах совместимы по выводам. CPLD серии поддерживаются всеми средствами проектирования компании Xilinx и универсальными САПР третьих фирм.

### Семейство CoolRunner XPLA3

В микросхемах семейства CoolRunner XPLA3 (логических матриц с расширенными возможностями программирования – extended programmable logic array) использована простая детерминированная модель временных задержек распространения сигналов. Задержка распространения сигнала от входного контакта до выходного через комбинационную логику не превышает 7,5 нс (минимальное значение 5 нс). Время установления данных на входах регистров микросхемы составляет 2,5 нс. ПЛИС совместимы по входу и выходу с 3,3- и 5-В логикой, что позволяет использовать их в схемах со смешанным питанием. Выходы микросхем совместимы со стандартом PCI 3,3 В. Благодаря универсальным тристабильным выводам к микросхеме можно подключать тестер с игольчатыми контактами.

### Семейство CoolRunner-II

Микросхемы этого семейства имеют ряд новых возможностей, обусловленных переходом к 0,18-мкм технологии. Оптимизированная архитектура ПЛИС CoolRunner-II обеспечивает повышенную эффективность процесса логического синтеза. Предназначены ПЛИС для приложений на базе микропроцессоров. В микросхемах предусмотрена возможность одновременной поддержки операций ввода-вывода при значениях напряжения 1,5–3,3 В. Высокоскоростное программирование в системе с напряжением питания 1,8 В осуществляется с применением стандарта IEEE 1532.

Возможно программирование в процессе функционирования, "на лету" (On-The-Fly – OTF).

Во входных цепях блоков ввода-вывода допускается выборочная установка триггеров Шмита, что обеспечивает временную задержку переключения сигналов с медленно нарастающими или падающими фронтами. Кроме того, триггеры Шмита помогают исключить ложное переключение, вызываемое шумами. Правда, применение таких триггеров требует осторожности для обеспечения необходимой надежности прибора, но они могут сэкономить затраты на дополнительные компоненты при использовании в простых конструкциях. С целью снижения общей потребляемой мощ-

ности в CPLD CoolRunner-II используются технология DataGATE для управления внешними (входными) сигналами и предотвращения ненужного периодического переключения из одного состояния в другое, а также методика CoolClock, предусматривающая деление входного тактового сигнала в два раза с последующим умножением его в два раза при поступлении на макроячейку. Эта несложная методика позволяет обслуживать более 128 макроячеек. Высокую скорость переключения при низкой потребляемой мощности обеспечивает и усовершенствованная коммутационная матрица Advanced Interconnect Matrix (AIM).

Для каждого вывода ПЛИС предусмотрена функция отдельного управления длительностью фронтов выходных сигналов. Возможно формирование выходов с открытым стоком. В микросхемах с большим числом ячеек блоки ввода-вывода могут быть организованы в виде банков.

### КОНФИГУРАЦИОННЫЕ ПЗУ КОМПАНИИ XILINX

Конфигурацию ПЛИС FPGA при отключении питания необходимо хранить во внешних ПЗУ. При этом часто требуются два различных типа конфигурационных ПЗУ. На этапах собственно проектирования и испытаний максимальную эффективность обеспечивают программируемые в системе ПЗУ, тогда как при производстве, когда конструкция прибора уже отработана, достаточны более дешевые однократно программируемые ПЗУ большей емкости. Xilinx выпу-

скает три серии конфигурационных ПЗУ: перепрограммируемые в системе последовательно/параллельные – серия Platform Flash; однократно программируемые последовательные – серия XC1700 (5- и 3,3-В версии) и перепрограммируемые в системе последовательные/параллельные – серия XC18V00 (3,3 В).

### Серия Platform Flash

При использовании двух типов ППЗУ во многих случаях приходится изменять схему печатной платы, с тем чтобы вместить однократно программируемые ППЗУ. А с увеличением логической емкости FPGA (Virtex-II Pro, Spartan-3) для проектирования и освоения производства может потребоваться до 10 программируемых в системе ППЗУ и пять однократно программируемых схем памяти. Для удешевления процессов разработки и освоения производства компания Xilinx совместно с одним из крупнейших мировых производителей микросхем памяти – фирмой STMicroelectronics – создала мощные ППЗУ серии Platform Flash. Эти микросхемы дешевле аналогичных по емкости ранее выпущенных однократно программируемых ПЗУ семейства XC17V00. Серия Platform Flash может стать новым стандартом у пользователей ПЛИС. В серию входят три ПЗУ емкостью 1М, 2М и 4 Мбит в корпусе VOIC-20 достаточно малых габаритов (6,4x6,5x1,2 мм) с необходимым для управления устройством числом выводов и три ППЗУ емкостью 8М, 16М и 32 Мбит в малогабаритных (8x9 мм) плоских корпусах BGA-типа. Все микросхемы выполняются только в коммерческом варианте, хотя имеют более широкий, так называемый расширенный коммерческий рабочий диапазон температур – -40–85°C.

Микросхемы Platform Flash рассчитаны на напряжение питания 3,3 В и обеспечивают 20 тыс. циклов программирования. При напряжении питания ядра выше 1,8 В все выводы могут оперировать с 5-В сигналами, что позволяет подавать их напрямую без каких-либо согласующих схем. Кроме того, напряжение питания 3,3 В может быть подано до и после того, как на выводы поступят 5-В сигналы. По выходу приборы поддерживают сигналы 3,3; 2,5 и 1,8 В. Благодаря этому достигается достаточная гибкость семейства в отношении требований к значениям напряжения на контактах микросхемы.

ППЗУ серии можно программировать как в системе, так и автономно. Внутрисистемное программирование и испытания выполняются через JTAG-порт при поддержке стандарта IEEE 1149.1, автономное программирование – при помощи нового программатора MultiPro Desktop Tool с соответствующим адаптером. Микросхемы поддерживают два режима загрузки данных – Master Serial и Slave Serial. Несколько слов о программаторе MultiPRO Desktop Tool. Это многофункциональный загрузочный кабель, который при помощи съемных адаптеров может использоваться для автономного (внешнего) программирования микросхем Platform Flash, XC18V00 и CPLD CoolRunner-II. Кабель служит и для внутрисистемного программирования, поддерживая режимы JTAG, Slave Serial и SelectMap (Slave Parallel). Поддерживается программатор MultiPRO Desktop Tool ПО iMPACT (версия 5.1i SP3 и выше). Питание подводится от внешнего адаптера, который подключается к MultiPRO через DIN-коннектор и автоматически распознает тип микросхемы и ее корпуса, а также следит за значением тока, отклоняясь от питания в критических ситуациях (неправильная установка в слот или внутреннее замыкание). К компьютеру микросхема подключается через параллельный порт. Кроме того, при внутрисистемном программировании устройство автоматически подстраивается на напряжение выводов микросхемы и обеспечивает загрузку данных со скоростью до 2,5 Мбит/с.

### Серия XC1700

В серию входят семейства конфигурационных ППЗУ XC1700E/EL емкостью 64К-4 Мбит на напряжение 3,3 и 5 В, ППЗУ для серий Spartan (конфигурационная емкость 54544-11335872 бит), Virtex (558048-6126528 бит) и Virtex-E (630048-16283712 бит).

### Серия XC18V00

Серия перепрограммируемых в системе ПЗУ Xilinx XC1800 емкостью 256К-4 Мбит предназначена для конфигурации FPGA компании Xilinx через стандартный канал обмена ПЛИС с ПЗУ. Конфигурационный файл загружается в ПЗУ серии через стандартный JTAG-канал. Сегодня максимальный объем ПЗУ серии XC18V00 – 4 Мбита, причем при загрузке ПЛИС, требующих файла большего конфигурационного объема, ПЗУ последовательно каскадируются до наращивания необходимого объема. Возможен и режим параллельного программирования ПЛИС. Частота последовательного программирования достигает 33 МГц. Микросхемы серии рассчитаны на 10 тыс. циклов перепрограммирования. Уровни входного напряжения – 2,5; 3,3 и 5 В, выходного – 2,5 и 3,3 В. Напряжение питания 3 В. Монтируются ППЗУ в корпуса типа SO20, PC20, PC44 и VQ44. Программирование ППЗУ серии XC18V00 осуществляется с помощью программы IMPACT, входящей в состав всех пакетов серии ISE.

### ИНСТРУМЕНТАЛЬНЫЕ СРЕДСТВА НА ПЛИС

Зарубежные и отечественные фирмы предлагают широкий спектр аппаратных инструментальных решений (модулей), позволяющих проводить на ПЛИС компании Xilinx макетирование проектов для различных приложений. Как правило, подобные инструментальные средства довольно дороги и не преследуют цели использования в серийном производстве. Однако существует ряд отечественных инструментальных модулей, которые благодаря универсальности и оптимизированной структуре цен пригодны и для достаточно эффективного применения для серийных изделий.

Помимо широкого диапазона ПЛИС, выполняемых на основе передовых технологий, компания Xilinx предлагает и современное программное обеспечение, необходимое для разработки проектов и конфигурирования микросхем. В начале 2002 года завершен полный переход к новому поколению систем автоматизированного проектирования ISE (Integrated Software Environment), которые использовались в качестве альтернативы предыдущей серии САПР Foundation Series. Средства ISE позволяют существенно сократить сроки разработки и повысить ее эффективность. Это – система сквозного проектирования, которая реализует полный цикл разработки цифровых устройств на основе ПЛИС, включающий этапы создания исходных описаний проекта, синтеза, моделирования, размещения и трассировки, а также программирования микросхемы.

Системы автоматизированного проектирования серии ISE поддерживают графические методы описания проектируемых устройств в форме принципиальных схем или диаграмм состояний, а также текстовые методы с использованием языков описания аппаратуры HDL (Hardware Description Language). Высокоэффективные встроенные средства синтеза HDL-проектов поддерживают языки VHDL, Verilog и ABEL HDL. Они могут использовать проекты, подготовленные другими системами проектирования. Интегрированный интерфейс для средств синтеза "третьих" фирм позволяет применять, например, пакеты Synplicity Synplify™/Pro и LeonardoSpectrum™, поддерживающие языки VHDL и Verilog. Схемотехнический редактор систем укомплектован набором обширных библиотек.



Развитые средства верификации проекта позволяют исключить ошибки на ранних стадиях проектирования и сократить длительность, число итераций и полное время разработки устройства.

Автоматические средства трассировки ISE-системы обеспечивают конфигурирование микросхем различных семейств ПЛИС компании Xilinx с учетом оптимизации проекта по различным параметрам. Для микросхем всех семейств ПЛИС компании Xilinx, выполненных по различной технологии (CPLD и FPGA), а также конфигурационных ППЗУ, поддерживающих несколько типов загрузочных кабелей JTAG-интерфейса, средства программирования едины. А встроенный комплект вспомогательных программных средств, включающий анализатор статических временных характеристик (Timing Analyzer), интерактивный графический редактор размещения (Floorplanner), модуль оценки потребляемой мощности (XPower), мастер подготовки описаний блоков синхронизации, выполняемых на основе DCM (Architecture Wizard) и интерактивный графический редактор топологических ограничений (Pinout and Area Constraints Editor – PACE), позволяет повысить эффективность процесса проектирования. Доступный для разработчика пользовательский интерфейс и справочная система, имеющаяся в каждом модуле пакета, сокращают время освоения САПР.

Средства проектирования ISE выпускаются в четырех конфигурациях: ISE Foundation, ISE BaseX, ISE Alliance и ISE WebPACK. Основное различие этих конфигураций – число поддерживаемых микросхем и наборы дополнительных инструментов проектирования. Наиболее полная система сквозного проектирования, поддерживающая весь спектр ПЛИС, выпускаемых фирмой Xilinx, – ISE Foundation. Экономичная конфигурация средств проектирования ISE BaseX дешевле ISE Foundation, но и поддерживает микросхемы семейств CPLD и серий FPGA логической емкости не более 600 тыс. системных вентиляей. Правда, входящий в пакет модуль

программирования iMPACT может применяться для конфигурирования практически всех микросхем, выпускаемых компанией Xilinx, но при этом для создания конфигурационной последовательности используются другие средства проектирования, предоставляемые Xilinx. Конфигурация ISE Alliance поддерживает все микросхемы компании и предназначена для сопряжения с САПР других производителей. Она не содержит средств ввода исходных описаний проектов и синтеза. Бесплатная модификация САПР ISE WebPACK поддерживает все микросхемы семейств CPLD и серий FPGA с логической емкостью не более 300 тыс. системных вентиляей. Кроме того, одно из главных отличий пакета ISE WebPAC от конфигурации ISE BaseX – отсутствие генератора логических ядер CORE Generator и топологического редактора FPGA Editor.

Структуры и пользовательские интерфейсы всех конфигураций средств проектирования ISE (за исключением ISE Alliance™) одинаковы. Поэтому временные затраты при переходе от одной конфигурации САПР к другой минимальны.

Основной инструмент моделирования в САПР серии ISE – система ModelSim, представляющая собой самостоятельный программный продукт корпорации Model Technology (одно из подразделений компании Mentor Graphics). Сегодня ModelSim – самая распространенная система HDL-моделирования, что обусловлено рядом уникальных характеристик этого пакета. Пакет программных средств ModelSim предназначен для моделирования цифровых систем, представленных в виде HDL-описаний, выполненных с использованием языков высокого уровня VHDL и Verilog.

По материалам официального представителя компании Xilinx в России – ЗАО "Inline Group". [www.inlinegroup.ru](http://www.inlinegroup.ru)  
Тел.: (095) 787-5940; e-mail: xilinx@inlinegroup.ru