

Международная конференция ISSCC 2003

Л. Васильева

УСПЕШНОЕ РАЗВИТИЕ ПОЛУПРОВОДНИКОВОЙ ТЕХНИКИ НЕИЗБЕЖНО

Пятидесятую Международную конференцию по твердотельным схемам (ISSCC) открыл один из "отцов-основателей" микроэлектроники Гордон Мур, по сформулированному закону которого эта отрасль развивается уже почти 40 лет. На основе кривых, отражающих количественные показатели, характеризующие развитие микроэлектроники, Мур показал, что многие из этих показателей (доходы полупроводниковой промышленности, сложность микросхем, объемы производства и стоимость транзисторов, топологические нормы, толщина оксидного слоя и даже цена литографического оборудования) изменяются по экспоненциальному закону. И сегодня ежегодное число отгружаемых транзисторов (~ 10^{18}) уже сопоставимо с числом муравьев в мире (по оценкам, их 10^{16}) и с числом знаков, отпечатанных в мире за год (10^{18}). Но ничто не вечно, и экспоненциальная зависимость тоже, хотя достижение пределов может быть отсрочено. И современная полупроводниковая техника успешно решает эту задачу, о чем и свидетельствуют доклады крупнейшей в мире конференции по твердотельной электронике.

"СИСТЕМЫ, ОСОЗНАЮЩИЕ ПРОБЛЕМУ МОЩНОСТИ"

Как и в прошлом году, основная тема конференции ISSCC этого года – угроза увеличения потребляемой мощности и пути ее устранения. Поиск компромисса между производительностью и потребляемой мощностью никогда не был легкой задачей. А уровень потребляемой мощности становится индикатором темпов роста сложности микросхем. В приветственном слове профессор Университета Токио Такаясу Сакураи отметил, что увеличение потребляемой мощности остается одним из основных факторов, сдерживающих дальнейшее развитие полупроводниковой промышленности по закону Мура. Решение этой проблемы может быть получено лишь совместными усилиями разработчиков программных и аппаратных средств, технологических процессов и микросхем. Звучит банально, но такой подход, к сожалению, все еще отсутствует во многих разработках, и пока с проблемой пытаются справиться только тогда, когда она возникает.

Первое, что нужно сделать, по мнению Сакураи, – это поменять источник питания, особенно в портативных устройствах. Вместо широко распространенных литиевых ионных батарей с энергией около 100 Вт·ч он рекомендует применять элементы на основе метилового

спирта, вырабатывающие энергию более 1 кВт·ч в результате химической реакции между метанолом и воздухом.

На уровне технологии микросхем в последующие десять лет в первую очередь необходимо разработать методы уменьшения тока утечки на два порядка, считает Сакураи. Сегодняшние методы только наполовину решают эту проблему. А по данным фирмы Monterey Design Systems, при переходе к очередным топологическим нормам ток утечки возрастает на порядок (все та же экспоненциальная зависимость). Так, при 180-нм нормах и напряжении питания 1,8–2,0 В токи утечки были пренебрежимо малы и энергозатраты определялись лишь мощностью, потребляемой при переключении транзисторов. При 130-нм нормах и напряжении 1,2–1,3 В токами утечки уже обусловлено 10–30% рассеиваемой мощности, а при 70 нм и напряжении менее 1,0 В – 50% этого показателя. Таким образом, при топологических нормах менее 70 нм утечка тока становится основным фактором ограничения развития полупроводниковой технологии. И если эта проблема вначале была присуща в основном микропроцессорной технологии, то сегодня ток утечки стал критическим параметром для всех чипов со многими миллионами вентиляей, выполненными по нанометровой технологии.

Наибольшее внимание сейчас привлекают два взаимодополняющих метода ограничения токов утечки: применение статически выби-раемых транзисторов с малым быстродействием (Statically-Selected Slow Transistors – SSST) и динамически отключаемых быстродействующих транзисторов (Dynamically-Deactivated Fast Transistors – DDFT). Первый метод не зависит от конструкции микросхемы и может быть реализован с помощью библиотек ячеек на базе транзисторов с различными значениями порогового напряжения V_t (мульти- V_t библиотеки), содержащих как быстродействующие логические ячейки с высоким током утечки (низкое значение V_t), так и аналогичные ячейки с малым током утечки (высокое V_t). Многие производители (foundries) поддерживают этот метод и предлагают такие библиотеки для микросхем с 130-нм и менее нормами. Этот метод позволяет снизить ток утечки схемы с минимальными размерами элементов 130 нм на 30%. Правда, чтобы полностью использовать возможности, предоставляемые мульти- V_t библиотеками, необходимо, чтобы средства физического синтеза, создания прототипа и реализации микросхем позволяли одновременно оптимизировать потребляемую мощность, временные соотношения, непрерывность сигнала, а также занимаемую площадь проектируемого изделия. И такое оборудование уже есть.

Второй метод требует изменения конструкции микросхемы и предусматривает использование ключей, способных отключать не задействованные в данный момент логические блоки. В схемах смешанной обработки сигнала, аналоговые устройства которых имеют "толстые" оксидные слои, такие ключи могут полностью исключить ток утечки в определенных секциях схемы. При проектировании микросхемы можно использовать оба метода.

Еще один способ уменьшения потребляемой мощности – работа всего с двумя уровнями напряжения питания: с одним в нормальном



режиме и со вторым, более высоким, в режиме большего быстродействия. Этот метод, использовавшийся в MPEG-2 декодере на некоторых этапах процесса декодирования, позволил без ухудшения качества видеоизображения снизить потребляемую мощность до 0,5 Вт против 3 Вт в случае применения сигнального процессора и 30 Вт для микропроцессорной схемы. "Когда вам не надо спешить, расслабьтесь", — советует Сакураи.

Для уменьшения мощности в ненагруженном состоянии многие фирмы, в том числе Intel в микропроцессоре Xscale и Hitachi в 32-бит контроллерах серии SH, используют подложку или нижний затвор как четвертый вывод обычного трехвыводного прибора. Кроме того, в транзисторах с коротким каналом обнаружено явление изменения порогового напряжения за счет модуляции напряжения стока. Это явление, известное как индуцированное стоком снижение барьера (Drain-Induced Barrier Lowering — DIBL), весьма перспективно с точки зрения уменьшения уровня мощности. Но управлять им трудно.

Изучаются и более экзотические способы снижения тока утечки, например дистанционная (беспроводная) подача энергии портативным устройствам с помощью естественных колебаний или даже тепла человеческих рук.

НАДО ЛИ СЖИГАТЬ РЕЗИНУ НА АВТОСТРАДЕ СИСТЕМ-НА-КРИСТАЛЛЕ?

Как отметил в своем докладе Лайл Адамс, вице-президент по техническим вопросам фирмы Palmchip, по мере увеличения сложности, быстродействия и потребляемой мощности схем необходимо вводить в их конструкции некоторые сетевые свойства (сетевую топологию с использованием конвейерной передачи, учетом задержки сигнала и средствами обнаружения и обработки ошибок). Можно предположить, что в будущих чипах появятся такие сетевые свойства, как пакетирование, обнаружение ошибок и использование кода с исправлением ошибок, согласованное взаимодействие двух объектов микросхемы. И сегодняшние системы соединений с сетевыми свойствами явятся мостиком между современными и будущими технологиями, обеспечивая переход к ним с наименьшими затратами.

Одним из эффективных способов снижения потребляемой мощности на системном уровне может стать принцип "аукциона энергии", принятый в домашних сетях бытовых приборов. Этот метод с помощью платформы а la ChipOS, описанной специалистами фирмы Hitachi еще на конференции ISSCC 2001 года, позволяет снизить уровень потребляемой мощности на 20%. И что особенно привлекает — простота реализации этого метода в системе-на-кристалле (SoC). Исследования фирмы показали, что при использовании ChipOS-ядра мощность, потребляемая микросхемой с четырьмя блоками, не превышала 400 мВт, тогда как в обычной схеме, все блоки которой функционируют одновременно, мощность достигает 850 мВт.

Проблема потребляемой мощности SoC обсуждалась на нескольких технических секциях конференции и специальных вечерних тематических заседаниях, а также в стендовых докладах, посвященных проектированию микропроцессоров и ВЧ-блоков радиостанций гигагерцевого диапазона.

Специалисты фирмы Intel сообщили о применении "спящих" транзисторов и метода смещения подложки для управления током утечки 32-бит целочисленного исполнительного ядра, выполненного по 100-мкм двойной КМОП-технологии. В такой схеме *p*-канальный МОП-транзистор ухудшает ее производительность на 4%, но позволяет снизить ток утечки на 20%. А при смещении подложки можно дополнительно уменьшить этот самый опасный параметр современных микросхем. Время достижения минимального тока утечки, по данным разработчиков, лежит в пределах 30–300 нс, что позволяет в перио-

ды ожидания длительностью более 100 тактовых циклов снизить потребляемую мощность на 9–44%.

Совместными усилиями разработчиков фирмы Hitachi и Берклийского университета создан модуль 64-бит АЛУ с источником на два значения напряжения питания. Экономия потребляемой мощности модуля составила 25,3% при увеличении задержки на 2,8% и 33,3% при увеличении задержки на 8,3%. Модуль изготовлен на кристалле площадью 9 мм² по 180-нм КМОП-технологии с пятью уровнями металлизации. Его напряжение питания — 1,8 В, частота — 1,16 ГГц.

Одновременно ученым Центральной исследовательской лаборатории фирмы Hitachi удалось снизить потребляемую мощность 32-бит АЛУ в 70 раз! Это достигнуто с помощью метода адаптивного универсального управления тактовой частотой, напряжением питания и смещением подложки, позволяющего оптимизировать соотношение *производительность — потребляемая мощность* микропроцессорных чипов. В основе метода лежит сложная встроенная схема проверочной таблицы со средствами самопроверки и самообучения, используемая в автономных и децентрализованных системах.

Большой интерес вызвало сообщение ученых Академического исследовательского центра полупроводниковой технологии Июкогамы (Semiconductor technology academic research center — Starc) о создании 32-бит сумматора с потребляемой мощностью 9 мкВт на частоте 50 МГц при напряжении питания 0,3 В. При напряжении 0,6 В частота сумматора возрастает до 500 МГц. Снижение потребляемой мощности достигнуто за счет управления прямым смещением подложки с помощью специальных запатентованных блоков. Метод позволяет уменьшить наихудшую задержку, вызванную отклонениями параметров технологического процесса, напряжения питания и температуры от номинальных значений. Прямое смещение подложки приводит к ослаблению действия эффекта короткого канала. При низком напряжении питания ослабляется зависимость задержки от напряжения (за счет минимизации порогового напряжения) и температурная зависимость задержки схемы (благодаря температурной зависимости прямого смещения подложки). Сообщалось также о реализации метода в SoC, содержащей MPEG2-схему, центральный процессор, схему оценки перемещения, цифровой фильтр, схему дискретного косинус-преобразования и декодер переменной длины. Доля мощности, обусловленной током утечки, в общей потребляемой SoC мощности составила 20%.

МОЩНОСТЬ БЫТОВОЙ ЭЛЕКТРОНИКИ

На конференции было представлено немало интересных разработок для бытовой техники. И здесь основное внимание уделялось уменьшению потребляемой мощности. Из представленных изделий следует отметить SoC смешанной обработки сигнала для DVD-систем фирмы Matsushita. SoC, содержащая 24 млн. транзисторов и размещенная на кристалле площадью 64 мм², выполнена по 130-нм КМОП-технологии с семью уровнями металлизации. В микросхему входят сигнальный процессор, два 32-бит RISC-микропроцессора, три специализированных устройства обработки данных, PRML-канал считывания с аналоговым внешним интерфейсом. Мощность, потребляемая схемой при 40 Мвыборках/с, составляет 1,5 Вт.

Предназначенная для двух- и трехмерных графических и MPEG4 систем, БИС, созданная южнокорейскими специалистами фирм KAIST и Hynix Semiconductor, хотя и не является полноценной SoC, содержит RISC-процессор с умножителем-накопителем, устройство трехмерной визуализации и ДОЗУ емкостью 29 Мбит. Благодаря программированию частоты синхронизации можно регулировать уровень потребляемой мощности SoC. Наименьшее ее значение не превышает 210 мВт при текстурном отображении 264 Мпикселей в 1 с.

Интерес собравшихся вызвала однокристалльная микросхема процессора параллельной обработки с максимальной производительностью 51,2 Гопераций в 1 с на тактовой частоте 100 МГц фирмы NEC. Быстродействие процессора в четыре раза выше, а потребляемая мощность почти на порядок меньше (4 Вт), чем у 3-ГГц процессора ПК. Процессор предназначен для систем расчета маршрута движения автомобиля на основе данных анализа изображения, формируемого со скоростью 33 мс/кадр при любых погодных условиях, состоянии дороги и движения. Структура параллельной обработки чипа содержит 128 8-бит RISC-элементов, способных исполнять четыре команды за тактовый цикл, и 16-бит процессор, выполняющий функции контроллера. Каждый RISC-элемент имеет 2-Кбит память для хранения данных изображения, которые вводятся в матрицу обрабатываемых элементов с помощью четырехпортового 8-бит сдвигового регистра. Процессор изображения содержит 21,4 млн. транзисторов и изготовлен по 180-нм технологии с семиуровневой металлизацией. Но пока его размеры – 11x11 мм – слишком велики для предлагаемого применения. Через год, считают разработчики, микросхема уже найдет применение в аппаратуре.

"Упаковать" как можно больше функций в микросхему – такова задача, которую поставили перед собой специалисты фирмы STMicroelectronics при разработке нового чипа для систем распознавания изображения и голоса. Чип содержит динамически реконфигурируемое устройство, выполняющее 1 Гопераций в 1 с, со встроенной флэш-памятью и программируемую пользователем вентиляционную матрицу (FPGA) с СОЗУ. Код, данные и потоки данных FPGA хранятся во флэш-памяти, доступ к ним обеспечивают три специализированных 64-бит порта ввода/вывода с максимальной скоростью считывания данных 1,2 Гбайт/с. SoC выполнена по 180-нм КМОП-технологии с шестью уровнями металлизации и занимает площадь 70 мм². Энергетический КПД SoC составляет несколько миллионов операций в 1 с на 1 мВт потребляемой энергии при напряжении питания 1,8 В.

БЕСПРОВОДНАЯ СВЯЗЬ

На протяжении последнего десятилетия разработчикам беспроводных средств связи при поддержке полупроводниковой техники удавалось расширять функциональные возможности все более лощеных, все более малогабаритных и дешевых беспроводных микротелефонов за счет увеличения сложности используемых в них микросхем. При этом стратегия их тесно увязывала возможности полупроводниковой технологии с конкретными применениями: БиКМОП-, SiGe- и GaAs-чипы предназначались для построения стандартных радиостанций; высоковольтные устройства с хорошими аналоговыми характеристиками – аналоговых секций и секций управления режимом питания; высокоплотные логические и специализированные запоминающие устройства – секций обработки данных. Такой подход был оправдан, поскольку большинство микротрубок работали в одной полосе, как правило 800–900 МГц. Но сегодня уже получили распространение микротрубки, работающие в двух диапазонах, появились многомодовые микротрубки, т.е. трубки, способные поддерживать не одну технологию множественного доступа с временным разделением каналов. Поэтому неудивительно, что на конференции ISSCC несколько докладов было посвящено разработке ВЧ-микросхем, работающих в двух режимах в соответствии с требованиями стандартов 802.11b и Bluetooth и потребляющих низкую мощность.

Фирмы Broadcom и Wireless Interface Technologies одинаково подошли к разработке микросхем: конструкции обеих содержат

ВЧ-секции приема и передачи, генератор тактовых сигналов и фильтр. Обе микросхемы требуют применения внешней цифровой схемы немодулированной передачи с АЦП, а для работы в стандарте 802.11b – внешнего усилителя мощности. Первоначально разработчики обеих микросхем решили, что целесообразно выбрать одну центральную частоту – 2,4 ГГц – для работы как в стандарте 802.11b, так и Bluetooth. Это, казалось, должно было бы позволить совместно использовать ВЧ-каскады, поддерживающие оба стандарта. Однако поскольку полоса пропускания и динамические характеристики, приводимые для этих стандартов, существенно отличаются друг от друга, на практике полностью реализовать такое совместное пользование ВЧ-секциями не удалось. Хотя для преобразования с повышением/понижением частоты в обоих стандартах можно использовать один и тот же смеситель. На этом сходство микросхем двух фирм заканчивается.

В чипе фирмы Broadcom для выбора одного из двух наборов фильтров передатчика/приемника применяется схема ключа, тогда как Wireless Interface Technologies использует такую схему только в передатчике, а в приемнике – программируемые двухрежимные сложный фильтр и усилитель.

Ток микросхемы фирмы Broadcom при напряжении питания 3 В в режиме приема составляет 65 мА, в режиме передачи – 78 мА. Чувствительность приемника при скорости передачи 11 Мбит/с равна -88 дБм в режиме 802.11b и -83 дБм в режиме Bluetooth. Чувствительность приемопередатчика фирмы Wireless Interface Technologies – -80 и -88 дБ, соответственно. Все это, конечно, звучит многообещающе, но пока микросхемы требуют доработки и до сих пор ни одна из схем не смогла одновременно работать в стандартах 802.11b и Bluetooth.

НАСТУПАЕТ ЭПОХА МЭМС?

По мнению главного инженера фирмы Sony Ешиаки Хадживара, в 2015 году, когда роботы смогут, наконец, состязаться с человеком, робот Эйбо будет начинен всевозможными МЭМС. С этим согласен и профессор Государственного института технологии Швейцарии в Цюрихе Кристофер Хирольд, отметивший, что подобные приборы будут продвигаться на рынок под девизом "MEMS Inside", указывая тем самым на предоставляемые ими дополнительные возможности. Самым активным сторонником МЭМС на конференции ISSCC был руководитель программ отделения технологии микросистем DARPA Кларк Нгаен, считающий, что развитие МЭМС пойдет по пути слияния с полупроводниковыми микросхемами с целью улучшения рабочих характеристик последних. Уже сегодня МЭМС успешно используются для эффективного охлаждения чипов микропроцессоров. По мнению руководителя фирмы STMicroelectronics, по мере освоения промышленной технологии SoC и системы-в-корпусе (System in Package – SiP) в них будет применяться все большее число МЭМС. Совместными усилиями специалистов STMicroelectronics и CEA-Leti изготовлен МЭМС-переключатель, управляемый БиКМОП-микросхемой. Вносимые потери его составляют 0,4 дБ, развязка на частоте 2 ГГц – 54 дБ. МЭМС размером 400x50 мкм выполнен поверх кремниевой пластины, что открывает возможность использования его в SoC.

Пока современные МЭМС сложны в изготовлении, их надежность оставляет желать лучшего, а выход годных неприемлем для массового производства. Но то же говорили и о КМОП-микросхемах, когда они только появились. К тому же МЭМС-инерционные датчики и датчики давления уже освоены в крупносерийном производстве и находят широкое применение в автомобильных системах.



ЧТО ДАЛЬШЕ?

Высокая стоимость формирования дополнительных маскировочных слоев, необходимых для объединения цифровых логических устройств и памяти с аналоговыми приборами, может привести к замедлению темпов развития технологии SoC, а возможно, сведет эту технологию на нет. Таково высказанное на конференции мнение руководителя по разработке архитектуры микросхем фирмы Intel Джея Хиба. Вероятно, микроэлектронная промышленность пойдет по пути разработки трехмерных устройств, а вернее, систем в трехмерном корпусе (System-in-3D-package – So3D). И в первую очередь это коснется чипов для 3G сотовых телефонов. Уже в современных микросхемах используется встроенная флэш-память, для изготовления которой требуются дополнительные маскировочные слои. Телефонные трубки 3G систем, которые появятся на рынке в 2010 году, будут воспроизводить не только голос – значительная часть поступающей информации станет видимой. А это потребует намного большего объема флэш-памяти (до 90% транзисторов в чипсете сотового телефона окажутся элементами энергонезависимой памяти), и для ее реализации потребуются совсем другие приемы. Вместо масштабирования и увеличения степени интеграции транзисторов на одном кристалле разработчики перейдут к созданию трехмерных конструкций.

Сегодня уже многие компании – от гигантов, таких как IBM, до вновь образованных, например Ziptronix, – сообщают о разработке методов расположения негерметизированных кристаллов в непосредственной близости друг от друга, с тем чтобы обеспечить объединение сформированных на них межсоединений с помощью молекулярных или емкостных связей. Это потребует изменения конструкции трехмерного устройства и создания инструментария планирования, маршрутизации, оценки и выделения трехмерного монтажного пространства, оборудования отладки трехмерных сборок и корректировки сфокусированным ионным пучком.

Этому мнению резко оппонировал руководитель планирования фирмы Texas Instruments Авнер Горен. Специалисты Texas Instruments объединили на одном кристалле аналоговые и цифровые функции, существенно сократив на нем число компонентов, включая и пассивные. Сейчас ведется разработка микросхемы, в которой объединены функции немодулированной передачи, цифрового радио и управления режимом питания, необходимые для работы сотовой телефонной трубки GSM-стандарта. Единственные внешние компоненты – усилитель мощности и около 25 пассивных компонентов. Чип, выполненный полностью по КМОП-технологии, должен появиться в 2004 году. При разработке SoC специалисты фирмы движутся от чипов к блокам, и далее к интеграции IP-ядер (ядер интеллектуальной собственности). Чтобы облегчить такой переход, создан открытый протокол ядра (Open Core Protocol – OCP), позволяющий разделить проектирование межсоединений и логики.

На конференции также живо обсуждалось дальнейшее развитие технологии микроэлектроники. Адвокаты кремний-германиевой, фосфид-индиевой и 90-нм КМОП-технологий в качестве доказательства их перспективности отмечали значительное увеличение предельной частоты микросхем на их основе. А сторонники КМОП-транзисторов с двойным затвором (FinFET*) и приборов на углеродных нанотрубках ссылались на возможность увеличения плотности упаковки элементов, обеспечиваемой этими перспективными технологиями.

По утверждению ученых Станфордского университета, углеродные структуры благодаря своим диэлектрическим характеристикам пригодны для построения транзисторов с высокой плотностью рабо-

чего тока и малым током утечки. А их чрезвычайно малые размеры (несколько ангстрем – 10^{-10} нм) позволят создавать большие матричные структуры и даже использовать в них в качестве затворного оксида – SiO₂. Но на все это требуется время. Пока же характеристики схем и даже системы связи с низким уровнем интеграции "не впечатляют".

В транзисторах с двойным затвором (FinFET) – приборах, выступающих над поверхностью кристалла наподобие плавника акулы, – улучшено значение порогового напряжения и уменьшен ток утечки (основное "пугало" 90-нм технологии). В итоге потребляемая мощность транзистора может быть снижена на 35–50% по сравнению с обычным КМОП-прибором. Предложенная FinFET-технология весьма перспективна для построения СОЗУ, устройств ввода/вывода и защелок с 65-нм и менее топологическими нормами. FinFET с минимальными размерами элементов 60 нм уже созданы учеными Университета шт. Калифорния в Беркли, а на фирме Taiwan Semiconductor Manufacturing Corp. (TSMC) изготовлены FinFET с минимальными размерами 35 нм. Специалисты фирмы AMD считают, что им удастся достичь 10-нм норм. Но пока основная трудность создания микросхем на основе FinFET – формирование топологии и отсутствие средств автоматизированного проектирования. Для преобразования существующей микросхемы в микросхему на базе FinFET 100 студентам летней школы потребуется несколько лет, считает плановик будущих технологий исследовательского подразделения фирмы IBM в Боблингене (Германия) Инго Аллер. Лучшие результаты могут быть получены с помощью усовершенствованных САПР, но на их создание также потребуются годы.

Тем не менее, сторонники более отработанных технологий не сдают своих позиций. Ученые Университета шт. Калифорния в Санта-Барбаре, например, считают, что преимущество НВТ на фосфиде индия, предельная частота которых может достигать 225–300 ГГц, перед КМОП-транзисторами будет недолговечным. В средствах связи со скоростью передачи данных 40–120 Гбит/с, очевидно, первое время будут доминировать транзисторы на InP. Так, управляемый током усилитель напряжения для 40-Гбит/с системы легко выполнить по 1-мкм фосфид-индиевой технологии. При переходе к 0,2-мкм топологическим нормам удастся реализовать усилитель, поддерживающий скорость передачи 120 Гбит/с. Но здесь уже возникнут проблемы выхода годных изделий. Правда, поскольку InP легко выращивать на арсенидгаллиевых подложках, эта проблема может быть решена.

Таким образом, сейчас InP-транзисторы целесообразно использовать для построения ВЧ-усилителей входных блоков с коэффициентом усиления 63 дБ и шириной полосы 174 ГГц. Коэффициент усиления многокаскадного усилителя на InP-транзисторах составит 12 дБ при полосе 170 ГГц. Студенческая разработка ВЧ-усилителя мощности на 180 мВт и 75 ГГц в руках опытного производителя коммерческих изделий легко может стать основой усилителя мощности на 0,5 Вт и 60 ГГц.

По сравнению с InP, области применения кремний-германиевой технологии определены уже достаточно хорошо – это, по мнению специалистов фирмы Infineon Technologies, системы связи со скоростью передачи 40 Гбит/с и автомобильные радары на частоту 77 ГГц. Создание SiGe-транзисторов на предельную частоту 155 ГГц – совсем не трудная задача. Хотя предельная частота – это не критерий качества цифровых схем.

Но совершенно неразумно предполагать, что КМОП-технологию удастся похоронить. В конце концов, основной аргумент в пользу той или иной технологии – затраченные на нее деньги. Талантливый разработчик знает, как сделать достаточно дешевый прибор, а КМОП-технология пока самая дешевая.

*ЭЛЕКТРОНИКА: НТБ, 2002, №3, с.64.