

СРЕДСТВА ПРОЕКТИРОВАНИЯ СБИС КОМПАНИИ MENTOR GRAPHICS

ОБЩИЙ ОБЗОР

Компания Mentor Graphics – один из признанных мировых лидеров в области САПР электроники. Фактически она входит в триаду законодателей мод в этой сфере. В кратком обзоре лишь упомянуты основные продукты Mentor Graphics для проектирования СБИС. Более подробно рассказать о них мы наеемся в последующих публикациях.

Спектр поставляемых компанией Mentor Graphics продуктов чрезвычайно широк – от средств проектирования СБИС, в том числе систем на кристалле (SoC) и систем на ПЛИС (FPGA), до систем проектирования печатных плат, систем кабельных соединений и систем управления базами данных проектирования, интегрированных с PLM/PDM-системами предприятия. Основа стратегии Mentor Graphics – системный подход и концентрация

усилий на наиболее перспективных секторах мирового рынка проектирования электронных систем. Отличительная особенность продуктов Mentor Graphics в том, что почти все они реализованы как на Unix-ориентированных рабочих станциях, так и на Intel-совместимых персональных компьютерах, что дает пользователю существенный выигрыш в стоимости аппаратной платформы и даже в производительности. В течение последних лет компания признана лидером и в области поддержки пользователей (Support Star Award).

Рассмотрим основные средства Mentor Graphics для системного и функционально-логического проектирования и верификации СБИС (рис. 1).

А.Лохов

СИСТЕМНЫЙ УРОВЕНЬ

Проектирование СБИС начинается с алгоритмического описания проекта на поведенческом уровне на языках C/C++, SystemC, System Verilog и т.д. Можно использовать IP-блоки системного уровня, в том числе модели MATLAB и Simulink. На этом этапе решают, как будет реализована система – чисто аппаратно либо программно-аппаратно. В последнем случае выбирается процессорное ядро (PowerPC, ARM, MIPS, и т.п.) и его периферийное окружение. Остановившись на конкретном ядре, уже на системном уровне можно начинать разработку встроенного программного обеспечения. Для этого предназначен комплекс таких инст-

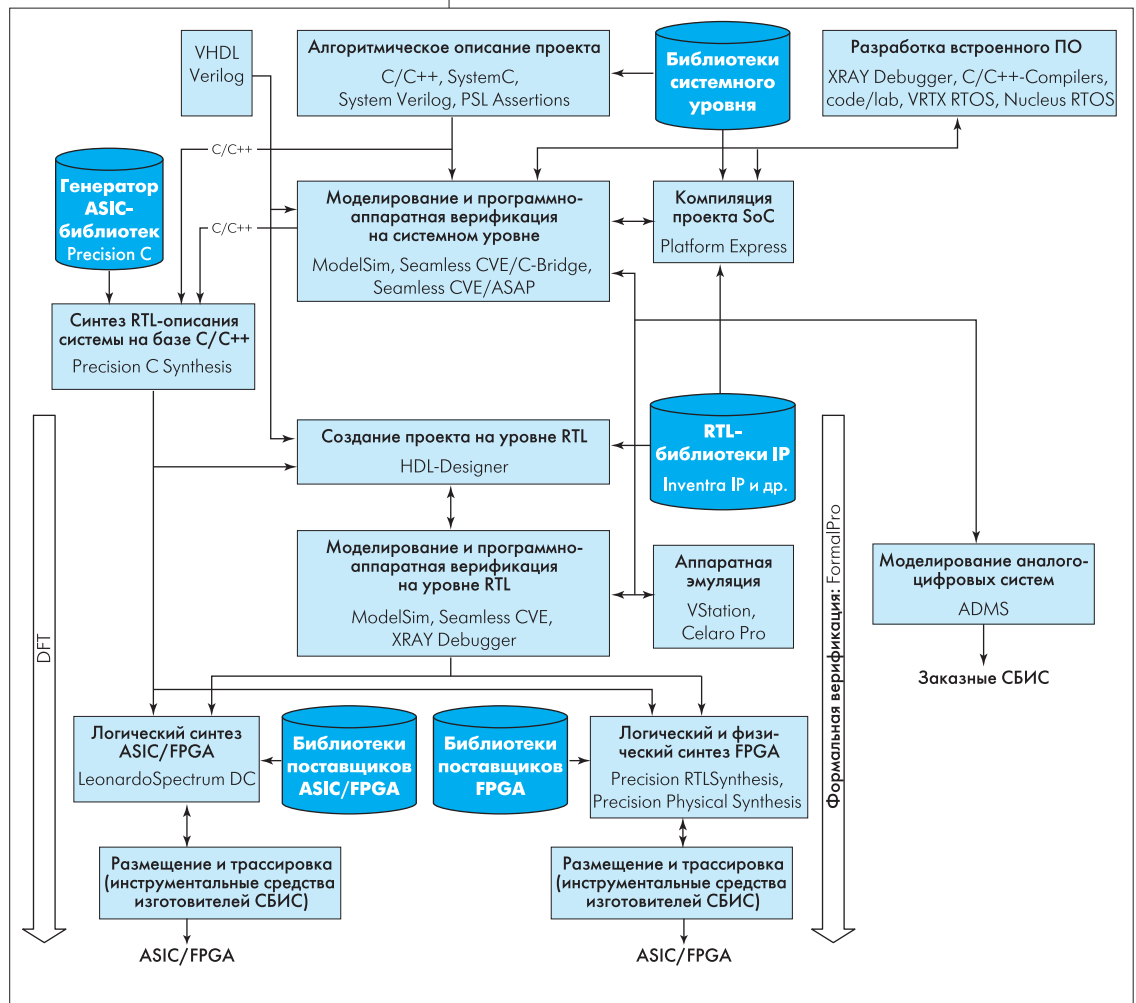


Рис. 1. Системное и функционально-логическое проектирование и верификация ASIC/FPGA/SoC/FPGA



рументальных средств, как программно-отладочные среды **XRAY Debugger** и **code/lab**, компиляторы **C/C++ Compilers**, операционные системы реального времени **VRTX** и **Nucleus**.

Компиляцию проекта на основе IP-блоков процессорного ядра и его периферийного окружения (контроллеры периферии, памяти, интерфейсы и т.п.) на уровне шинной архитектуры реализует пакет **Platform Express**. При необходимости уже на данном этапе можно подключать RTL-блоки, описанные на языках VHDL и Verilog – созданные пользователем либо взятые из IP-библиотек. Так, библиотека **Inventra IP** Mentor Graphics включает более 300 синтезируемых IP-блоков, в том числе устройства для телекоммуникационного оборудования (IEEE 802.11, Bluetooth, USB 2.0), шин передачи данных (CAN 2.0, PCI, PCMCIA, UART), кодеров (Viterbi, Reed Solomon) и др. Для повышения скорости и точности верификации уже на системном уровне можно использовать мощные системы аппаратной эмуляции VStation (технология Virtual Wires) или Celaro Pro. В этом случае часть блоков, описанных на C/C++, моделируется программно, а блоки RTL-уровня – аппаратно.

На этапе поведенческого моделирования решается и вопрос о включении аналоговых/смешанных/высокочастотных блоков в общий проект системы на кристалле. Проектирование таких блоков в составе SoC выделяется в отдельный тракт с объединением и глобальной верификацией проекта на последующих этапах.

Для верификации на системном уровне предназначены пакеты **ModelSim** (цифровое моделирование на VHDL, Verilog, C/C++, SystemC, System Verilog, PSL Assertions) и **Seamless CVE/C-Bridge** – программно-аппаратная верификация (в том числе – на уровне транзакций) и C-моделирование. Существенно, что пакет **Seamless** анализирует производительность программно-аппаратной системы и определяет ее "узкие" места. Например, обнаружив, что программная реализация некоторых функций не обеспечивает требуемого быстродействия, можно изменить архитектуру системы, поддерживая эти функции аппаратными средствами. Данная задача реализуется модулем **Seamless ASAP**.

УРОВЕНЬ РЕГИСТРОВЫХ ПЕРЕДАЧ

Верифицированные на поведенческом уровне C/C++-описания алгоритмов можно синтезировать непосредственно в RTL-уровень с помощью пакета **Precision C Synthesis**. Его предваряет временное планирование реализации алгоритмов, генерация микроархитектуры и ее оптимизация с учетом существующих ограничений. При необходимости возможно поцикловое моделирование посредством пакета **ModelSim**. После выполнения этих процедур включается механизм синтеза RTL-кода. Отличительные особенности пакета **Precision C** – полностью автоматизированный процесс генерации RTL-кода на основе стандартного C/C++-описания и возможность определения микроархитектуры без промежуточных представлений проекта. Причем качество автоматического синтеза часто выше, чем при ручной кодировке.

На уровне RTL-блоков весь проект компонуется с помощью системы **HDL Designer**. При этом используются макросы из собственной библиотеки **HDL Designer**, библиотеки **Inventra IP** компании Mentor Graphics, из IP-библиотек других поставщиков, а также модули, синтезированные с помощью Precision C или написанные вручную.

После полного определения цифровой части проекта на уровне RTL ее детально моделируют посредством программы **ModelSim** и верифицируют с помощью пакета **Seamless CVE**. При больших объемах проекта и необходимости исчерпывающей

верификации в максимально короткий срок на этом этапе широко используются системы аппаратной эмуляции.

Аналоговые, смешанные и ВЧ-блоки системы моделируют отдельно либо вместе с цифровой частью с помощью системы **ADMS**. При этом возможно иерархическое представление проекта с различной степенью детализации отдельных блоков. В качестве языков описания могут быть использованы Spice, C, C++, VHDL-AMS, VHDL, Verilog, Verilog-A. **ADMS** имеет также встроенную систему ускоренного динамического моделирования на транзисторном уровне Mach TA, опцию для моделирования в ВЧ-диапазоне ADMS-RF и мощную встроенную библиотеку функциональных блоков на языке VHDL-AMS – **ADVance CommLib**.

ВЕНТИЛЬНЫЙ УРОВЕНЬ

После окончательной верификации цифровой системы на RTL-уровне проект может быть синтезирован в виде FPGA или ASIC. Синтез описания на уровне элементов библиотек изготовителей реализуют такие средства, как **LeonardoSpectrum** (ASIC/FPGA), продукт компании Synopsys **Design Compiler** (ASIC), системы **Precision RTL Synthesis** и **Precision Physical Synthesis** (FPGA). Отметим, что последний инструмент имеет встроенный статический временной анализатор.

Компания Mentor Graphics придает исключительное значение маршруту проектирования систем на ПЛИС (FPGA/FPSoC). Это связано с наблюдающейся в последнее время тенденцией роста числа проектов на FPGA и их снижения на ASIC (прогноз на 2003 год – 400 тыс. и 4 тыс., соответственно). Проектирование на FPGA становится более рентабельным даже для крупных партий изделий, поскольку позволяет существенно сократить и удешевить циклы как проектирования, так и изготовления. Поэтому специально для FPGA компания Mentor Graphics создала комплексный, включающий все основные инструменты проектирования, маршрут **FPGA Advantage**. Он полностью совместим с программными средствами изготовителей ПЛИС (Xilinx, Altera, Actel, Lattice, и др.) и поддерживает все IP-ядра для FPGA.

При прохождении проекта от RTL до вентиляльного уровня эквивалентность контролируется с помощью системы формальной верификации **FormalPro**. На этих же этапах используется комплекс средств тестирования и обеспечения контролепригодности DFT (Design-for-Test) (рис.2). Основные инструменты этого комплекса – система автоматической генерации и диагностического анали-

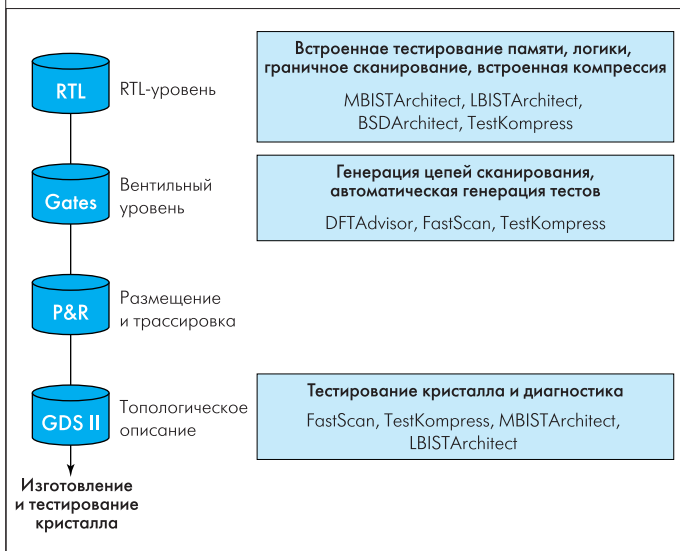


Рис.2. Средства тестирования и диагностики

за тестов для СБИС с высоким процентом сканирования **FastScan ATPG**, программа автоматической генерации цепей граничного сканирования СБИС в соответствии со стандартом IEEE 1149.1 **BSDArchitect**, инструмент автоматической генерации структур самотестирования для СБИС со встроенной памятью **MBISTArchitect**, анализатор контролепригодности с автоматической генерацией встроенных структур самотестирования и встроенных тестов для СБИС с произвольной логикой **LBISTArchitect** и генератор встроенных структур компрессии тестов на основе запатентованной технологии Embedded Deterministic Test (EDT) **TestKompress**.

ЗАКАЗНОЕ ПРОЕКТИРОВАНИЕ АНАЛОГОВЫХ И СМЕШАННЫХ СХЕМ

Маршрут проектирования заказных аналого-цифровых СБИС (рис.3) включает все основные этапы проектирования – создание принципиальной схемы проекта, функциональную верификацию проекта, проектирование топологии ИС и ее физическую верификацию, в том числе экстракцию паразитных параметров. Все модули маршрута полностью совместимы между собой и базируются на стандартных промышленных форматах, что позволяет использовать их в любом сочетании со средствами проектирования других поставщиков. Поддерживается методология проектирования как полностью заказных схем, так и на базе стандартных ячеек.

Общая схема проекта создается в среде **Design Architect-IC**, включающей редактор ввода принципиальной схемы, модуль генерации списка цепей в форматах SPICE, HSPICE или Verilog, модуль подготовки и настройки моделирования аналоговых и смешанных схем и визуализатор для просмотра результатов моделирования.

Функциональное моделирование выполняется с помощью уже упоминавшейся системы ADMS, которая базируется на платформах цифрового VHDL/Verilog-моделирования **ModelSim** и аналогового моделирования **Eldo Analog Design Station**. Основные преимущества последней – высокая производительность, большой

допустимый объем проектов (500 тыс. транзисторов) и высокая точность. Наряду с классическим алгоритмом численного моделирования Newton-Raphson она использует более совершенные алгоритмы OSR и IEM, а также позволяет назначать различные алгоритмы моделирования разным блокам. Поддерживаются практически все модели MOS, биполярных и MESFET-транзисторов (BSIM3v3.x, BSIM4.2, EKV, Philips MM9, Mextram, VBIC, HICUM и т.д.).

ТОПОЛОГИЧЕСКОЕ ПРОЕКТИРОВАНИЕ

По завершении функционального моделирования начинается проектирование топологии СБИС. Для этого предназначены пакеты **IC Station**, **ICassemble** и **AutoCells**. **IC Station** включает интерактивный редактор топологии **ICgraph Basic**, генератор топологии на основе электрической принципиальной схемы **ICgraph SDL**, параметрические генераторы цифровых **ICdevice Digital** и аналоговых **ICdevice Analog** ячеек. **IC Station** может применяться как для проектирования топологии кристалла в целом, так и для проектирования отдельных ячеек.

Планирование, размещение, интерактивную и автоматическую трассировку аналоговых и аналого-цифровых блоков, а также всего кристалла в целом выполняет модуль **ICassemble**. Инструмент **AutoCells** предназначен для размещения и трассировки цифровых блоков. В качестве входных данных он может использовать файлы GDSII и LEF, а также net-листы в форматах Verilog, EDIF и DEF.

Проектирование топологии завершается этапом физической верификации и экстракции паразитных параметров. Для этого предназначена платформа **Calibre** – фактически промышленный стандарт в области верификации топологии СБИС. Она включает модуль контроля топологических проектных норм **Calibre DRC**, модуль проверки соответствия топологии и электрической схемы **Calibre LVS**, модуль интерактивной верификации ячеек и блоков, работающий непосредственно в среде топологического редактора – **Calibre Interactive**, модуль визуализации результатов верификации и отладки **Calibre RVE/QDB**, модуль экстракции паразитных параметров для ячеек, блоков и кристаллов **Calibre xRC**. Последний поддерживает 3D-экстракцию в форматах "сосредоточенный-C", "распределенный-CC", "распределенный-RC", "распределенный-RCC SPICE". Результаты экстракции могут быть использованы для более точного моделирования с учетом реальных физических параметров и соответствующей модификации схемы проекта.

При проектировании топологии глубокосубмикронных СБИС не обойтись без соответствующих методов коррекции маски (RET) для устранения эффектов искажения в субмикронном диапазоне. Эти функции реализованы с помощью модулей **Calibre OPC** и **Calibre PCM**.

В целом можно констатировать, что продукты компании Mentor Graphics, относящиеся к проектированию СБИС, позволяют решать сколь угодно сложные задачи. Все они интегрированы в сквозной маршрут, верифицированный и поддерживаемый множеством технологических библиотек от ведущих изготовителей СБИС (UMC, TSMC, Chartered, IBM, STMicroelectronics, AMS и др.). Все продукты Mentor Graphics основаны на общепринятых стандартах, а поэтому легко интегрируются в маршруты проектирования других поставщиков. Отдельные пакеты, например Calibre, Seamless, ModelSim, TestKompress, занимают доминирующие позиции на мировом рынке. На российском рынке продукция Mentor Graphics достаточно широко используется с 1991 года. ○

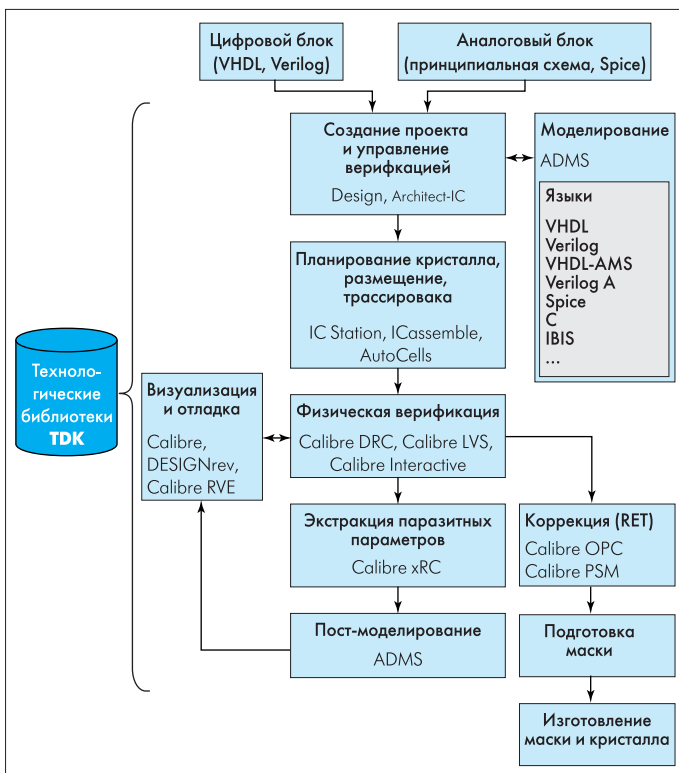


Рис.3. Проектирование заказных аналого-цифровых (AMS) СБИС



Совместной образовательной программе Cadence и МГИЭТ - год!

В Московском институте электронной техники (государственный университет) (МИЭТ) состоялось подведение итогов первого года специализированной программы подготовки магистров для работы в области разработки и проектирования микросхем на основе инструментальных средств компании Cadence. Программа эта начала действовать а МИЭТ более года назад при финансовом и техническом участии Cadence. Административную поддержку программе, как и деятельности Cadence в России, оказывает компания Mirantis (США). Для реализации данного проекта в МИЭТ была создана специальная структура – Институт проектирования приборов и систем. Первые 23 студента этого института приступили к преддипломной практике. Компании, в которых проходят практику эти студенты, очень высоко оценили их знания и профессиональную подготовку. Директор российского отделения компании Motorola Александр Митаенко отметил, что "мы были приятно удивлены знаниями и умениями студентов, пришедших к нам на практику. Мы планируем пригласить их к нам на работу после получения дипломов". Директор Института проблем проектирования в микроэлектронике РАН А.Стемпковский также указал, что "мы уже ощутили эффект программы – студенты работают у нас, и работают хорошо". Ректор МИЭТ Ю.Чаплыгин подтвердил, что во всех 50 студентах нового института крайне заинтересованы все компании, в которых студенты проходят практику.

Вице-президент и руководитель учебных программ компании Cadence Спенсер Кларк в своем выступлении расска-

зал, что Cadence совместно с МИЭТ завершила подготовку программ (24 специализированных курса) и профессорско-преподавательского состава для новой программы. Он особо подчеркнул, что с МИЭТ этот путь удалось пройти в три раза быстрее, чем с другими университетами. Компания Cadence безвозмездно передала МИЭТ компьютеры и лицензии на свое ПО, финансирует зарплату преподавателей и дополнительные стипендии студентам, а также обеспечивает техническую поддержку специализированной лаборатории, подготовку и обучение преподавателей.

Председатель Федерального фонда развития электронной техники А.Сухопаров отметил, что политика Cadence – мудрая, поскольку рассчитана на долгосрочную перспективу, и выразил надежду, что компания приложит усилия к созданию дизайн-центров в России.

Президент и исполнительный директор Cadence Рэй Бингхам заявил, что на него большое впечатление произвел прогресс, достигнутый МИЭТ. "Сотрудничая с МИЭТ и компанией Mirantis, мы способствуем подготовке квалифицированных и прекрасно обученных специалистов для российской электронной индустрии. Это хорошо не только для российских высокотехнологических компаний, так и для индустрии микроэлектроники в целом. Мы гордимся тем, что Cadence является частью этого большого совместного дела".

Собств. инф.