

ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ УСТРОЙСТВА

ЧТО НОВОГО, ЧТО УСТАРЕЛО, ЧЕГО ЖДАТЬ?

В.Юдинцев

Специализированные ИС (ASIC) в последние годы привлекают пристальное внимание обозревателей мирового рынка полупроводниковых приборов. На нем представлены различные типы микросхем, развивающиеся практически независимо друг от друга. Наибольший интерес вызывает стремительно растущий сектор программируемых логических ИС (ПЛИС), все больше вытесняющих с рынка вентиляльные матрицы. Самые "горячие" изделия на рынке — находящиеся на начальном этапе развития МОП ПЛИС с высокой плотностью элементов (более 100 тыс. используемых вентилялей), встроенными памятью и ядром *системы-на-чипе* (процессором, контроллером или сигнальным процессором). И несмотря на то, что за возможность быстрого конфигурирования (а теперь и реконфигурирования) требуемого устройства приходится дополнительно платить, разработчики аппаратуры, наконец, осознали, что ПЛИС не просто полезны — они необходимы. Об этом свидетельствует включение секции, посвященной ПЛИС, в программу микропроцессорного форума, состоявшегося в октябре 2001 года в Сан-Хосе.

ОСНОВНЫЕ ТЕНДЕНЦИИ

Согласно прогнозу фирмы iSuppli, под влиянием спада мировой экономики, в первую очередь в США, приведшего к уменьшению спроса на высокотехнологичные изделия, продажи ПЛИС в 2001 году должны были снизиться на 34,1% по сравнению с уровнем 2000 года, составившим 4,1 млрд. долл., и на 3,5% в 2002 году (до 2,6 млрд. долл.). В 2004 году продажи возрастут на 15,5% — до 3,5 млрд. долл.,

а в 2005-м превысят 4 млрд. долл. (14,5%). Прогноз фирмы Dataquest более оптимистичен: в 2004 году продажи, по сравнению с 2000-м, возрастут более чем в два раза и составят 8,7 млрд. долл. Основания для таких прогнозов, несмотря на все сложности, с которыми сталкиваются поставщики ПЛИС, оправданы. По мере снижения удельной (в пересчете на вентилю) стоимости ПЛИС и увеличения числа используемых вентилялей* ПЛИС все активнее вторгаются на "территорию" вентиляльных матриц, а теперь и ASIC. Это объясняется, во-первых, тем, что непрерывное увеличение числа логических вентилялей позволяет "собирать" на чипе многие функции, выполняемые отдельными логическими ИС и схемами памяти, и тем самым повысить быстродействие и надежность при уменьшении энергопотребления, габаритов и стоимости конечной системы. И, во-вторых, благодаря простоте конфигурирования (и реконфигурирования) появилась возможность быстрой реакции на вносимые в последний момент изменения конструкции и проверки на прототипах возникающих идей до полной их реализации — и все это "не опоздав" с выпуском изделия на рынок.

По определению экспертов фирмы IC Insights, ПЛИС — это логические схемы, содержащие одну или несколько матриц ключей, которые могут быть объединены в логические устройства более высокого уровня. Некоторые можно программировать однократно с помощью встроенных плавких антиперемычек (высокоимпедансные соединения, преобразуемые в низкоимпедансные в результате "плавки"), другие допускают перепрограммирование с помощью программных или аппаратных средств, таких как ЭСППЗУ (простейшие ПЛИС с менее чем 20 тыс. вентилялей), СОЗУ (около 10⁶ вентилялей), флэш-память. Можно выделить три основных типа ПЛИС: собственно программируемые вентиляльные матрицы — простые и сложные (ППЛИС/ПЛМ и СПЛИС); программируемые пользователем (FPGA); встраиваемые программируемые логические ядра. Основные производители ПЛИС: Xilinx (34% общего объема продаж по состоянию на 1999 год), Altera (32%), Lattice Semiconductor (16%), Actel (7%). Лидерство американских фирм на этом рынке объясняется их сложной системой патентной защиты выпускаемых изделий. Вероятно, в будущем с ними смогут конкурировать лишь местные компании сегодняшних производителей.

* При определении плотности элементов ASIC, в том числе и ПЛИС, эксперты предпочитают термин "используемые", а не "общее число" вентилялей. Используемые (пригодные для формирования межсоединений, по определению IBM) вентиляли — доля общего числа вентилялей, которые могут быть объединены или использованы в "средней" конструкции. На сегодняшний день доля используемых вентилялей в МОП ПЛИС с двухуровневой металлизацией составляет 40%, с трехуровневой — 60%.

**Прогноз характеристик ПЛИС на 2004 год (данные фирмы Altera)**

Характеристика	Перспективные ПЛИС	Представленные на рынке ПЛИС
Число используемых вентиляей, млн. шт.	6	0,4
Сложность	Встроенное ОЗУ емкостью ~4 Мбит RISC-процессор с кэш-памятью	Встроенное ОЗУ емкостью ~200 Кбит
Быстродействие	Тактовая частота ядра 622 МГц	Тактовая частота ядра 400 МГц
Конструирование	Девять месяцев с привлечением большой группы инженеров. Применение компиляторов, языка Си	Шесть месяцев. 80% конструкции выполнено с использованием интеллектуальной собственности
Цена, долл.	~800 (партия 100 шт.)	~20

До 1999 года, когда Xilinx первой отгрузила промышленные образцы микросхем семейства Virtex-E с 0,18-мкм топологическими нормами, ПЛИС по уровню технологии на два-три поколения отставали от выпускаемых на рынок микросхем ДОЗУ, микропроцессоров и ASIC. Но благодаря укреплению контактов между ведущими фирмами-разработчиками ПЛИС (такими как Altera и Xilinx) и производителями полупроводниковых приборов (foundaries), располагающими самыми современными технологиями и оборудованием (TSMC и UMC), сегодня ПЛИС четко следуют общим тенденциям развития перспективных технологий. Правда, следует отметить, что число используемых вентиляей в перспективных ПЛИС может быть в 15 раз больше, чем в конструкциях, широко представленных на рынке (см. табл.). Уже созданы программируемые устройства с нормами менее 0,13-мкм и медными соединениями. И если напряжение питания этих устройств долгое время оставалось равным 5 В, то теперь, при переходе к следующему поколению, оно неизменно снижается (так, напряжение питания микросхем семейства Virtex-E уже равно 1,8 В).

Как и другие крупные полупроводниковые фирмы, производители ПЛИС ведут агрессивную политику снижения удельной стоимости (в пересчете на вентиаль) своей продукции: если в 1993 году ПЛИС были в 12,5 раза дороже вентиляльных матриц, то в 2001-м — уже лишь в два раза. Этому способствует не только совершенствование технологии, но и уменьшение размеров кристалла (например, в результате применения ступенчатых контактных площадок — фирма QuickLogic) и использование "защитных" конструкций при переходе к крупномасштабному производству.

Пока отгружаемые ПЛИС — в основном "чисто" программируемые логические устройства. Но в стремлении решить вечную проблему получения оптимального сочетания плотности элементов, мощности, быстродействия и стоимости разработчики ПЛИС и ASIC начинают создавать "гибридные" микросхемы на основе ASIC, объединенных с программируемыми логическими устройствами. И не только они. Гибридные микросхемы можно найти в портфелях поставщиков ASIC на стандартных элементах, изготовителей сетевых процессоров и т.д.

Стремительный рост объема памяти встроенных ОЗУ и появление однокристалльных гибридных микросхем возможны лишь благодаря значительному увеличению числа используемых вентиляей. Сегодня разработчики FPGA заявляют, что по числу вентиляей их изделия сопоставимы с ASIC: в микросхемах, изготавливаемых по 0,18- и 0,15-мкм технологии, можно разместить до 2–3 млн. вентиляей, в FPGA с 0,13-мкм нормами — 10 млн. (число вентиляей в ASIC с 0,18-мкм нормами — 7–8 млн.). Так ли это? Заказчики, использующие оба типа программируемых микросхем, уверяют, что число заявленных вентиляей в FPGA нужно делить на коэффициент семь-восемь. Таким образом, пока отношение числа вентиляей в ASIC и FPGA равно 10:1. Но по мнению производителей FPGA, по мере увеличения плотности элементов на чипе интерес разработчиков к

проектированию устройств на базе произвольной логики снижается. По оценкам фирмы Altera, непроизводительные технические затраты (NRE) для ASIC с 0,13-мкм проектными нормами достигают 750 тыс. долл. (по данным производителя ASIC — фирмы Fujitsu, — 300 тыс. долл.). Компенсировать такие затраты могут только большие объемы производства и поставки партий размером не менее сотен тысяч изделий. Переход к обработке пластин диаметром 300 мм только осложняет эту проблему. В то же время размер партий ПЛИС со 100 тыс. вентиляей достигает 100 тыс. изделий, а размер закупаемых партий ПЛИС с 400 тыс. вентиляей — десятков тысяч, а многие заказчики планируют приобретать партии в 100 тыс. микросхем.

Удорожание перспективных технологий наряду с ростом специализации систем и "сжатием" областей их применения выдвигает все более жесткие требования к параметрам выпускаемых на рынок изделий. Это, наряду с увеличением числа используемых вентиляей, расширением функциональных возможностей ПЛИС, требованиями стандартизации и сокращения сроков выпуска на рынок, стимулирует применение в ПЛИС завершенных блоков собственной разработки или разработки другой компании (третьей стороны), представляющих собой блоки интеллектуальной собственности — типовые функциональные ИС — (IP-блоки). IP-блок может быть как программным (soft) ядром,* так и встроенным программируемым аппаратным (hard) ядром,** позволяющим реализовывать многие функции, требуемые заказчику. Soft-ядра могут располагаться в различных участках кристалла, и в зависимости от местоположения обеспечиваемое ими быстродействие и временные соотношения могут различаться на 50%. Кроме того, они занимают большую площадь кристалла, чем аппаратные ядра. В общем случае, soft-ядра по уровню характеристик уступают аппаратным, но, как правило, на рынке появляются раньше. Их выпускают многие фирмы, и их легко модифицировать для выполнения конкретных требований пользователя. К тому же, с увеличением плотности размещения вентиляей на кристалле площадь, требуемая для реализации ядра, уменьшается. По убеждению специалистов фирмы Altera, производство ПЛИС с soft-ядром экономически оправдано, если такое ядро занимает менее 50% площади чипа. Вот почему в будущем высокоплотные ПЛИС с 2 и 4 млн. используемых вентиляей смогут реализовывать функции MPEG-2 кодера (занимающего 43% площади кристалла) и восьмипортового ATM-коммутатора на 622 МГц (40% площади), соответственно.

Выпуск ПЛИС сложной архитектуры с оптимальным сочетанием нужных параметров в сильной степени зависит от программных средств систем проектирования, которые должны свести "ручные операции" к минимуму. Для сокращения сроков создания требуемых устройств и своевременного выпуска их на рынок многие разработчики переходят к проектированию с помощью языков высокогоровня, таких как VHDL, Verilog или даже универсальных традиционных языков программирования, например Си.

Несмотря на то, что промышленность ПЛИС относительно молода, она чрезвычайно многогранна. Производители, борясь за рынок сбыта, выпускают уникальные микросхемы с усовершенствован-

*По определению Союза виртуальных средств сопряжения (Virtual Socket Interface Alliance — VSIA), soft-ядра — виртуальные компоненты, не имеющие геометрических границ. Для выполняемых ими логических функций не существует физических атрибутов. Как правило, к ним предъявляются минимальные технические требования.

**Hard-ядра — виртуальные компоненты с заданными параметрами, описываемые на физическом уровне. Имеют самые высокие характеристики.

ной архитектурой, встроенными средствами программирования и различными сочетаниями важнейших параметров. Это затрудняет заказчику выбор нужного устройства, хотя ведущие поставщики этих устройств активно "де-факто" проводят стандартизацию своей продукции. Разработчики же аппаратуры используют гибкость программируемой логики для создания особых изделий, отличающихся от продукции других производителей. Чем же руководствоваться при выборе того или иного типа ПЛИС?

FPGA

С момента выпуска фирмой Xilinx в 1984 году первой FPGA программируемые устройства прошли путь от простой "дополняющей" логики до прототипов системы-на-чипе и FPGA-платформ для сложных систем. Крупнейшие производители FPGA – Xilinx, Altera, Actel, Agere Systems (бывшая Lucent Technologies), Atmel, QuickLogic, Triscend.

Основные блоки FPGA фирмы Xilinx, на базе которых реализуются логические устройства заказчика, – конфигурируемый логический блок (CLB), блок ввода/вывода (В/В) и трассировочные блоки. CLB – комбинация элементов (функциональные генераторы, ОЗУ, регистры), реализуемых с помощью таблиц преобразования (LUT) и регистров – практически не изменился с момента появления первых FPGA. Но логические ячейки и периферийные устройства за эти годы, конечно, совершенствовались, в первую очередь за счет увеличения уровня интеграции LUT и регистров. Назначение LUT-элементов, число входов которых в зависимости от архитектуры колеблется от двух до четырех, – эмуляция требуемой функции на два-четыре входа. Для программирования логического устройства в большей части FPGA фирмы используется СОЗУ, хотя Xilinx слегка "пофлиртвала" с FPGA на антиперемычках. Поддержку проектированию на базе FPGA фирмы оказывает набор инструментальных средств Виртуального союза VSIА. Кроме того, на фирме разработан портфель программных средств на базе языка Java, поддерживающих программирование и репрограммирование чипа при проектировании, производстве или эксплуатации.

Результат многолетних разработок FPGA и обобщения отзывов большого числа пользователей – микросхемы серии XC4000, обладающие достоинствами заказных КМОП СБИС, но свободные от таких их недостатков, как высокие NRE, длительный цикл разработки и риск, присущий обычной масочно-программируемой вентиляльной матрице. Микросхемы семейства содержат две четырехходовые LUT, трехходовую LUT и два регистра. Многочисленные размещенные вблизи логических ячеек гибкие быстродействующие ОЗУ эффективно выполняют задачи конфигурации системы, функции управления и определения статуса. Помимо них в микросхемах имеются специальные блоки ОЗУ. Технология этого семейства постоянно совершенствовалась, и сегодня на рынке представлены FPGA типов XC4000XLА/XV, выполненные по 0,35- и 0,25-мкм КМОП-технологии, соответственно, с пятислойной металлизацией. Максимальное число вентиляей этих микросхем достигает 500 тыс., при этом для реализации логических функций может быть использовано до 250 тыс. вентиляей, для реализации синхронного СОЗУ – 270848. Напряжение питания логических устройств – 2,5 В, для контактных площадок В/В требуется отдельный источник на 3,3 В. Потребляемая мощность FPGA снижена по сравнению с матрицами предыдущего поколения на 40 и 65%, соответственно.

Значительный рывок на пути совершенствования архитектуры матриц – FPGA серии Virtex, CLB которых содержит комбинацию из четырех четырехходовых LUT и четырех регистров. В микросхемах этой серии предусмотрены быстродействующие гибкие буферы

В/В, обеспечивающие и интерфейс с внешними СОЗУ и ДОЗУ. Сегодня на рынке представлены микросхемы второго поколения семейства – Virtex-E и Virtex-EM, предназначенные для высокопроизводительных сетевых коммутационных (со скоростью сетевой передачи до 160 Гбит/с) и видеографических систем. В этих FPGA структура логической ячейки первого поколения не изменена, но благодаря экспоненциальному увеличению числа вентиляей существенно расширен блок СОЗУ. Число логических ячеек в устройствах типа Virtex-E превышает 40 тыс. Блок В/В микросхем полностью совместим с PCI-интерфейсами (32/64 бит, 33/66 МГц) на 3,3 В. Напряжение питания логических вентиляей и ячеек памяти – 1,8 В. Схемы выполнены по 0,18-мкм КМОП-технологии с шестислойной металлизацией. В микросхемах семейства EM впервые в технологии FPGA для формирования двух верхних слоев металлизации применена медь. Каждая FPGA серии Virtex-E может быть реконфигурирована. Возможно и частичное реконфигурирование, то есть изменение части устройства при сохранении работоспособности остальной его части.

FPGA серии Virtex легли в основу усовершенствованных семейств Spartan II и Virtex II. В семейство Spartan II входят пять микросхем с числом используемых вентиляей 50 тыс.–300 тыс. (до ~7 тыс. логических ячеек). Микросхемы семейства имеют регулярную гибкую архитектуру с CLB, окруженными блоками ОЗУ (одно- или двухпортовых, емкостью до 64 Кбит) и программируемыми блоками В/В. Распределенные ОЗУ (емкостью до 96 Кбит) также могут быть одно- и двухпортовыми. Для исключения проблем расфазировки и задержки тактовых импульсов в каждом углу кристалла расположена система автоподстройки по задержке – DLL (рис.1). Микросхемы могут работать с 19 стандартами ввода/вывода (причем с некоторыми – одновременно) и совместимы с PCI-интерфейсом (64 бит/66 МГц) на 3,3 В. Они способны поддерживать работу системы на частоте выше 200 МГц. Выполнены микросхемы по 0,18-мкм КМОП-технологии с шестислойной металлизацией. Цена их – от 5,25 до 19,45 долл.

В микросхемах серии Virtex II предусмотрена возможность использования IP-блоков и заказных модулей. Предназначены они для формирования высокопроизводительных устройств телекоммуникационных систем, беспроводных и сетевых средств связи, видеоаппаратуры, аппаратуры цифровой обработки сигнала. В семейство входят 12 микросхем, выполняемых по 0,15-/0,12-мкм КМОП-технологии с восьмислойной металлизацией (в том числе и медной) и содержащих от 40 тыс. до 10 млн. вентиляей. В архитектуру микросхем (рис.2) помимо CLB с вновь удвоенным (до восьми) числом LUT и регистров входят 18-разрядный быстрый умножитель, выполняющий $6 \cdot 10^{11}$ восьмиразрядных операций умножения с накоплением в 1 с. Цена FPGA серии (за исключением микросхем с 8 и 10 млн. вентиляей) – 13,25–18,34 долл.

По правовым соображениям и в стремлении сохранить конкурентоспособность своих изделий фирма Altera никогда не называет выпускаемые ПЛИС FPGA, хотя весь мир и относит их к этому классу. Для этой фирмы характерно агрессивное уменьшение технологических норм и освоение технологии медной ме-

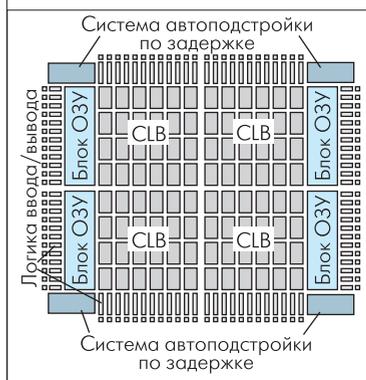


Рис.1. Базовая блок-схема FPGA семейства Spartan-IIЕ

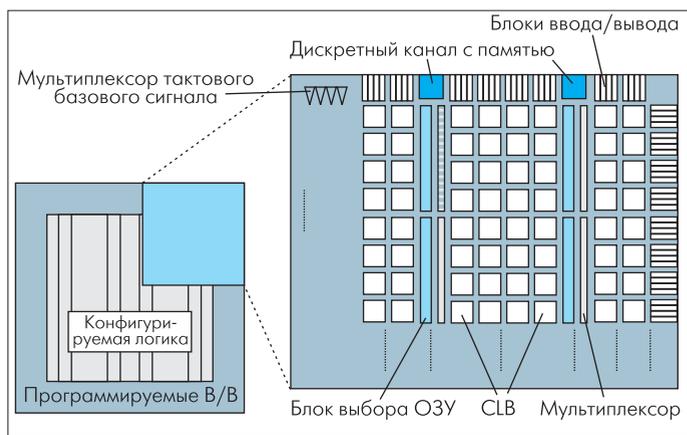


Рис.2. Архитектура FPGA семейства Virtex-II

таллизации при изготовлении так называемых "программируемых логических устройств на основе LUT". Свидетельство этому – семейство APEX 20K с числом используемых вентилях от 30 тыс. до более 1,5 млн. (113 тыс.–2,3 млн. системных вентилях). Особый интерес представляют микросхемы серии APEX 20KC, изготовленные по 0,15-мкм КМОП-технологии, восьмислойная металлизация которых впервые полностью выполнена на меди.

В MultiCore-архитектуре микросхем серии реализованы три типа функциональных блоков: LUT, блоки конъюнкции и улучшенные встроенные блоки памяти. Для конфигурации этих блоков предназначены 2048 программируемых элементов, входящих во встроенный системный блок (ESB) – "сердце" MultiCore архитектуры. Формируют архитектуру блоки логических матриц (LAB), каждая из которых содержит 20 логических элементов. С помощью локальных межсоединений 16 LAB объединяются с ESB в иерархическую структуру MegaLAB (рис.3). Такая архитектура позволяет упростить интеграцию сложных мегафункций и создание системы-на-программируемом-чипе.

В 3 квартале 2001 года были выпущены микросхемы семейства APEX II с числом логических элементов от 16,64 тыс. до 89,287 тыс. и объемом памяти, реализуемой в ESB, от 416К до 1,45 Мбит. Появление микросхем этого семейства – важный шаг на пути реализации устройств для оборудования средств связи со скоростью передачи 1 Гбит/с. В конце 2001 года TSMC поставила заказчиком 33 микросхемы семейства APEX II серии EP2A70, созданных совместно с Altera по 0,13-мкм технологии с полностью медной металлизацией.

Особый интерес вызывает предложенное фирмой Altera решение проблемы снижения затрат при освоении массового производства сложных устройств на базе FPGA. ПЛИС часто используются

для быстрого проектирования конструкций, считающихся слишком дорогими для освоения массового производства. Эти конструкции переносятся на ASIC на базе стандартных ячеек или вентилях матриц. Предложенная Altera технология HardCopy позволяет ускорить такой процесс переноса конструкции и удешевить затраты на освоение ее массового производства. Следует отметить, что фирма Xilinx в 1999 году отказалась от аналогичного подхода к созданию "защитных" схем – HardWire, сосредоточив усилия на снижении стоимости разрабатываемых FPGA. Xilinx объяснила это решение тем, что по мере увеличения сложности FPGA и использования в них не только логических элементов точно воспроизвести FPGA на вентилях матрицы или другом типе ASIC становится все труднее. Тем не менее, по мнению специалистов Altera, им удалось успешно решить эту задачу.

Программа HardCopy обеспечивает плавный переход к масочно-программируемым схемам при сохранении всей структуры устройства, за исключением схемы трассировки. Предусматривается применение шести слоев металлизации: четырех – для формирования конфигурации и соединений, двух – для распределения питания и размещения матрицы контактных столбиков. Благодаря относительно коротким межсоединениям и исключению избыточных соединений быстродействие ПЛИС может возрасти на 30% (хотя этот показатель зависит от конструкции). В варианте HardCopy используются встроенные средства самопроверки, цепи сканирования, генераторы автоматических программ тестирования. По завершении процесса трассировки тщательно проверяются временные соотношения и – в редких случаях отклонения от оригинала – проводится их корректировка. В результате переход от устройства

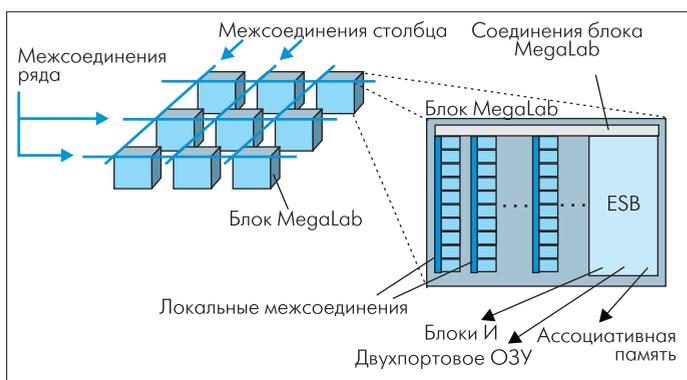


Рис.3. Структура MegaLAB-ячейки и соединений

на базе ПЛИС к ASIC и ее проверка занимает две-три недели, изготовление прототипа – около пяти недель, отладка прототипа – одну-две недели и освоение производства – восемь недель. Итого цикл преобразование программируемой матрицы в ASIC – освоение производства занимает 16–18 недель.

Метод HardCopy, по утверждению разработчиков, позволяет на 70% уменьшить площадь кристалла, занимаемую специализированной схемой, а следовательно, и ее стоимость. Если NRE при разработке ASIC с 0,13-мкм топологическими нормами и шестислойной металлизацией превышают 1 млн. долл., то для "жесткой копии" микросхем семейства APEX II они составляют не более 300 тыс. долл. Переход от ПЛИС к ASIC происходит без привлечения заказчика, и он не несет дополнительных расходов. Сейчас фирма готова предоставлять HardCopy варианты устройств на базе микросхем серий APEX 20KE, APEX 20KC, APEX II. Altera считает, что в последующие несколько лет на долю изделий HardCopy придется 10% ее доходов. Уже сегодня один из заказчиков таких изделий – фирма Extreme Networks – использует шесть масочно-программируемых ASIC на основе матриц APEX в новом коммутаторе.

В отличие от Xilinx и Altera, использующих для программирования данные, хранимые в СОЗУ, фирмы Actel и QuickLogic отдают предпочтение плавким антиперемычкам. Эта технология позволяет создавать низкоимпедансные межсоединения с малыми значениями паразитной емкости, т.е. позволяет увеличивать быстродействие и снижать потребляемую мощность, а также обеспечивает большую радиационную стойкость, чем другие методы конфигурирования. Конфигурацию программируемых антиперемычками FPGA почти невозможно изменить или клонировать. Продукция фирмы Actel включает FPGA на напряжение питания 3,3 В (серия SX), 2,5 В (Sx-A и eX) и 5 В (MX). В микросхемах семейства SX антиперемычки располагаются между слоями металлизации над логическими элементами, что позволяет эффективно использовать активную площадь кристалла (рис.4).

Из-за высокого напряжения, требуемого для конфигурирования FPGA с антиперемычками, программирование микросхем выполняется до монтажа на плату, и реконфигурация устройства невозможна. Actel решила эту проблему, приобретя компанию Gatefield и ее семейство микросхем ProASIC с встроенной флэш-памятью. Ядро прибора содержит так называемое море "плит", каждая из которых может быть конфигурирована как триггер, защелка или любой логический элемент на три входа/один выход (за исключением трехходового И). В начале 2002 года фирма объявила о выпуске второго поколения микросхем этого семейства – ProASICPLUS со 150 тыс.–1 млн. системных вентиляей и объемом ОЗУ 36К–198 Кбит. Их тактовая частота достигает 100 МГц. Ценность микросхем новой серии – в возможности применения как FPGA, так и ASIC-средств программирования, что откроет им доступ на рынки промышленных систем и систем средств связи. Сейчас поставляются схемы типа

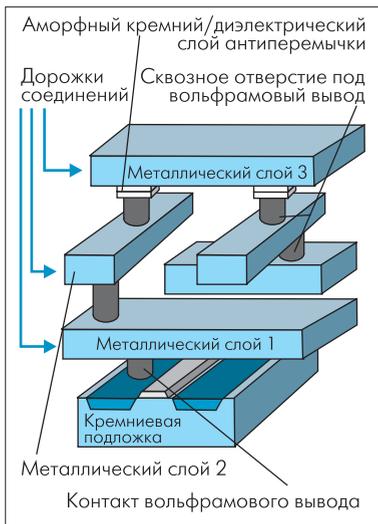


Рис.4. Расположение плавких антиперемычек в микросхеме семейства FPGA SX Блок-схема встроенного soft-процессора MicroBlaze

APA750 и APA1000 с 750 тыс. (цена 199 долл.) и 1 млн. (399 долл.) системных вентиляей, соответственно. Остальные микросхемы серии должны появиться во втором квартале этого года, и цена устройства со 150 тыс. вентиляей при закупке больших партий не превысит 20 долл.

FPGA фирмы QuickLogic программируются с помощью антиперемычек ViaLink, располагаемых над вентиляющей матрицей. Фирма активно разрабатывает FPGA с элементами ASIC. В ее семействах rASIC 2 и 3 используется логическая ячейка, содержащая два вентиля И на шесть входов, четыре вентиля И на два входа, несколько умножителей и триггер D-типа. Благодаря большому числу входов ячейки удается реализовать функции, требующие в других структурах нескольких логических ячеек, а множество выходов позволяет реализовывать в одной ячейке несвязанные логические функции и, тем самым, с максимальной эффективностью использовать площадь кристалла. FPGA семейства rASIC составили основу новых серий встраиваемых стандартных устройств (Embedded Standard Products – ESP) фирмы для волоконно-оптических сетей, в которых использованы встраиваемые блоки ОЗУ, PCI-ядра специализированных кодеров/декодеров, поддерживающих скорость передачи данных до 2,5 Гбит/с.

Рассматривая ситуацию на рынке FPGA, нельзя не обойти упоминавшуюся выше тенденцию к выпуску **изделий с встроенными процессорными ядрами** (своими или третьей стороны). Когда Xilinx приобрела лицензию на ядро PowerPC фирмы IBM, а Altera – на микропроцессорные ядра фирм ARM Holdings и MIPS Technologies, обозреватели одобрили эти действия, но высказали сомнения относительно возможности освоения в ближайшее время массового производства таких микросхем. Сейчас поставщики заявляют о применении логики с встроенными ядрами в сотнях конструкций. И к двум названным компаниям уже присоединилась QuickLogic. Xilinx и Altera, подтвердившие утверждение, что программные ядра появляются на рынке раньше аппаратных, первоначально использовали в качестве встраиваемых собственные soft-процессоры. Soft-устройство MicroBlaze фирмы Xilinx – 32-разрядный процессор с Гарвардской RISC-архитектурой, выполненной на базе 900 логических ячеек. Частота его превышает 125 МГц, т.е. быстродействие выше 82 Dhrystone Mips. В процессоре используется двухрядная шинная структура на базе "встроенной" шины Coreconnect фирмы IBM. Soft-процессор присоединен к локальной шине и к расположенной на чипе процессорной шине, к которой "повешены" периферийные устройства (рис.5).

Soft-ядро Nios фирмы Altera – RISC-процессор с конвейерной обработкой, выполняющий большинство команд за один тактовый цикл. В семейство входят устройства с 16- и 32-разрядной шиной (рис.6). В 2000 году фирма поставила заказчикам 2500 наборов инструментальных средств проектирования схем на базе FPGA со встроенным ядром Nios, а к концу 2001-го планировала обучить пользованию ими 3 тыс. заказчиков. В конце 2001 года Altera объявила о выпуске усовершенствованного ядра Nios v.2. Тактовая частота его увеличена с 33 до 80 МГц. Программные средства построения *системы-на-программируемом-чипе* Builder значительно упрощают задачу включения в систему на основе Nios v.2 дополнительных периферийных устройств. Ввод специальных команд в набор команд Nios v.2 ускоряет выполнение критичных ко времени алгоритмов и позволяет использовать их для решения сложных задач обработки. Набор специальных команд пользователя может адресовать внешние память и/или логические устройства.

В конце 2001 года фирма Xilinx планировала выпустить FPGA Virtex II Pro с встроенным аппаратным ядром PowerPC 405. FPGA

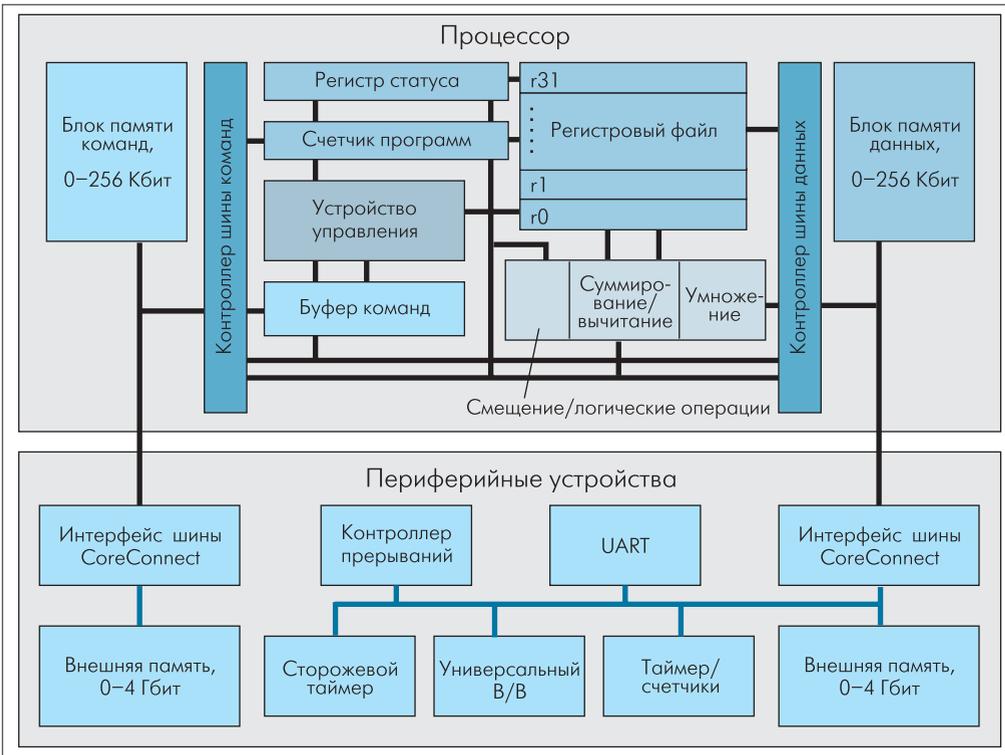


Рис.5. Блок-схема встроенного soft-процессора MicroBlaze

изготавливается по 0,13-мкм технологии с девятью уровнями медных межсоединений и диэлектриком с низким значением k . Тактовая частота процессора 300–400 МГц достаточна, чтобы обеспечить скорость передачи данных 6 Гбайт/с. Для достижения высокого быстродействия ядро PowerPC помещено в центре "ткани" матрицы, что потребовало изменения средств проектирования и структуры соединений. Xilinx работает с IBM по освоению в 2002 году 0,1-мкм технологии и включению в FPGA ядра 500-МГц PowerPC, а в 2003 году – 1-ГГц 64-разрядного RISC-процессорного ядра с 0,07-мкм проектными нормами. Фирма считает создание FPGA с встраиваемым аппаратным процессором одним из своих

наивысших технических достижений. В конце 2001 года к двум ведущим производителям, выпустившим FPGA со встроенными процессорными ядрами, присоединилась фирма QuickLogic, объявившая о начале поставок микросхем серии QuickMIPS с 457 тыс. системных вентилях на базе 32-разрядного ядра MIPS32 4Кс фирмы MIPS Technologies (рис.8). При выполнении ядра по 0,25-мкм технологии частота его составляет 133 МГц, при переходе к 0,15-мкм нормам она достигнет 175 МГц.

Основными конкурентами FPGA были и остаются ASIC. Каждая технология имеет свои сильные и слабые стороны. И как всегда, недостатки вытекают из достоинств. Так, в перспективных ре-

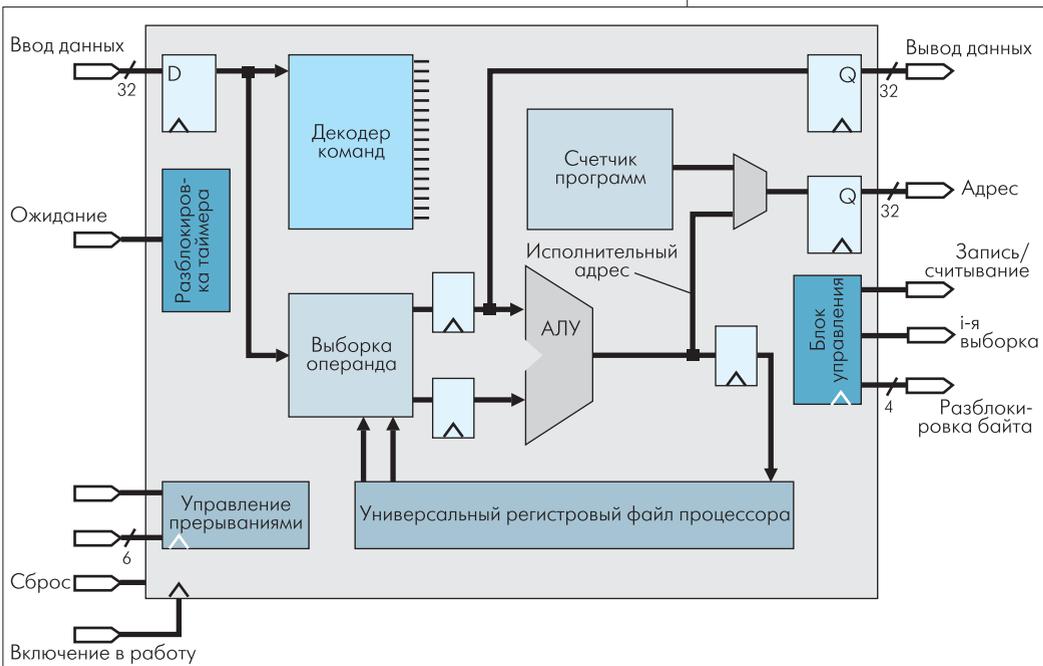


Рис.6. Блок-схема встроенного soft-процессора Nios (32-бит конфигурация)

конфигурируемых FPGA для эмуляции любой функции на три-четыре входа с помощью LUT необходимы данные, хранящиеся в ячейках СОЗУ (16 ячеек на четырехходовую LUT). В результате гибкость, обеспечиваемая эмуляцией, достигается за счет увеличения площади кристалла, а следовательно, и стоимости. С другой стороны, лучшие свойства ASIC могут стать их ахиллесовой пятой. Высокая плотность, быстродействие, малая потребляемая мощность этих микросхем позволяют реализовывать оптимизированные, точно отлаженные конструкции с большим числом работающих на высоких тактовых частотах вентилях и IP-блоков. А это приво-

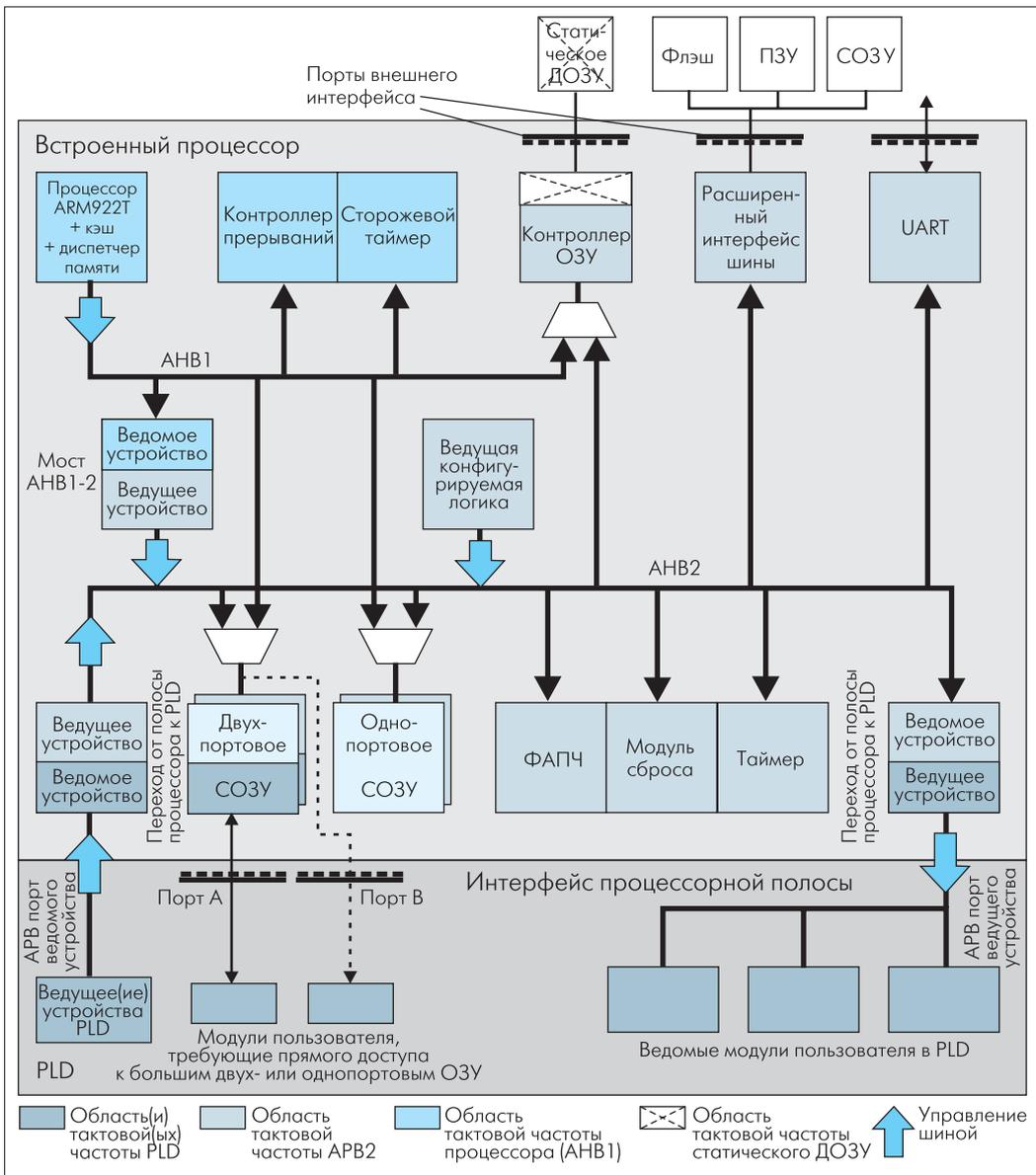


Рис.7. Архитектура системы на базе PLD с встроенным ARM-процессором

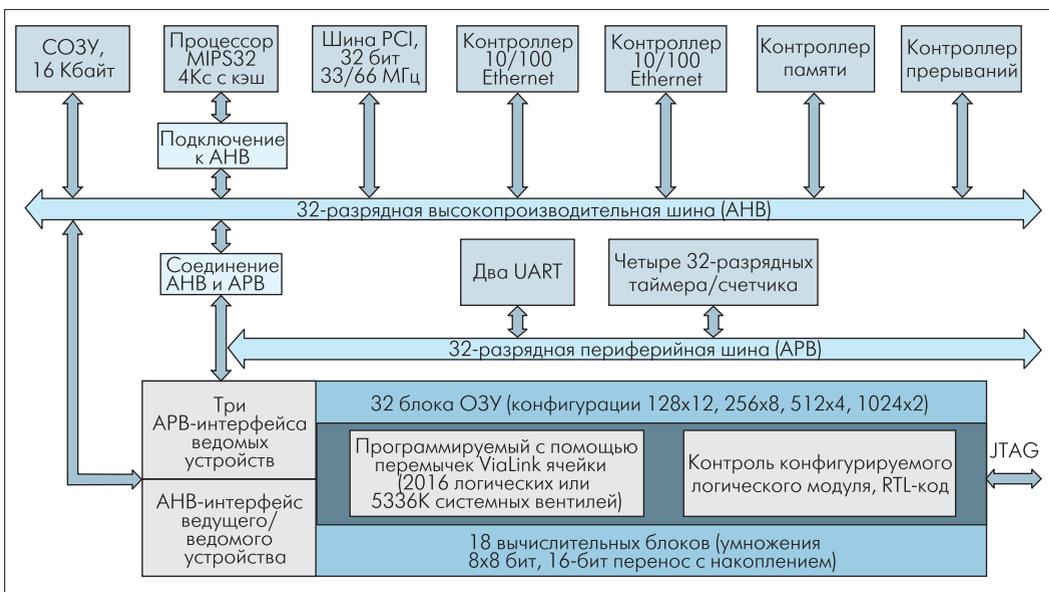


Рис.8. Блок-схема FPGA с встроенным процессором MIP32 4Кс

дит к увеличению цикла конструирования и затрат. Поставщики FPGA решают такие проблемы за счет использования встроенных аппаратных ядер, а поставщики ASIC – за счет применения реконфигурируемых логических ядер. Сойдутся ли эти технологии? Большинство экспертов считают это возможным, но результатом станет жесткая конкурентная борьба за рынок. Однако если внимательно приглядеться к ситуации, становится ясно, что такой сценарий нереален. Применение макросов встраиваемых аппаратных ядер все дальше уводит производителей от "чистых" FPGA. Битва грядет, но только это будет битва между поставщиками FPGA, стремящимися к созданию моделей, все больше сопоставимых с ASIC. Справедливость такого прогноза развития событий подтверждает жесткая гонка крупнейших поставщиков ПЛИС за лидерство на рынке ПЛИС с встроенными процессорными ядрами.

Другие типы ПЛИС будут рассмотрены в следующем номере журнала.

ЛИТЕРАТУРА

ASIC Industry Trends. – IC Insights, Inc. 2000.
 ASIC Markets. Status 2000. – Integrated Circuit Engineering Corporation.
 Programmable logic directory. – EDN-8/30/01.
 EBN, 2001, Oct.15.,
 EE Times, 2001, Oct.16.
 www.eetimes.com/story/OEG20011010S0061.
 www.siliconstrategies.com/story/OEG20011008S0065.
 Electronic News Online, 10/8/01.
 Electronic News, 9/3/01.
 Electronic Business Asia, 2001, Feb.
 www.vcc.com/fpga.html.
 Electronic Buyers' News, 2000, July 25.