

FRACTIONAL-N СИНТЕЗАТОРЫ

Когда часть лучше целого

Схемы фазовой автоподстройки частоты (ФАПЧ) известны достаточно давно. Однако сравнительно недавно появились выпускаемые в массовом производстве ИС, способные работать в высокочастотной области и обеспечивающие перестройку частоты с малым шагом в широкой полосе. Основные достоинства современных ИС с ФАПЧ – малые размеры, потребляемая мощность и фазовый шум, высокие частотное разрешение и скорость настройки, достаточно низкая стоимость – делают их незаменимыми в миниатюрных трансиверах, сотовых телефонах, терминалах спутниковой связи. Без подобных схем невозможно представить не только завтра, но и сегодня телекоммуникационных систем, в первую очередь – систем персональной радиосвязи.

ФАПЧ-СИНТЕЗАТОР

Синтезаторы частоты – устройства, способные генерировать различные частоты в заданном диапазоне в соответствии с сигналом управления (как правило, цифровым) – неотъемлемая часть современной связной аппаратуры, включая абонентские устройства сотовой связи. Принципы их построения могут быть различными, но в современных ВЧ-системах наиболее распространены синтезаторы с фазовой автоподстройкой частоты (ФАПЧ). Они относительно молоды – их "зрелость" наступила лет десять назад, чему немало способствовала возможность реализации функций ФАПЧ на базе ИС.

Как устроен ФАПЧ-синтезатор? Сигнал частоты F_r , как правило, преобразованный предварительным делителем опорный сигнал кварцевого термостабилизированного генератора (F_x), поступает на один из двух входов основного элемента ФАПЧ-синтезатора – частотно-фазового детектора (ЧФД) (рис.1). Назначение ЧФД – задание режима работы генератора, управляемого напряжением (ГУН), который, собственно, и генерирует выходной сигнал требуемой частоты $F_{ГУН}$. Сигнал с выхода ГУН через цепь обратной связи (тракт ГУН'а) после делителя с целочисленным коэффициентом деления N поступает на второй вход ЧФД, содержащий источник тока, управляющий ГУН. ЧФД включает источник тока в момент прихода восходящего фронта сигнала на частоте F_r и выключает его при появлении восходящего фронта сигнала $F_{ГУН}$. Если частоты входных сигналов ЧФД не одинаковы, сигналы приходят в различных фазах, и длительность токовых импульсов будет пропорциональна разности фаз (рис.2). Импульсы с выхода ЧФД поступают на ФНЧ, выполняющий функцию интегратора, сигнал которого и управляет ГУН. Таким образом, частота ГУН будет перестраиваться до тех пор, пока $F_{ГУН}/N$ не станет равной F_r . В результате при опреде-



В.Майская

ленным коэффициенте N (его значение задается извне) $F_{ГУН} = NF_r$. Так происходит управление частотой. Как правило, источник сигнала, ФНЧ и ГУН – внешние компоненты схемы ФАПЧ-синтезатора, а микросхема синтезатора объединяет ЧФД, источники тока и управляемые (программируемые) делители.

Основные параметры ФАПЧ-синтезатора – частотный диапазон (полоса перестройки), шаг перестройки (или частотное разрешение), фазовый шум, уровень побочных составляющих сигнала и скорость переключения частоты. Полоса перестройки большинства систем сотовой связи 900-МГц диапазона составляет 25–30 МГц. Поскольку $F_{ГУН} = NF_r$, частотное разрешение, или наименьшее допустимое приращение частоты (шаг) для ФАПЧ-синтезаторов, равно F_r , в данном случае 25–30 МГц.

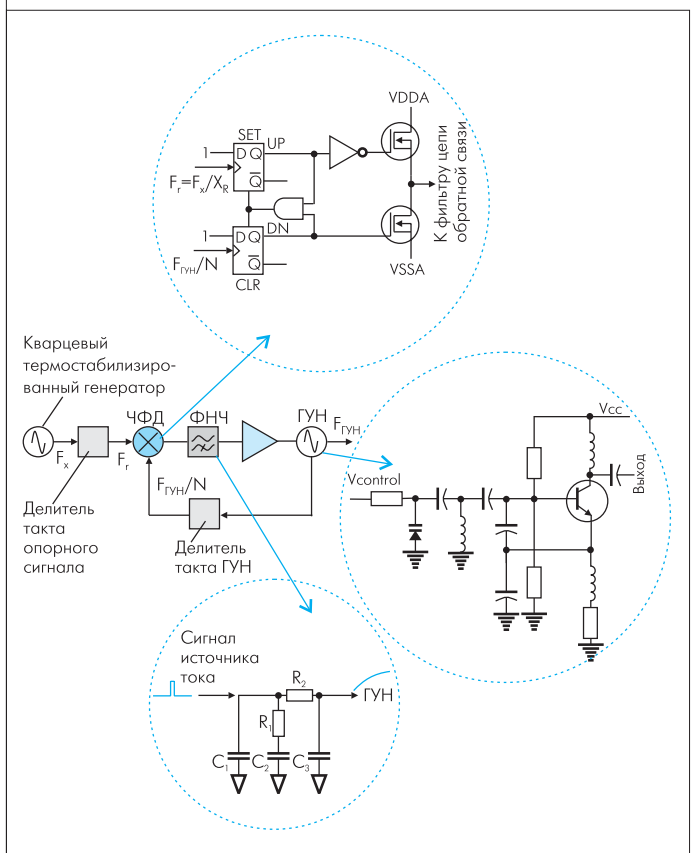


Рис.1. Блок-схема ФАПЧ-синтезатора

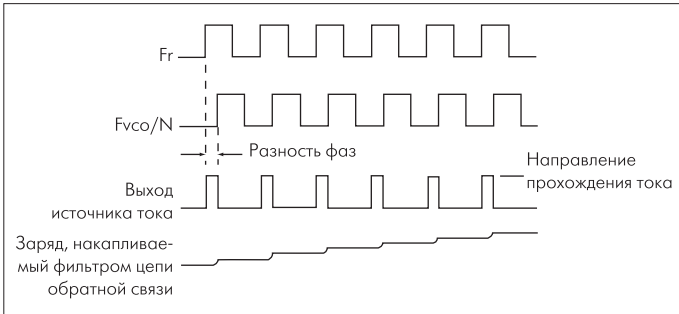


Рис.2. Форма импульсов на выходе ЧФД при $F_{ГУН}/N < F_r$

Самый критичный параметр ФАПЧ-системы – фазовый шум, характеризующий качество сигнала. Фазовый шум связан с девиацией частоты ГУН и вызванным ею разбросом фазы сигнала. Этот параметр особенно важен в современных приемопередающих системах с модуляцией посредством изменения фазы (PSK), например в GSM с GFSK-модуляцией. Уровень фазового шума – величина, показывающая, насколько быстро убывает мощность сигнала со смещением частоты (крутизна огибающей спектра выходного сигнала, а реальный выходной сигнал ГУН – не всегда чистая синусоида). Фазовый шум вычисляется как отношение мощности сигнала в полосе 1 Гц, отстоящей от несущей частоты на заданное смещение (для ФАПЧ-синтезаторов обычно 1 кГц), к мощности сигнала в той же 1-Гц полосе на частоте самой несущей. Он измеряется в дБс/Гц, где дБс – уровень мощности относительно центральной частоты несущей.

Чем ниже фазовый шум, тем меньше фазовая ошибка при умножении частоты модулирующего сигнала в приемопередающей аппаратуре и тем больше у разработчиков возможности увеличить допуск на линейность усилителя мощности – самого сложного с точки зрения проектирования блока в приемном тракте систем связи. Фазовый шум существенно влияет и на избирательность приемника. Основные источники фазового шума – ЧФД и делитель в цепи обратной связи. С ростом N фазовый шум ФАПЧ-синтезаторов с цифровыми делителями частоты увеличивается на $20\log(N)$ дБ. Это значит, что при коэффициенте умножения 30000 (типичное значение для ФАПЧ-синтезаторов, используемых в приемопередатчиках сотовых систем 900-МГц диапазона с частотой разделения каналов 30 кГц) шум фазового детектора увеличится на ~90 дБ. Отсюда следует, что частота F_r на входе ЧФД должна быть как можно выше с тем, чтобы коэффициент N был достаточно мал. Но при целочисленном N частота F_r не может быть больше шага перестройки частоты, т.е. N – отношение рабочей частоты к шагу перестройки – фиксировано и, как правило, достаточно велико.

Решить эту проблему удалось с помощью так называемых fractional-N синтезаторов (синтезаторов с дробным значением коэффициента деления N). Например, при выходной частоте ГУН 960 МГц и частоте ЧФД $F_r = 0,48$ МГц, $N = 2000$, т.е. $F_{ГУН} = 2000 \cdot 0,48 = 960$ МГц. Чтобы обеспечить разрешение 30 кГц, т.е. перестроиться на частоту 960,03 МГц, частоту ГУН нужно делить на коэффициент 2000,0625, что в 16 раз меньше, чем было бы необходимо при целочисленном N и меньшем значении F_r .

Снижение фазового шума – основная, но не единственная проблема, решаемая fractional-N синтезаторами. ЧФД – цифровая схема, генерирующая при работе импульсные помехи, которые накладываются на управляющее напряжение ГУН и проявляются в виде побочных составляющих его выходного сигнала. Эти помехи подавляются ФНЧ, ширина полосы пропускания которого должна быть не менее чем на порядок меньше частоты F_r . Но чем ниже верхняя ча-

стота ФНЧ, тем больше его постоянная задержки ($t = RC$). В результате возрастает время перестройки частоты. Это весьма критично для получивших широкое распространение систем, в частности сотовых, со скачкообразным изменением частоты. И сегодня по этому параметру практически ни один ФАПЧ-синтезатор, работающий с целочисленным коэффициентом деления (integer-N-синтезатор), не отвечает требованиям стандартов GSM. Для решения этой проблемы в базовых станциях GSM-связи используются два ФАПЧ-устройства: пока один синтезирует требуемую частоту, второй переходит на следующий канал. Но это, конечно, усложняет схему.

Fractional-N синтезаторы позволяют увеличить скорость настройки и ширину полосы цепи обратной связи и тем самым устранить конфликт между желанием увеличить F_r и уменьшить N при сохранении малого времени захвата новой частоты. Скажем, для fractional-N синтезатора при частоте ЧФД $F_r = 20$ МГц и разрешении 30 кГц время настройки на новый канал не превышает 30 мкс.

FRACTIONAL-N СИНТЕЗАТОРЫ

Принципы построения fractional-N синтезаторов частоты были предложены еще в начале 70-х годов разработчиками фирм Hewlett-Packard (США) и Racal Communications Equipment (Великобритания), а первые коммерческие системы этого типа были выпущены компанией Marconi Instruments (Великобритания) в 1989 году. Как было показано, если задать дробный коэффициент деления, частотное разрешение (разнесение каналов) может составлять часть частоты F_r , т.е. F_r может быть больше разнесения каналов, а общий коэффициент деления и, следовательно, фазовый шум уменьшен. Конечно, непосредственно реализовать дробный коэффициент деления нельзя. Но получить среднее значение дробного коэффициента цифровыми методами достаточно просто. Для этого коэффициент делителя в цепи обратной связи должен "переключаться" между значениями N и $N+1$ так, чтобы на некотором интервале средний коэффициент N^* был дробным. Например, если в одном такте делить на 2, в другом – на 3, средний коэффициент за два такта составит 2,5.

Пусть период усреднения составляет F тактов сигнала с опорной частотой ЧФД F_r . Тогда, чтобы получить дробный коэффициент N^* , на K тактах коэффициент деления должен быть равен $N+1$ и на остальных $F-K$ тактах – N , при этом F и K должны быть выбраны так, чтобы $N^* = \{(N+1)K + N(F-K)\} / F = N + K/F$. В этом случае частота сигнала на выходе синтезатора $F_{ГУН} = F_r N^* = F_r (N + K/F)$. Например, в приведенном выше примере для случая перестройки с частоты 960 МГц на 960,03 МГц при $F_r = 0,48$ МГц средний коэффициент деления должен составить $960,03/0,48 = 2000,0625$. Он равен $(15 \cdot 2000 + 1 \cdot 2001) / 16$, т.е. на цикле усреднения F в 16 тактов коэффициент делителя один раз ($K=1$) будет равен 2001 и 15 раз – 2000.

Как это реализуется аппаратно? Рассмотрим устройство делителей ФАПЧ-синтезаторов. Современные цифровые делители, как в integer-N, так и fractional-N синтезаторах, как правило, построены на базе двухмодульных (с двойным целочисленным значением коэффициента деления – $P/P+1$) предварительных делителей частоты (прескалеров) в сочетании со счетчиками (рис.3). Значения $P/P+1$ жестко заданы (16/17, 32/33 и т.д.). Фактически цифровой делитель частоты на N – это счетчик до N , поэтому N можно представить в виде суммы $A(P+1) + BP$, где A и B – целочисленные коэффициенты. Нетрудно показать, что, начиная с $N_0 = P^2 - P$ можно получить непрерывную последовательность коэффициентов N (так, что $N_{i+1} = N_i + 1$). Применение двухмодульного делителя означает, что в течение одного такта опорной частоты F_r сигнал $F_{ГУН}$ A раз так-

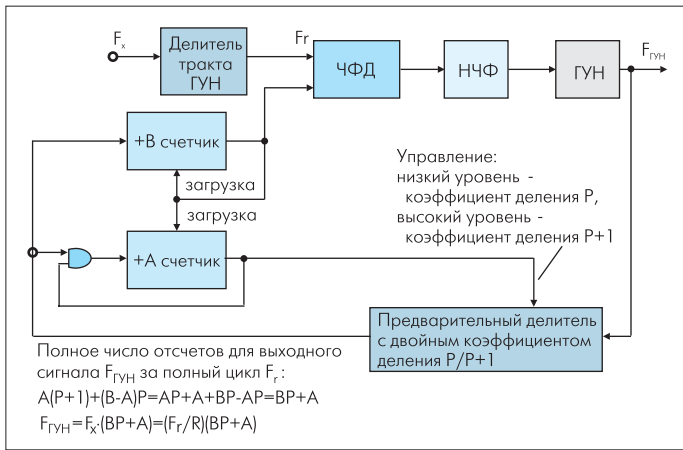


Рис.3. Предварительный двухмодульный делитель частоты

тирует счетчик до $P+1$ и B раз – до P . Например, деление на 960 эквивалентно делению 60 раз на 16; деление на 961 – 59 раз на 16 и 1 раз на 17. Двухмодульные делители служат для уменьшения разрядности счетчиков при больших коэффициентах деления. Если их недостаточно, используют и трехмодульные делители ($P/P+1/P+R$).

Описанной схемы делителя достаточно для целочисленного ФАПЧ-синтезатора. В fractional-N синтезаторах, дробный коэффициент деления которых $N^* = N + K/F$, появляется дополнительный элемент – аккумулятор. На каждом такте F_r он увеличивает свое содержимое на K/F – дробную часть N^* . Когда его содержимое становится ≥ 1 , он выдает сигнал переполнения, сохраняя остаток. По этому сигналу коэффициент делителя в цепи обратной связи изменяется с N на $N+1$. Схематически аккумулятор представляет собой программируемый счетчик до F , увеличивающий свое содержимое на каждом такте на K и выдающий сигнал переполнения (рис.4). В результате K раз за F тактов сигнал $F_{гн}$ делится на $N+1$, и $F-K$ раз – на N . При использовании двухмодульных делителей это означает, что K раз за F тактов значение коэффициента A увеличивается на единицу (соответственно, значение B уменьшается на единицу).

Но за улучшение частотного разрешения, достигаемого с помощью fractional-N синтезатора, как и за все в жизни, приходится платить. Мгновенное значение частоты ГУН в fractional-N синтезаторе практически никогда точно не соответствует требуемому значению $F_{гн} = N^* F_r$. В цикле усреднения на каждом такте сигнала F_r между требуемым $F_{гн}$ и реальным значением частоты на выходе ГУН возникает фазовая ошибка. Эта ошибка возрастает в течение цикла ус-

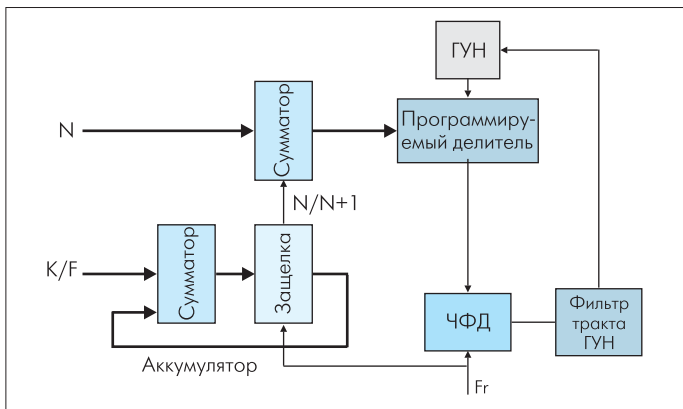


Рис.4. Блок-схема fractional-N синтезатора

реднения и обнуляется в его конце при переполнении аккумулятора (фактически не обнуляется, а достигает 360°). Относительно высокий уровень фазового дрожания – основной недостаток fractional-N синтезаторов. Он приводит к появлению паразитного сигнала с частотой F_r/F . В передатчиках это может вызвать помехи в системе связи или в другой системе, работающей на близкой частоте.

Конечно, если полоса пропускания в цепи обратной связи существенно меньше F_r/F , фазовое дрожание легко фильтруется. Правда, как отмечалось выше, сужение полосы петли обратной связи приводит к увеличению времени перестройки синтезатора. Но и эту проблему можно решить с помощью различных как аналоговых, так и цифровых методов подавления фазового дрожания.

Аналоговый метод компенсации основан на том факте, что фазовая ошибка пропорциональна содержимому аккумулятора i и в общем случае равна $i \cdot 2\pi/F$. Следовательно, значение аккумулятора можно использовать для коррекции частоты сигнала ГУН путем дополнительной модуляции токовых импульсов на выходе ЧФД. Для этого к выходу аккумулятора подключается ЦАП, аналоговый сигнал которого модулирует сигнал источника тока ЧФД, снижая тем самым уровень фазового дрожания. Таким образом, аккумулятор содержит информацию, необходимую для компенсации фазового дрожания. При этом степень компенсации зависит лишь от точности аналогового устройства компенсации.

Аналоговый принцип подавления фазового дрожания использован в fractional-N/integer-N синтезаторе типа TRF2056 фирмы Texas Instruments, предназначенном для беспроводных систем связи. Он выполняет все функции, необходимые для управления частотой сигнала ГУН в ФАПЧ-системе синтеза частоты. Основной fractional-N тракт предназначен для синтеза ВЧ-сигналов, вспомогательный integer-N – для синтеза сигналов ПЧ (рис.5). Синтезатор может работать в двух режимах – эмуляции fractional-N синтезатора типа SA7025 фирмы Philips Semiconductor (взятого за основу устройства) и в расширенном режиме работы (Extended Performance Mode – EPM), позволяющем вводить программируемые значения целочисленной части дробного коэффициента деления от 1 до 16 (против только 5 или 8 для синтезатора SA7025). Синтезатор рассчитан на работу на частоте 1,2 ГГц.

Максимальное подавление фазового дрожания, достигаемое аналоговым методом компенсации, не превышает -40 дБс. Кроме того, аналоговые компоненты в схеме корректировки, помимо недостаточно высокой степени компенсации фазового дрожания, усложняют проектирование синтезатора. Существует и проблема старения компонентов. К тому же аналоговые схемы коррекции снижают быстродействие ЧФД.

Таким образом, идеальный fractional-N синтезатор должен обходиться без каких-либо аналоговых элементов компенсации. И эта трудная задача была решена в начале 80-х годов. Собственно, было предложено несколько способов цифровой коррекции фазовой ошибки. Все они в итоге сводятся к переносу низкочастотного паразитного сигнала в высокочастотную область с тем, чтобы его можно было легко отфильтровать широкополосным НЧ-фильтром. Один из возможных способов цифровой коррекции предусматривает применение не одного, а нескольких одинаковых аккумуляторов, соединенных так, чтобы значение предыдущего подавалось на вход последующего (рис.6а). Схемы суммирования аккумуляторов тактируются одновременно (с частотой F_r). Выходы переполнения аккумуляторов суммируются в сумматоре по определенному закону. Так, при переполнении первый аккумулятор срабатывает так же, как и аккумулятор обычного fractional-N синтезатора, меняя коэффициент деления с N на $N+1$ и обратно. При переполнении второго

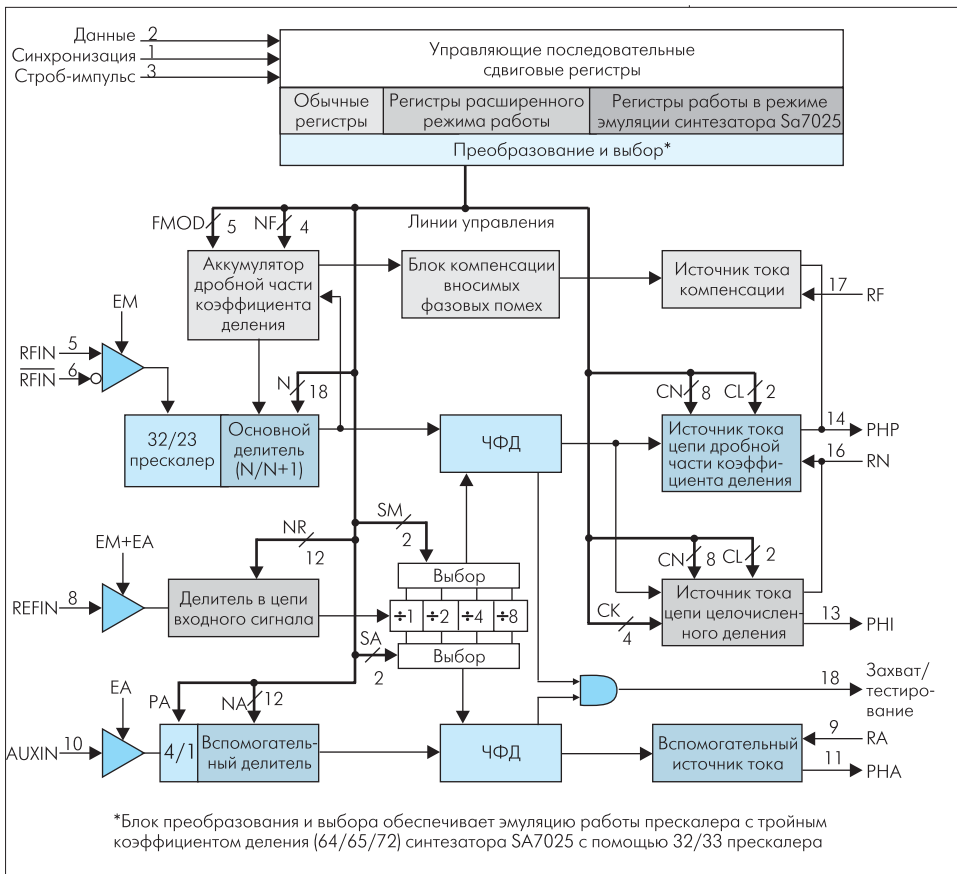


Рис.5. Функциональная блок-схема fractional-N/integer-N синтезатора типа TRF2056 фирмы Texas Instruments

аккумулятора генерируется последовательность коэффициентов $N \rightarrow N+1 \rightarrow N-1 \rightarrow N$, третьего — $N \rightarrow N+1 \rightarrow N-2 \rightarrow N+1 \rightarrow N$. Для четвертого устанавливается последовательность $N \rightarrow N+1 \rightarrow N-3 \rightarrow N+3 \rightarrow N-1 \rightarrow N$. В целом эти последовательности соответствуют так называемому треугольнику Паскаля (рис.6б), основное свойство которого — сумма цифр каждого ряда, начиная со второго, равна нулю. Поскольку к содержимому второго аккумулятора в каждом такте прибавляется содержимое первого, он переполняется чаще, чем K раз. Соответственно, третий аккумулятор переполняется чаще второго и т.д. В результате в каждом цикле усреднения сумма последовательных коэффициентов всех аккумуляторов, кроме первого, равна нулю. Таким образом, они не влияют на конечную величину коэффициента деления. Однако частота паразитного сигнала, вызванного фазовой ошибкой, оказывается существенно выше, чем при использовании одного аккумулятора — управляющая коэффициентом деления последовательность фактически оказывается умноженной на некоторую псевдослучайную последовательность (ПСП) со средним значением, равным нулю. На практике для снижения фазового дрожания до приемлемого уровня оказывается достаточно трех аккумуляторов.

Сегодня наибольшее распространение получили схемы цифровой коррекции, основанные на сходном принципе и использующие $\Sigma\Delta$ -модуляторы. Так, $\Sigma\Delta$ -модулятор третьего порядка применен в **fractional-N синтезаторе серии FN 3000xxx-xxx фирмы Synergy Microwave (SMC)** (рис.7). В ИС этого семейства, основное назначение которого — маломощные генераторы сигналов, входит и маломощный ГУН на основе транзисторного генератора и керамического резонатора с высокой добротностью. Синтезатор рассчитан на частоту 0,1–3 ГГц при ширине полосы перестройки 20–300 МГц. Шаг перестройки частоты — от 1 кГц до 1 МГц. Типич-

ное значение частоты сигнала на входе ЧФД — 120 МГц, а минимальный уровень фазового шума не превышает -160 дБм. Время захвата новой частоты не более 10 мкс.

Для применений, где требуется чрезвычайно низкий фазовый шум, в микросхеме предусмотрен высоковольтный (28 В) источник, позволяющий присоединять ГУН с улучшенными шумовыми характеристиками. Кроме того, некоторые типы синтезаторов серии позволяют работать с опорной частотой ЧФД 80–130 МГц.

Появление полностью цифровых fractional-N синтезаторов позволит создать системы, не отличающиеся по своим характеристикам от целочисленных устройств, но способные работать с более высокими опорными частотами. Свидетельство этому — выпущенный в начале 2002 года **fractional-N/integer-N синтезатор частоты SA8028 фирмы Philips Semiconductor** — одного из ведущих производителей ФАПЧ-синтезаторов. Синтезатор последнего, восьмого, семейства (рис.8) рассчитан на рабочую частоту до 2,5 ГГц, его фазовый шум на частоте, отстоящей от центральной частоты ГУН (952,6 МГц) на 20 кГц, составляет -103 дБс. Деление на дробный коэффициент обеспечивает $\Sigma\Delta$ -модулятор второго порядка. Следует учесть, что столь высокие характеристики накладывают определенные ограничения при выборе внешних схем стабилизатора, в первую очередь кварцевого генератора частоты и ГУН. Частота внешнего генератора опорного сигнала — 19,44 МГц. Делитель integer-N секции ПЧ состоит из биполярного программируемого прескалера и КМОП-счетчика. Коэффициенты его деления могут

захват/тестирование

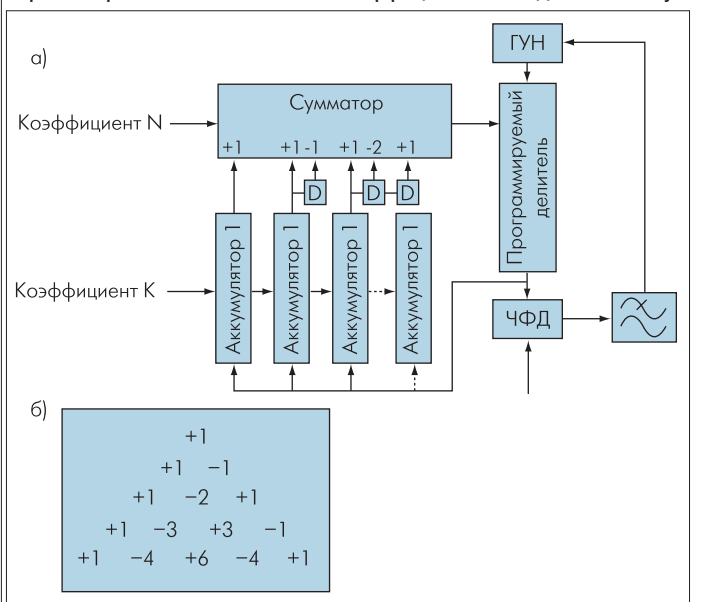


Рис.6. Fractional-N синтезатор с цифровой коррекцией: а) блок-схема; б) треугольник Паскаля, образованный изменяемыми коэффициентами деления аккумуляторов

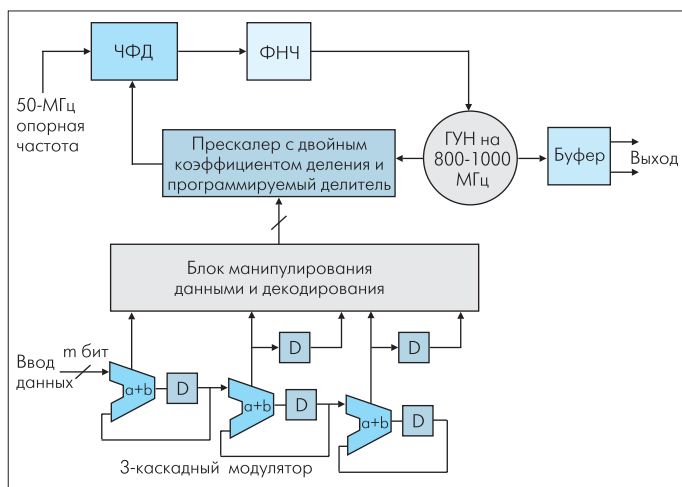


Рис.7. Блок-схема fractional-N синтезатора серии FN 3000xxx-xxx фирмы SMC

изменяться в пределах от 128 до 16383. Целочисленное значение коэффициента делителя fractional-N секции может изменяться в пределах от 33 до 509. Возможная длина основания дробной части коэффициента делителя – 22 бит, что при опорной частоте на входе ЧФД 20 МГц обеспечивает частотное разрешение $20 \text{ МГц}/2^{23} \approx 2,5 \text{ Гц}$ (значение К задают 23 бита, значение младшего всегда 1), благодаря чему синтезатор SA8028 может поддерживать практически любые частотные планы системы связи. На базе одной такой схемы можно реализовать и многомодовую систему связи. Синтезатор рассчитан на применение в цифровых беспроводных системах связи третьего поколения. Улучшение фазового шума при достаточно высокой частоте ЧФД требует применения в фильтре це-

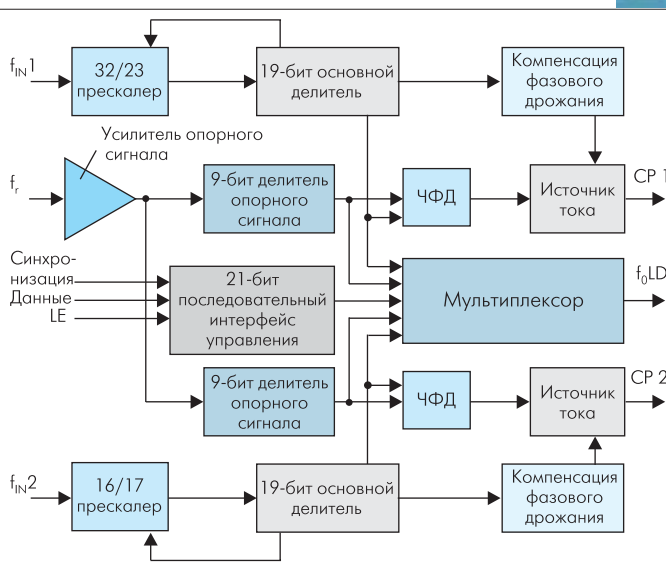


Рис.9. Блок-схема fractional-N синтезатора типа PE3291

пи обратной связи конденсатора относительно большой емкости (обычно несколько сот пикофарад). А это приводит к увеличению времени зарядки и, следовательно, и к увеличению времени захвата частоты. В SA8028 проблема решена за счет предварительной зарядки конденсатора. Например, при полосе пропускания ФНЧ 3 кГц и емкости конденсатора 330 нФ предварительная зарядка уменьшает время релаксации с 4,5 мс до 270 мкс – почти в 17 раз. Средняя потребляемая мощность синтезатора SA8028 – 21,3 мВт. Он выпускается в 24-выводном корпусе ВСС-типа размером 4x4 мм.

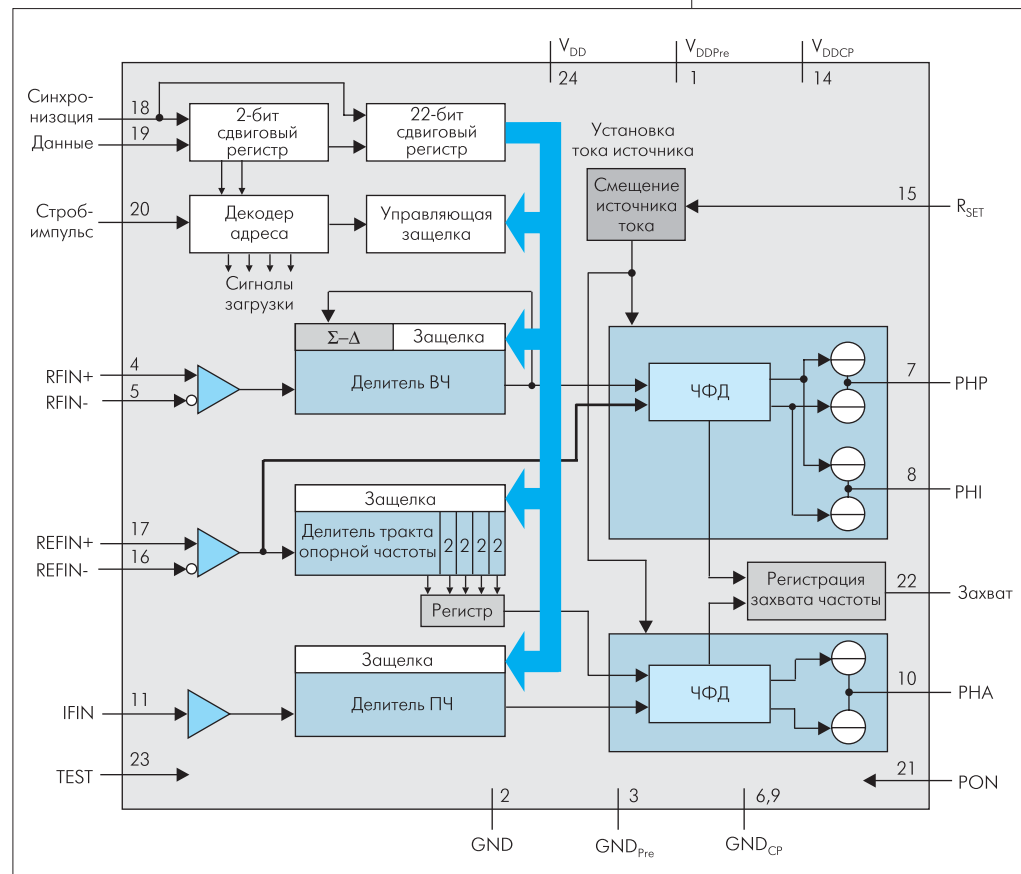


Рис.8. Блок-схема fractional-N/integer-N синтезатора на 2,5 ГГц/760-МГц типа SA8028 фирмы Philips Semiconductor

Отметим и двоякий fractional-N FlexiPower синтезатор относительно новой (образованной в 1990 году) фирмы Peregrine Semiconductor, специализирующейся в области разработки и производства высокоскоростных микросхем для широкополосных волоконно-оптических, беспроводных и спутниковых систем связи. Два контура дробного деления микросхемы типа PE3291 с 32/33 и 16/17 прескалерами работают на частотах 1,2 ГГц и 500 МГц, соответственно (рис.9). Данные передаются синтезатору через трехпроводный интерфейс. Напряжение питания ЧФД и источника тока – 2,7–3,6 В, прескалеров – 0,8 В–3,6 В (последнее обеспечивается за счет переключения на встроенный источник питания на 3,6 В). Благодаря такой системе фирме удалось значительно уменьшить потребляемую синтезатором мощность: при работе в диапазоне 950 МГц общий потребляемый ток равен 2,1 мА. Все это делает микросхему весьма перспективной для

применения в базовых станциях и телефонных трубках сотовых систем CDMA-формата, в аналоговых беспроводных телефонных трубках и пейджерах с одно- и двухсторонней связью. Для получения оптимальных значений фазового дрожания и времени захвата частоты в ФНЧ рекомендуется использовать полиэфировые или полипропиленовые конденсаторы.

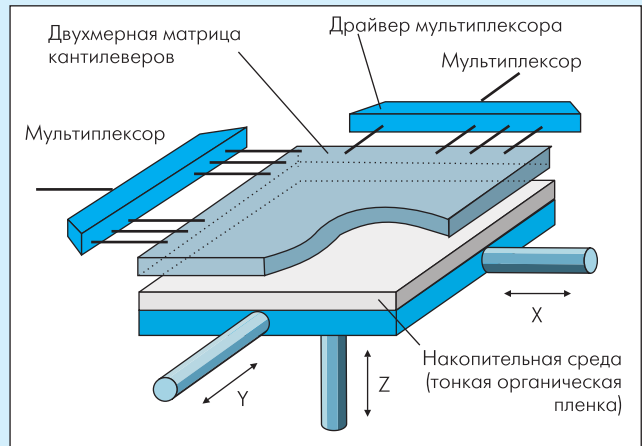
Изготовлен синтезатор по запатентованной фирмой UTSi-технологии (осаждения сверхтонких кремниевых пленок на изолирующую подложку). Монтируется в 20-выводной корпус типа TSSOP или 24-выводной BCC-корпус.

Таким образом, можно утверждать, что fractional-N ФАПЧ-синтезаторы пережили свои детские болезни, превратившись в удобный инструмент для разработчиков РЭА. Работы по их совершенствованию не прекращаются, и они получают все более широкое распространение.

Память емкостью 1 Тбит на 1 кв.дюйм

Успехи МЭМС и нанотехнологии

Память с самой высокой на сегодняшний день плотностью записи данных – 1 Тбит (10^{15} бит) – разработали ученые Исследовательской лаборатории фирмы IBM в Цюрихе. Память, названная разработчиками "многоножкой", состоит из активного полимерного слоя, осажденного поверх кремниевой МЭМС. Над этим "столом" размещается двухмерная матрица из 1024 (32x32) V-образных кантилеверов длиной 70 мкм и толщиной около 0,5 мкм (см. рис.). Каждый кан-



тилевер, заканчивающийся смотрящим вниз острием длиной менее 2 мкм, адресуются индивидуально. При адресации острие контактирует со "столом", выполняя операцию считывания, записи, стирания или перезаписи. С помощью электромагнитного актюатора стол перемещается в плоскости XY относительно острия. Каждое острие может считывать или записывать данные на поле со стороны квадрата около 100 мкм, формируя 10-нм углубления в полимерной пленке.

По утверждению участника проекта создания такой "многоножки" лауреата Нобелевской премии Герда Биннинга, новая технология позволит увеличить плотность записи информации в тысячу раз: в ближайшее время объем флэш-памяти не превысит 1–2 Гбайт, тогда как емкость приборов-"многоножек" аналогичного размера может составить 10–15 Гбайт. При этом потребляемая ими мощность будет меньше, чем у традиционных схем памяти.

Для подтверждения возможностей новой технологии в лаборатории создан чип памяти размером 3x3 мм с плотностью записи информации 200 Гбит на 1 кв.дюйм.

Ученые изучают возможности применения предложенного принципа построения накопителя для получения микроскопического изображения, в литографии наноуровня, для манипуляции атомами и молекулами.

Electronic Design, Aug.5, 2002.

Модуль энергонезависимого СОЗУ

Фирма Innovative Microdevices выпустила модуль энергонезависимого СОЗУ с организацией 1024Kx8 бит типа IM1265. Модуль поставляется со встроенной миниатюрной литиевой батареей, обеспечивающей сохранение данных в случае отключения основного питания. По своим характеристикам новый модуль памяти сопоставим с обычными КМОП-микросхемами СОЗУ. При этом его срок хранения данных превышает 10 лет. Он не требует применения дополнительных схем для интерфейса с микропроцессором. Диапазон рабочих температур модуля -10 ...+85°C. Фирма предлагает варианты памяти на напряжение питания 5 и 3,3 В и с временем выборки 85 и 100 нс. Модули памяти собраны в 36-выводной монтируемый на поверхность корпус или в корпус DIP-типа.