

# МЕЖДУНАРОДНАЯ КОНФЕРЕНЦИЯ ISSCC 2011 ОТ МИКРОСХЕМ БОЛЬШИХ ОБЪЕМОВ ДО ИМПЛАНТИРУЕМЫХ УСТРОЙСТВ

## ЧАСТЬ 2

М. Гольцова

По широте охвата новых направлений конференция ISSCC 2011, названная "Полупроводниковой Олимпиадой", оказалась рекордной. Никогда еще в рамках одной площадки не было представлено так много готовых к внедрению новейших технологий, включая новые типы энергонезависимой памяти, преобразователей изображения, МЭМС, устройств аккумуляции энергии. Разработчики сообщали и демонстрировали готовые к коммерческому внедрению приборы, а не теоретические выкладки с обещанием "счастья" в далеком или не столь далеком будущем. И, конечно, не был обойден вопрос: что ждет промышленность после 20/22 нм?

### СХЕМЫ ПАМЯТИ

В своем вступительном докладе на конференции ISSCC 2011 президент компании Samsung Electronics Квон [1] отметил существование двух классов устройств памяти: системная память и накопители. Одно из основных требований, предъявляемых к системной памяти, – быстрая обработка большого объема данных, с тем чтобы "поспевать" за все возрастающим быстродействием процессоров. Одновременно все больше внимания уделяется вопросу снижения потребляемой памяти мощности, которая вносит существенный вклад в энергопотребление серверов и мобильных систем, особенно с ростом популярности технологий облачных вычислений и виртуализации.

### Твердотельные накопители

Сегодня все больше внимания уделяется твердотельным накопителям (Solid-State Drives, SSDs), построенным на основе контроллера и флеш-памяти NAND-типа и потребляющим в 3,5 раза меньшую мощность, чем НЖМД.

Вот почему интерес участников конференции вызвало сообщение ученых Токийского университета и компании Siglead (Япония) о создании твердотельного накопителя с частотой битовых

ошибок на 95% и потребляемой мощностью на 45% меньше, чем у современных твердотельных накопителей [2]. Такие результаты были достигнуты за счет применения следующих технологий:

- асимметричного кодирования, позволившего улучшить надежность памяти на 95% без ухудшения ее быстродействия;
- алгоритма исключения "полосатой" кодограммы (Stripe Pattern Elimination Algorithm, SPEA), благодаря которому устранена худшая комбинация данных при программировании и ток программирования уменьшен на 43% (для микросхем флеш-памяти с 3-нм нормами). При этом площадь памяти не увеличивается, а ее быстродействие не ухудшается. Представленный докладчиками твердотельный накопитель содержал 17 микросхем флеш-памяти NAND-типа, одна из которых предназначена для проведения испытаний на надежность и потребляемую мощность.

Рост популярности твердотельных накопителей в значительной степени определяется совершенствованием энергонезависимой полупроводниковой памяти [3], без рассмотрения которой не может обойтись ни одна конференция по твердотельной электронике.

## Энергонезависимая память

На конференции ISSCC 2011 специалисты компаний Hynix, Samsung и дуэта Toshiba и SanDisk представили свои новейшие микросхемы NAND флеш-памяти. Toshiba и SanDisk, которые сообщили о создании NAND флеш-памяти емкостью 64 Гбит с двухуровневой ячейкой самой маленькой на сегодняшний день площади – 151 нм<sup>2</sup>, сегодня, по-видимому, лидеры на этом секторе рынка. Схема выполнена по 24-нм КМОП-технологии с шинами слов из низкоомного материала и с новой архитектурой соединений разрядной шины. Скорость программирования памяти составляет 14 Мбайт/с, передачи данных — 266 Мбайт/с. Применение алгоритма предварительной зарядки разрядной шины при программировании позволило увеличить пропускную способность схемы памяти при считывании-записи на 5% и уменьшить потребляемый ток на 6%.

Микросхема флеш-памяти емкостью 32 Гбит с двухуровневой ячейкой компании Hynix выполнена по 28-нм технологии и занимает площадь 181,5 нм<sup>2</sup> [4].

Инженеры компании Samsung на секции, посвященной энергонезависимой памяти, обсудили 64-Гбит флеш-память NAND-типа с трехуровневой ячейкой, выполненной, скорее всего, по 28-нм технологии. Основная задача, стоявшая перед разработчиками, заключалась в увеличении скорости передачи данных. В рассматриваемой схеме скорость передачи данных асинхронного DDR-интерфейса в буфер составляет 200 Мбит/с, скорость записи – 7 Мбайт/с. Отмечается, что улучшение пропускной способности схемы памяти достигнуто благодаря применению алгоритма двухэтапной проверки точности программирования и функции *copy back*, позволяющей “напрямую” перемещать данные неисправной страницы в другую, минуя внешний буфер [5].

Высокие темпы совершенствования параметров и уменьшения габаритов NAND флеш-памяти сдерживают коммерциализацию других типов энергонезависимой памяти. Поэтому всех разработчиков занимает вопрос: “Когда закончится “праздник” NAND?” Хотя развивающиеся новые технологии догоняют лидера, пока превзойти флеш-память по низкой стоимости трудно. Надежда лишь на то, что NAND-технология, в конце концов, достигнет предела, хотя инженеры и ухитряются обходить барьеры, воздвигаемые физическими законами. Благодаря техническому превосходству перед флеш-памятью такие новые схемы, как магниторезистивная

память (MRAM), память с изменением фазового состояния (PCM, или PRAM), резистивная память (ReRAM), резистивная память с шунтирующим мостом (Conductive-Bridging Memory, CBRAM) постепенно находят применение. И доклады, представленные на конференции ISSCC 2011, служат тому подтверждением.

По мнению многих экспертов, самой многообещающей является память PCM-, или PRAM-типа, которая уже много лет применяется в ПЛС. Правда, пока это память малой емкости – 128 Мбит, выполненная с 90-нм нормами и 512 Мбит с 65-нм нормами.

Один из наиболее интересных докладов, представленных на конференции, — сообщение компании Samsung о создании PRAM емкостью 1 Гбит, выполненной по 58-нм технологии с интерфейсом с удвоенной скоростью передачи и малой потребляемой мощностью (LPDDR2-N) [6]. Схема содержит матрицу ячеек памяти с диодными ключами, встроенный контроллер, блоки ввода адреса команды, буфер адреса строки, декодеры, буфер программ на основе СОЗУ емкостью 1 Кбайт со скоростью записи 800 Мбит/с, буфер данных строки объемом 256 бит, а также схему записи с сопоставлением данных с флагом инверсии (Data-Comparison Write with Inversion flag, DCWI). Полоса пропускания при программировании и наложении записей составляет 6,4 и 3,2 Мбит/с, соответственно. Скорость вывода данных при напряжении 1,8 В – 400 Мбит/с.

Samsung рассчитывает на то, что 1-Гбит память PRAM-типа заменит NAND флеш в мобильных устройствах. Правда, пока о планах по массовому ее производству не сообщается.

Не меньший интерес слушателей вызвал совместный доклад специалистов Института промышленных технологий Тайваня (ITRI), Национального тайваньского университета Цинь Хуа (National Tsing Hua University) и Центрального национального тайваньского университета о созданной ими встроенной резистивной одноуровневой памяти емкостью 4 Мбит с временем выборки 7,2 нс (для двухуровневой схемы — время записи 160 нс). Ячейка памяти выполнена на основе резистивного HFO<sub>2</sub>-элемента памяти. Стабильное считывание с высокой скоростью обеспечиваются параллельно-последовательная схема эталонной ячейки памяти и нечувствительный к изменениям сопротивления метод считывания, использующий динамическую схему смещения разрядной шины с учетом температуры и проводимого процесса. Отношение значений

сопротивления в проводящем и непроводящем состояниях равно 100.

Компания Sony сообщила о разработанной резистивной памяти нового типа – памяти с шунтирующим мостом (Conductive Bridge RAM, CBRAM). Ученые Университета штата Аризона, впервые создавшие энергонезависимое запоминающее устройство этого типа, назвали его памятью с ячейкой с программируемой металлизацией (programmable metallization cell, PMC). Работа памяти с шунтирующим мостом основана на перераспределении ионов в твердом электролите. Ячейка памяти формируется двумя металлическими электродами – одним относительно инертным (как правило, вольфрамовым), другим электрохимически активным (обычно, серебряным или золотым). Между электродами располагается тонкопленочный электролит (как правило, легированный медью сульфид германия). Каждая ячейка содержит управляющий транзистор. При подаче отрицательного потенциала на инертный электрод ионы металла электролита, а также ионы активного электрода, на который подан положительный потенциал, восстанавливаются электронами инертного электрода. За весьма малое время ионы электролита образуют низкоомный “нанопроводник”, замыкающий оба электрода. Изменение сопротивления указывает на проведение процесса “записи” данных в ячейку.

Для считывания данных управляющий транзистор подает небольшое напряжение на ячейку. Если в ячейке имеется “нанопроводник”, ее сопротивление мало и ток большой. Такое состояние ячейки соответствует логической 1, если “нанопроводника” нет, сопротивление велико, и состояние ячейки соответствует логическому 0. Для удаления данных на инертный электрод подается положительный потенциал.

Объем памяти CBRAM (или PMC) компании Sony, выполненной по 180-нм КМОП-технологии, равен 4 Мбит. Скорость считывания составляет 2,3 Гбайт/с, программирования – 216 Мбайт/с. Тактовая частота схемы равна 125 МГц, напряжение питания – 3,3–1,8 В. Площадь памяти 35,8 мм<sup>2</sup>, площадь ячейки памяти – 2,24 мкм<sup>2</sup>. Тот факт, что доклад компании Sony был принят оргкомитетом конференции, свидетельствует о том, что опытные образцы схемы уже имеются [7].

### СОЗУ и ДОЗУ

СОЗУ по-прежнему – рабочая лошадка встраиваемых приложений. Сегодня одна из основных задач, стоящих перед изготовителями СОЗУ, – обеспечение

стабильности параметров ячейки памяти, площадь которой непрерывно уменьшается. Для ее решения только совершенствования технологии не достаточно, необходимо также совершенствовать поддержку СОЗУ периферийной системой. Эти проблемы и нашли отражение в докладах конференции, посвященных схемам СОЗУ.

Компания IBM представила микросхему 64-Мбит СОЗУ, рабочее напряжение которой составляет 0,7 В. Низкое рабочее напряжение достигнуто за счет применения трех вспомогательных блоков. Стабильность улучшена за счет применения схемы регулировки напряжения разрядной шины, которая уменьшает инжекцию носителей в шину. Совершенствование маршрута записи позволило увеличить добавочное напряжение разрядной шины на 40%. И, наконец, блок слежения за задержкой ячейки памяти обеспечил увеличение как пропускной способности памяти, так и выхода годных на этапе изготовления микросхемы

Схема выполнена по КНИ-технологии с затвором на основе диэлектрика с высокой диэлектрической постоянной и металлическим электродом (High k Metal Gate, НКМГ) с 32-нм нормами. Площадь ячейки памяти составляет 0,154 мкм<sup>2</sup>.

СОЗУ емкостью 128 Кбит с шеститранзисторной ячейкой памяти самой малой на сегодняшний день площади – 0,12 мкм<sup>2</sup> – представили специалисты Массачусетского технологического института и компании Texas Instruments. Схема памяти выполнена по 28-нм КМОП-технологии и занимает площадь кристалла 0,028 мм<sup>2</sup>. Иерархическая архитектура разрядной шины, подача дополнительного напряжения шины и схема предварительного считывания при записи обеспечивают работу памяти при напряжении 0,6 В. В микросхеме между каждой локальной разрядной шиной сформированы два р-канальных МОП-транзистора с перекрестной связью (cross-coupled PMOS, СС-PMOS). Эта структура поддерживает работу транзисторов ячейки и предотвращает влияние различия значений напряжения при считывании и записи данных. Моделирование формы волны показало, что локальная разрядная шина разряжается до 0 В до начала приводящего к функциональному отказу подъема напряжения числовой шины. Дополнительные р-канальные транзисторы размещены в N-кармане ячейки, благодаря чему ее площадь увеличивается не более чем на 3%.

Рабочая частота схемы лежит в диапазоне от 20 до 400 МГц при изменении рабочего напряжения от 0,6 до 1 В. Потребляемая мощность в этом диапазоне составляет 2,8–68,5 мВт [8].

Перед создателями ДОЗУ стоит задача реализации широких или дифференциальных интерфейсов, обеспечивающих высокую скорость вывода данных и позволяющих решать проблемы увеличения числа выводов и площади схемы.

Помимо трехмерной микросхемы ДОЗУ с широким интерфейсом, о котором сообщалось ранее [1], компания Samsung Electronics представила графическое GDDR5 ДОЗУ емкостью 2 Гбит, изготовленное по 40-нм технологии. Пропускная способность памяти благодаря применению схемы компенсации перекрестных искажений канала составляет 7 Гбит/с/вывод. По утверждению разработчиков, схема памяти позволит улучшить работу мобильных телефонов и смартфонов.

Интерес представляет органическое 64-бит ДОЗУ, созданное в Университете штата Миннесота. Схема памяти представляет собой матрицу 8×8 бит. Ячейка памяти содержит три транзистора, время считывания составляет 12 мс, время записи – 20 мс, потребляемая мощность – 10 нВт на вывод. Изготовлена органическая память с помощью аэрозольного струйного принтера. Емкость затвора транзисторов (как и в органических процессорах, в схеме используются р-канальные транзисторы) на два порядка больше емкости традиционных кремниевых транзисторов с 65-нм нормами [9].

## СХЕМЫ ДЛЯ БЕСПРОВОДНЫХ СИСТЕМ

Одним из решений задач уменьшения потребляемой мощности и форм-фактора, а также снижения стоимости ВЧ-устройств, стоящих перед разработчиками беспроводных систем связи, может стать описанный специалистами компании SiBEAM дешевый модуль двухканального 60-ГГц трансивера фазированной антенной решетки [10]. Модуль содержит две микросхемы площадью 72 и 77 мм<sup>2</sup>, изготовленные по 65-нм КМОП-технологии, и смонтированную в корпус с модулем конфигурируемую антенную решетку, число 32 излучающих элементов которой можно варьировать. Трансивер обеспечивает прочную связь вне прямой видимости на расстоянии до 10 м. При этом скорость передачи данных составляет 3,8 Гбит/с, потребляемая мощность – ~2 Вт. Для адаптации работы к изменяющимся внешним условиям предусмотрены динамические фазовращатели, регулирующие направление луча в реальном времени и не вносящие помехи в высокоскоростной поток данных. Трансивер отвечает требованиям стандарта WirelessHD, а также проекта стандарта 802.11ad (WiGig) при максимальной скорости передачи 7,14 и 6,76 Гбит/с,

соответственно [10]. Отмечается, что модуль стандарта WirelessHD уже освоен в производстве, тогда как двухрежимный модуль WirelessHD/WiGig пока не производится. Разработчики считают, что трансивер может найти применение как в портативных приложениях с высокой скоростью передачи данных, так и в маломощных устройствах.

Европейский центр исследований в области микроэлектроники CEA-Leti совместно с компанией STMicroelectronics представили 60-ГГц четырехканальный трансивер для беспроводных систем воспроизведения изображения высокой четкости. Он позволяет передавать в соответствии с стандартом WirelessHD 16 QAM OFDM сигналов на расстояние более 1 м. Кристалл с 65-нм КМОП-схемой, внешний усилитель мощности и антенны с большой апертурой монтируются методом перевернутого кристалла на подложку из высокотемпературной отожженной керамики (High Temperature Cofired Ceramics – HTCC). Размер модуля – 13,5×8,5 мм. В режиме приема сигнала модуль потребляет 454 мВт, в режиме передачи – 1,357 Вт (357 мВт потребляет передатчик, 1 Вт – усилитель мощности) [11].

## НОВЕЙШИЕ ТЕХНОЛОГИЧЕСКИЕ РЕШЕНИЯ

Сегодня для построения средств преобразования изображения, радиолокаторов и телекоммуникационных систем, работающих в терагерцевом диапазоне, необходимы экзотические и дорогие приборы. Поэтому весьма перспективен представленный на ISSCC Университетом Вурппеталья и исследовательским институтом IHP (Innovations for High Performance Microelectronics) (Германия) чипсет, включающий четырехканальный передатчик и приемник субгармоник на биполярных SiGe-гетеротранзисторах (HBT), рассчитанный на частоту 820 ГГц (0,82 ТГц). Это самая высокая рабочая частота SiGe-транзисторов. Чипсет разработан в рамках трехлетнего проекта европейского консорциума DotFive\* и содержит все

\* В консорциум DotFive входят 15 компаний, научных и академических институтов пяти европейских стран, в том числе компании STMicroelectronics, Infineon Technologies, XMOD Technologies (вновь образованная компания, предоставляющая программные средства), GWT-TUD (ведущий европейский провайдер услуг в области исследований, проводящий сложные исследовательские проекты и разработки новых изделий и технологий), исследовательские институты IMEC, IHP, а также ряд университетов Австрии, Франции, Германии и Италии. Цель работ консорциума – установление лидерства европейской полупроводниковой промышленности в области разработки и производства SiGe HBTs для систем, работающих в диапазоне миллиметровых длин волн.

необходимые умножители частоты, смесители на гармониках, усилители мощности, встроенные антенны и остальные компоненты, требуемые для генерации и приема сигнала частотой 820 ГГц при частоте опорного сигнала 18 ГГц. Микросхемы передатчика и приемника выполнены по 0,25-мкм технологии. Эквивалентная мощность передатчика составляет -17 дБВт, усиление преобразования приемника - 22 дБ, коэффициент шума - 47 дБ.

Чипсет предназначен для оборудования формирования изображения предметов, находящихся в контейнерах (подобно рентгеновской системе). Производить SiGe HBT должны компании STMicroelectronics и Infineon Technologies [12].

### ПРЕОБРАЗОВАТЕЛИ И УСТРОЙСТВА АККУМУЛЯЦИИ ЭНЕРГИИ

Работы, представленные на ISSCC 2011, свидетельствуют об экспоненциальном росте новых разработок в области преобразователей и устройств аккумуляции энергии. И здесь также были представлены самые высокие результаты на сегодняшний день.

Ученые Университета Кинки в Осаке описали опытный образец ПЗС-преобразователя изображения ISIS-V16 (In-situ Storage Image Sensor V16), ячейки пикселей которого содержат память. Быстродействие преобразователя составляет 16 Мкадров/с. Поскольку при такой скорости передачи кадров чувствительность преобразователя ухудшается, в приборе предусмотрена обратная подсветка. Чтобы экранировать аналоговую память, расположенную на кристалле, от подсветки на эпитаксиальных пленках различной толщины были сформированы многочисленные n- и p-потенциальные ямы (верхние n-типа в пленке толщиной 9 мкм, нижние p-типа в пленке толщиной 23 мкм). Разрешение преобразователя равно 362×456 пикселей (всего 165072 пикселя). Число последовательных кадров - 117, при чересстрочной развертке их число может быть увеличено до 234, но при этом пространственное разрешение ухудшается в два раза. Чувствительность не превышает 9 фотонов/пиксель [13].

Специалисты компании Canon сообщили о создании самого большого КМОП-преобразователя изображения размером 202×205 мм. При таком размере преобразователя разрешение его невелико - 1280×1248 пикселей. Это объясняется их большим размером - 160×160 мкм,

позволяющим размещать в них усилитель с регулируемым усилением в пределах от 0 до 24 дБ. К тому же, поскольку емкости шин схемы такого большого размера велики, каждый пиксель должен иметь дополнительный электронный буфер. Наличие дополнительного усилителя в каждом «большом» пикселе обеспечивает высокую чувствительность преобразователя при сверхнизком уровне освещенности -  $25 \cdot 10^6$  электронов/лк·с и усиление преобразования 318 мкВ/электрон. По данным разработчиков, минимальная скорость передачи преобразователя составляет 100 кадров/с. Среднеквадратическое значение шума - 13 электронов при максимальной потребляемой мощности 3,2 Вт. Правда, неизвестно приведены ли эти значения шума и потребляемой мощности для режима максимальной скорости передачи.

Преобразователь изображения компании Canon предназначен для систем ночного видения и астрономического оборудования [14, 15].

Интерес участников конференции, несомненно, вызвал доклад исследователей компании NEC, предложивших датчик, позволяющий измерять потребляемую электронными приборами мощность электрической сети и передавать ее значения системе управления энергией. Этот компактный датчик «крадет» необходимую для его работы энергию у линии энергоснабжения, преобразуя магнитное поле, генерируемое силовыми линиями, в напряжение. Поскольку таким способом аккумуляции энергии можно «добыть» всего ~1 мВт мощности, специалистами компании разработан датчик, потребляющий менее 1 мВт при измерении мощности и передаче ее значения. Создать подобный датчик удалось благодаря разработке следующих схем:

- контролирующего устройства, способного различать контролируемые электронные приборы и измерять потребляемую ими мощность в реальном времени и устанавливать их статус;
- блока передачи данных об энергопотреблении контролируемых приборов, что исключает необходимость применения беспроводных линий передачи данных и способствует эксплуатационному удобству и миниатюризации системы;
- управляющего блока, поочередно включающего контролирующее устройство и блок передачи данных. Управляющий блок работает совместно с маломощным контроллером и при включении блока передачи

данных, потребляющего большую мощность, отключается.

Разработчики считают, что созданный ими датчик внесет вклад в реализацию "безуглеродного мира" [16].

Специалисты Университета штата Айдахо предложили оригинальный преобразователь изображения, извлекающий энергию из светового потока, необходимого для выполнения его основной функции. Аккумулирующий энергию (Energy Harvesting and Imaging, EHI) КМОП-преобразователь с активными пикселями выполнен в виде матрицы 50×50 элементов преобразования изображения, содержащих маломощные вспомогательные электронные компоненты. Изготовлен преобразователь по 0,5-мкм технологии с двумя поликристаллическими и тремя металлическими (2РЗМ) слоями. Такая структура позволяет создавать транзисторы с высоким пороговым напряжением (0,7 В). Размер пикселя – 21×21 мкм. В архитектуру элемента преобразователя изображения входят три транзистора и два фотодиода, один из которых выполняет классическую функцию интеграции падающего светового потока, а второй – функцию солнечной батареи. Первый фотодиод формируют стенки р<sup>+</sup>- и п-потенциальных ям, второй – п-потенциальная яма и р-подложка. При работе устройства в режиме преобразования изображения второй диод включается параллельно с первым, что приводит к повышению его чувствительности. В режиме преобразования прибор (50×50 пикселей, 10-разрядный АЦП и внешняя цифровая схема временной настройки) при скорости передачи 7,5 кадров/с потребляет 14,25 мкВт, в режиме аккумуляции энергии – 6,7 мкВт, обеспечивая аккумуляцию и хранение во внешнем конденсаторе 2 мкВт энергии, т.е. эффективность накопления энергии составляет 9%. Эти данные справедливы для обычных дневных условий [14, 17].

Пьезоэлектрическое устройство аккумуляции энергии на основе МЭМС-мембраны объемом менее 0,3 см<sup>3</sup>, представленное учеными Университета штата Мичиган, изготовлено с помощью методов пайки и утонения нанесенной на кремниевую подложку керамики на основе титаната и цирконата свинца (РЗТ). Используемый низкотемпературный процесс нанесения пленки РЗТ-керамики на кремниевую подложку позволяет интегрировать пьезоэлектрический МЭМС-датчик и его схемы на кремниевую подложку с КМОП-компонентами. Однако

разработчики отдали предпочтение гибридной конструкции из-за большой разницы в размерах устройства аккумуляции энергии и кристалла со схемой управления электропитанием. МЭМС-элемент аккумуляции энергии смонтирован в кремниевый корпус, в верхнюю поверхность которого вставлена стеклянная пластина. Выводы МЭМС-элемента соединены с контактами КМОП-схемы с помощью сквозных отверстий через кремний. Элемент аккумуляции энергии при оптимальной резистивной нагрузке генерирует мощность 24,1 и 63,9 мкВт при уровнях колебания 0,5 и 1,0 г, соответственно. При соединении элемента с микросхемой управления электропитанием он заряжает конденсатор емкостью 20 мФ до напряжения 1,31 В за 20 мин при уровне колебаний 0,5 г и за ~8 мин при 1,0 г.

И, конечно, так же как и на конференции IEDM, ведущие полупроводниковые компании не могли обойти стороной вопрос проблемы конструирования при топологических нормах менее 22 нм.

#### ПЕРСПЕКТИВЫ ТЕХНОЛОГИИ ЗА ПРЕДЕЛАМИ 22 НМ

Участники дискуссии, посвященной основным задачам субмикронной технологии, единогласно отметили, что основные проблемы проектирования и производства полупроводниковой электроники связаны с разбросом параметров создаваемых приборов. При размещении на кристалле миллиарда транзисторов и межсоединений длиной в несколько километров уже нельзя получать детерминистические результаты. Они носят вероятностный характер.

Одна из основных причин разброса значений параметров — неравномерное распределение примеси в материале с уменьшением топологических норм. К другим причинам относится влияние соседних транзисторных структур друг на друга. Эти и множество других физических эффектов приводят к существенным разбросам значений порогового напряжения транзисторов, что в конечном итоге влияет на мощность, потребляемую в активном и спящем режимах. Опыт компании Qualcomm показал, что при коэффициенте разброса параметров более 2,5 значения мощности, потребляемой приборами с 28-нм нормами, могут отличаться в три раза.

Все компании, принявшие участие в дискуссии, – Intel (IDM-компания, занимающаяся проектированием, производством и маркетингом микросхем), GlobalFoundries и TSMC ("чистые"

производители микросхем, foundries), IBM (где-то между IDM и foundry) и Renesas (компания-разработчик, fabless) – высказали единодушное мнение, что при переходе к 22-нм нормам микросхемы по-прежнему будут изготавливаться на объемном кремнии с помощью иммерсионной 193-нм литографии с двойным шаблоном. Применение НКМГ-технологии уже позволило существенно сократить ток утечки при производстве 45- и 32-нм микросхем.

Другой ключевой момент – оптимизация параметров микросхемы и производителем, и конструктором, т.е. совместная оценка всех достоинств и недостатков разработки. Легче всего проводить совместную оптимизацию IDM компаниям. Но для реализации всех выгод новой разработки такая совместная оценка необходима. Пример совместной оптимизации проекта, на который ссылались все участники дискуссии, – улучшение характеристик р-канальных МОП-транзисторов. При сопоставимых характеристиках р- и п-канальных МОП-транзисторов динамическая логика (в которой предпочтение отдается п-канальным транзисторам) теряет свои преимущества перед статической логикой, что облегчает жизнь разработчикам систем.

Неоднозначные мнения были высказаны относительно выполнения строгих правил проектирования (Restrictive Design Rules, RDR), которые первой стала соблюдать компания Intel при освоении 65-нм технологии для получения высоких характеристик и выхода годных. Но компромиссные решения при строгих правилах проектирования не всегда приводят к хорошим результатам. Так, компания TSMC сообщила, что применение правил RDR позволило улучшить плотность размещения элементов в 1,6 раза, тогда как в конструкциях, созданных без этих правил, плотность размещения удалось увеличить в два раза. Правда, при более тщательном проектировании этого различия можно избежать. Специалисты TSMC считают, что соблюдение строгих правил проектирования полезно для улучшения характеристик наиболее критичных блоков микросхемы. Например, при проектировании блоков системы на кристалле, работающих на низких частотах, применение таких правил не приносит большой пользы. Такие блоки целесообразно проектировать с расчетом увеличения плотности упаковки, а не улучшения характеристик и уменьшения токов утечки. Очевидно, самое эффективное развитие микроэлектроники обеспечит гибридная

стратегия проектирования различных макроблоков микросхемы.

Поскольку влияние физических явлений одинаково интересует всех представителей полупроводниковой промышленности, обсуждения относительно проблем перехода к субмикронным нормам были одинаковые. Оживили дискуссию в основном различные экономические оценки производителей полупроводниковых приборов. Компании IBM и AMD, применяющие технологию частично обедненного КНИ (Partially Depleted SOI, PD-SOI), считают ее перспективной при изготовлении схем с нормами до 32 нм и дальнейшем масштабировании. Хотя эта технология приводит к увеличению затрат на обработку пластин и, следовательно, к росту стоимости микросхем, она позволяет снизить фиксированные затраты на разработку нового технологического процесса. Тем не менее, мнение представителей компании IBM относительно применения PD-SOI-технологии для создания устройств с высокими характеристиками большинство участников дискуссии не поддержало, высказав предположение, что освоение технологии полностью обедненного КНИ (FD-SOI) приведет к устранению произвольной флюктуации примеси в устройствах с 15-нм нормами.

Все участники дискуссии согласились, что в будущем большое значение будут иметь методы корпусирования. При этом представитель GlobalFoundries подчеркнул, что 3D-корпусирование и интеграция, как правило с помощью сквозных отверстий через кремний (TSV), играют исключительную роль для продолжения закона Мура\*. Правда, многие участники дискуссии считают, что TSV-технология при 22-нм нормах не рентабельна.

Неоднозначны были мнения относительно экспонирования с двойным шаблоном, в пользу которого высказался представитель компании IBM. Он указал, что этот метод позволяет сократить капитальные затраты, поскольку дорогое литографическое оборудование можно повторно использовать при изготовлении микросхем следующих поколений. Напротив, иммерсионная литография, дающая те же результаты, что и экспонирование с двойным шаблоном, требует нового оборудования и вносит риски

\* Юдинцев В. Трехмерная кремниевая технология. Зачем она нужна, что это такое, кто производит, когда появится? – См. наст. журнал, с.70–75.

в получение высокого выхода годных. Кроме того, разумное применение правила ограничения проекта может привести к уменьшению числа слоев, для которых требуется экспонирование с двойным шаблоном. И еще, этот метод работает почти с любой литографией и является ценным методом на пути разработки схем следующих поколений.

Последнее и менее удивительное разногласие участников дискуссии касалось освоения производства микросхем на пластинах диаметром 450 мм. Intel и TSMC считают, что увеличение размера пластины позволит снизить издержки производства. TSMC уже планирует выпускать микросхемы с 20-нм нормами на 450-мм пластинах. В то же время GlobalFoundries и IBM беспокоит увеличение расходов на разработку нового оборудования и освоение производства микросхем на пластинах такого диаметра.

Собравшиеся согласились с заявлением представителя компании Intel, что эра производства по принципу "один размер годен для всех" заканчивается, и компании foundries и IDM должны принять во внимание различные конструкции современных микросхем. Хотя для большинства производителей это заявление не открытие, оно служит отправной точкой для Intel, которая сосредотачивает свои работы на производстве систем на кристалле и маломощных устройств, а также для IBM, уделяющей все больше внимания созданию высокопроизводительных схем, несмотря на рост затрат и потребляемой ими мощности [18].

## ЛИТЕРАТУРА

1. **Гольцова М.** Международная конференция ISSCC 2011. От микросхем больших объемов до имплантируемых устройств. Часть I. – ЭЛЕКТРОНИКА:НТБ, 2011, №3, с.32
2. **Tanakamaru S., Chinglin Hung, Esumi A., Ito M., Li Kai and Takeuchi K.** 95%-lower-BER 43%-lower-power intelligent solid-state drive (SSD) with asymmetric coding and stripe pattern elimination algorithm. – [http://assets1.pubget.com/paper/pgtmp\\_ieee0b000064815070fe](http://assets1.pubget.com/paper/pgtmp_ieee0b000064815070fe)
3. **Prince B.** Central Texas Section IEEE SSCS. ISSCC 2011 Memory overview. – [ewh.ieee.org/r5/central\\_texas/ssc\\_css/meetings/2011/030811/ISSCC\\_2011\\_Memory.pdf/](http://ewh.ieee.org/r5/central_texas/ssc_css/meetings/2011/030811/ISSCC_2011_Memory.pdf/)
4. ISSCC to focus on Nand and PCM. – [www.docmemory.com/page/news/shownews.asp?title=ISSCC+to+focus+on+Nand+and+PCM&num=13428](http://www.docmemory.com/page/news/shownews.asp?title=ISSCC+to+focus+on+Nand+and+PCM&num=13428)
5. Electronics for Healthy Living. Full Advance Program. – [www.miracld.com/ISSCC2011/WebAP/wednesday.htm](http://www.miracld.com/ISSCC2011/WebAP/wednesday.htm)
6. **LaPedus M.** Samsung chief discusses what's limiting PRAM adoption. – [news.radio-electronics.co/manufacturing/samsung-chief-discusses-whats-limiting-pram-adoption](http://news.radio-electronics.co/manufacturing/samsung-chief-discusses-whats-limiting-pram-adoption).
7. **Clarke P.** NAND, PCM vie for ISSCC attention. – [www.eetimes.com/electronics-news/4210914/NAND-PCM-vie-for-ISSCC-attention](http://www.eetimes.com/electronics-news/4210914/NAND-PCM-vie-for-ISSCC-attention).
8. **Sinangil M.E., Mair H., Chandrakasan A.P.** A 28nm high-density 6T SRAM with optimized peripheral-assist circuits for operation down to 0.6V. – [www-mtl.mit.edu/researchgroups/icsystems/pubs/conferences/2011/sinangil\\_isscc2011\\_paper.pdf](http://www-mtl.mit.edu/researchgroups/icsystems/pubs/conferences/2011/sinangil_isscc2011_paper.pdf)
9. **Merritt R.** CPU, DRAM ride organic substrates at ISSCC. – [www.eetimes.com/electronics-news/4213472/CPU-DRAM-ride-organic-substrates-at-ISSCC](http://www.eetimes.com/electronics-news/4213472/CPU-DRAM-ride-organic-substrates-at-ISSCC).
10. **Emami S., Wiser R.F., Ershad A. et al.** A 60GHz CMOS Phased-Array Transceiver Pair for Multi-Gb/s Wireless Communications – [www.mendeley.com/research/60ghz-cmos-phasedarray-transceiver-pair-multigb-s-wireless-communications](http://www.mendeley.com/research/60ghz-cmos-phasedarray-transceiver-pair-multigb-s-wireless-communications)
11. **Siligaris A., Richard O., Martineau B. et al.** A 65nm CMOS Fully Integrated Transceiver Module for 60GHz Wireless HD Applications. – [www.mendeley.com/research/65nm-cmos-fully-integrated-transceiver-module-60ghz-wireless-hd-applications](http://www.mendeley.com/research/65nm-cmos-fully-integrated-transceiver-module-60ghz-wireless-hd-applications).
12. **R. Colin Johnson Consortium** claims SiGe frequency record. – <http://www.eetimes.com/electronics-news/4213481/Consortium-claims-SiGe-frequency-record>
13. **Etoh T.G., Dung N.H., Dao S.V.T. et al.** Backside illuminated CCD operating at 16,000,000frames per second with sub-ten-photon sensitivity – <http://www.mendeley.com/research/backside-illuminated-ccd-operating-16000000-frames-per-second-subtenphoton-sensitivity/#page-1>
14. Imagers at ISSCC – <http://harvestimaging.com/blog/?p=661>
15. Canon develops world's largest CMOS sensor. – <http://www.liveinternet.ru/users/olegion/post133780907/>
16. NEC Develops a Compact Sensor that measures the Power Consumption of Electronic Devices without needing an External Power Supply. – [www.nec.co.jp/press/en/1102/2104.html](http://www.nec.co.jp/press/en/1102/2104.html)
17. **Ay S.U.** A 1.32pW/frame•pixel 1.2V CMOS energy-harvesting and imaging (EHI) APS imager. – [ieeexplore.ieee.org/Xplore/login.jsp?url=http%3A%2F%2Fieeexplore.ieee.org%2Fiel5%2F5740653%2F5746170%2F05746244.pdf%3Farnumber%3D5746244&authDecision=-203](http://ieeexplore.ieee.org/Xplore/login.jsp?url=http%3A%2F%2Fieeexplore.ieee.org%2Fiel5%2F5740653%2F5746170%2F05746244.pdf%3Farnumber%3D5746244&authDecision=-203).
18. **Kanter D.** 22nm Design Challenges at ISSCC 2011. – [www.realworldtech.com/page.cfm?ArticleID=RWT031411013528](http://www.realworldtech.com/page.cfm?ArticleID=RWT031411013528).