

ТРЕХМЕРНАЯ КРЕМНИЕВАЯ ТЕХНОЛОГИЯ

ЧТО, ГДЕ, КОГДА?

ЧАСТЬ 2*

В.Юдинцев, vlad@elvees.com

Выполнять закон Мура путем масштабирования КМОП-схем становится все труднее и дороже. Простой путь к достижению уровня "больше, чем Мур" при относительно малых капитальных затратах – трехмерная интеграция с помощью сквозных отверстий через кремний (Through-Silicon-Vias, TSV). И разработчики радиоэлектронной аппаратуры все чаще задают вопрос: "Когда же реально начнется производство трехмерной электроники с TSV-межсоединениями?". Сегодня уже существует множество методов реализации трехмерных микросхем, в том числе и с TSV-межсоединениями. И современные разработки позволяют предположить, что ответ на этот вопрос: "Ждать уже недолго". Но широкое распространение 3D-схем невозможно без активной поддержки их производства, развитой инфраструктуры и каналов поставок. Что предпринимается в этом направлении, каковы сегодня затраты на производство трехмерных микросхем?

РАЗВИТИЕ 3D TSV-ТЕХНОЛОГИИ

Предположение, что теоретически метод 3D-интеграции с помощью TSV-межсоединений хорош, но никогда не найдет применения в производстве поставляемых на рынок устройств, оказалось неверным. Это связано с наметившейся тенденцией к созданию на первом этапе освоения производства 2,5D-устройств, содержащих несколько кристаллов, объединяемых с помощью промежуточной монтажной пластины (interposer). Такая монтажная пластина, кремниевая или стеклянная с вертикальными сквозными отверстиями и медными контактными столбиками позволяет присоединять микросхемы с малым шагом

на печатные платы с большим шагом проводников. В промежуточные кремниевые пластины могут быть встроены как пассивные компоненты (развязывающие конденсаторы, индуктивности), так и активные (стабилитроны, транзисторы) (рис.4) [7].

Первыми электронными устройствами с TSV-межсоединениями, выполненными на конечных операциях обработки, были 2,5D МЭМС- и КМОП-преобразователи изображения. Предполагалось, что следующий этап освоения TSV-технологии приведет к появлению трехмерных сборок ДОЗУ, что позволит уменьшить время задержки схем памяти, увеличить их пропускную способность и плотность соединений. Еще в 2009 году компания Elpida Memory (Япония) объявила о разработке 3D ДОЗУ емкостью 8 Гбит с поликремниевыми

* В.Юдинцев. Трехмерная кремниевая технология. Что, где, когда? ч.1. – ЭЛЕКТРОНИКА: НТБ, 2011, №4, с.70–75.

TSV [8]. Поставки опытных образцов памяти планировались на осень 2009 года, а промышленных изделий – на 2010 год. Чтобы скорее реализовать свои планы по освоению рынка 3D-модулей ДОЗУ, компания в 2010 году заменила поликремниевое покрытие сквозных отверстий медным. На Международной конференции по твердотельным схемам этого года (ISSCC 2011) компания Samsung объявила о создании по TSV-технологии ДОЗУ с широким интерфейсом емкостью 1 Гбит [9]. Все это послужило оптимистическому прогнозу компании Yole Development рынка трехмерных модулей ДОЗУ, согласно которому к 2013 году в телекоммуникационных и компьютерных системах будет применяться более 70% отгружаемых 3D ДОЗУ.

Но, несмотря на громкие заявления компании Elpida, на рынке ее 3D-сборки ДОЗУ до сих пор не появились. Более того, в 2010 году компания заключила с тайваньскими фирмами UMC и Powertech Technologies договор на совместные работы по интеграции модулей памяти с логическими устройствами. Новые изделия будут выполнены на основе модулей ДОЗУ компании Elpida, логики UMC и технологии 3D-сборки компании Powertech. Это решение компании Elpida отражает тот факт, что благодаря появлению схем ДОЗУ с широким интерфейсом трехмерная структура "память + логика", выполненная с применением промежуточной монтажной пластины, неожиданно получила широкое признание как "локомотив" рынка трехмерных микросхем. По мнению специалистов компании Hynix

Semiconductor, рост популярности 2,5D-схем с микросхемами памяти, располагаемыми поверх логики, обусловлен их лучшими характеристиками в сравнении с трехмерной интегрированной памятью. Предполагается, что такие 3D-системы в будущем найдут применение и в телевизорах высокой четкости.

Интерес изготовителей микроэлектроники к технологии 2,5D-устройств возник после появления микросхемы программируемой логики компании Xilinx, в которой небольшие FPGA серии Virtex 7 с 28-нм нормами были смонтированы на пассивную кремниевую монтажную пластину с большим числом выводов [10]. По плотности выводов кремниевая промежуточная монтажная пластина в 20 раз превосходит керамические пластины, предназначенные для монтажа электронных компонентов. С помощью этой пластины с TSV-соединениями, выполненными с 65-нм топологическими нормами, удалось получить больше соединений между кристаллами FPGA (свыше 10 тыс.), чем в системе в корпусе. Таким образом, важное достоинство 2,5D-технологии – сокращение межсоединений микросхем и экономия потребляемой энергии.

Специалисты компании ASE отмечают, что освоение технологии 2,5D-интеграции позволит плавно перейти не только от современных планарных схем к будущим трехмерным конструкциям, но и от топологических норм 40 нм к 28-нм нормам. Эта технология, возможно, найдет применение для создания многофункциональных микросхем высокого технического уровня и в этом случае, развиваясь параллельно с трехмерной технологией, позволит получать альтернативные решения.

По мнению научного сотрудника Института промышленных технологий Тайваня (ITRI) д-ра Джона Лау, кремниевые пассивные промежуточные монтажные пластины будут использоваться в микроэлектронике еще лет десять. Поэтому завершение развития микроэлектроники по закону Мура и перехода к истинной трехмерной кремниевой технологии (в отличие от проводимой сейчас интеграции кремниевых кристаллов) придется ждать еще десять лет.

Но, несмотря на блестящие перспективы развития 2,5D-технологии, не прекращаются работы по созданию интегрированных 3D-устройств. Так, на выставке СеБИТ этого года президент корпорации IBM Сэм Пальмизано сообщил о планах по производству процессора Power8, который намечено выпустить в 2013 году, по 3D-технологии

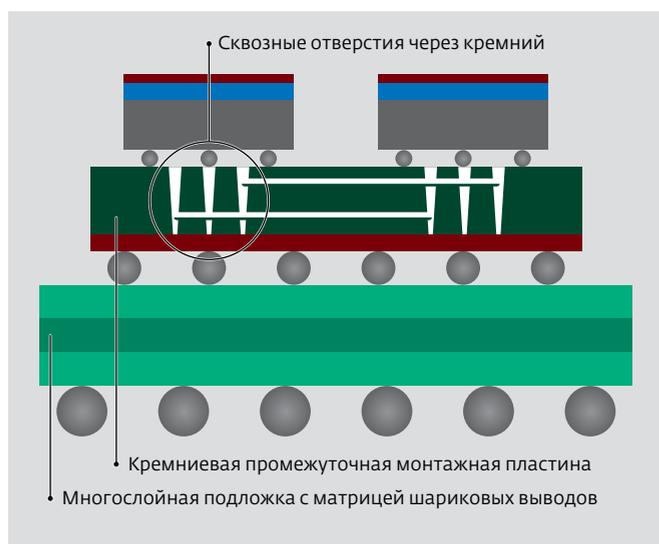


Рис.4. Структура 2,5D-устройства с промежуточной монтажной пластиной

интеграции кристаллов с 28-нм или 22-нм нормами [11]. Модуль памяти будет располагаться над или под схемой процессора. В процессоре, вероятнее всего, будет использован слой небольших специализированных вычислительных ядер, адаптированных для выполнения конкретных задач. В планах компании стоит задача реализации в кремнии TSV-соединений с плотностью 10^5 мм².

Серьезная проблема трехмерных процессоров – более сильный нагрев трехмерных сборок в сравнении с однокристалльными схемами. В результате совместных работ швейцарского отделения корпорации IBM, Федерального института технологий Лозанны и Высшей технической школы Цюриха на выставке СеВIT IBM продемонстрировала опытные схемы, охлаждаемые водой, которая циркулировала по 50-мкм каналам. Правда, корпорация отмечает, что в производстве такие микросхемы процессоров будут освоены лишь через несколько лет [12].

На симпозиуме по СБИС технологии 2010 года компания Macronix International (Тайвань) сообщила о создании трехмерной флеш-памяти NAND-типа с вертикальным затвором, выполненной на основе запатентованной структуры захвата носителей BE-SONOS (окись кремния-окись азота-кремний с утопленным барьером). Трехмерную микросхему флеш-памяти формируют восемь микросхем с площадью ячейки памяти 0,0014 мкм². Шаг выводов микросхемы составляет 75 нм. По утверждению компании, в схеме отсутствовали помехи в Z-направлении, ток считывания был большим и напряжение записи достаточным для работы многоуровневых ячеек. Проведенное моделирование показало, что структура 3D-памяти может быть выполнена по 25-нм технологии и существенно превосходить планарные микросхемы флеш-памяти по плотности размещения элементов [13].

Таким образом, по-видимому, основным стимулом развития TSV-технологии является не меньшая стоимость в сравнении с планарными приборами, а обеспечиваемые ею более высокие рабочие характеристики [14].

ПРОГРАММЫ ОСВОЕНИЯ ПРОИЗВОДСТВА 3D-СХЕМ

Сегодня существует множество методов реализации трехмерных микросхем, в том числе и с TSV-межсоединениями. Однако широкое распространение 3D-схем невозможно без развитой инфраструктуры и каналов

поставок, поддерживающих их производство. А пока вопросы, кто рискнет инвестировать в 3D-технологии, особенно наиболее перспективную TSV-технологии, и кто и когда будет формировать сквозные отверстия через кремний (на начальных, средних или последних этапах обработки пластин), не решены. Отсутствуют средства САПР и тестирования, экономически эффективное промышленное оборудование. Выход годных микросхем неудовлетворителен, нет достаточных данных о надежности 3D-схем с учетом проблем влияния температуры, электромиграции носителей. Нет и стандартов. Успешная реализация TSV-технологии потребует высокой степени кооперации поставщиков материалов и оборудования.

И здесь важную роль играет учрежденная консорциумом Sematech в 2005 году программа трехмерной интеграции (3D interconnection program). К выполнению 3D-программы Sematech привлечены компании GlobalFoundries, UMC, HP, IBM, Intel, Samsung, ASE, Altera, Analog Devices, LSI, On Semiconductor, Qualcomm. В августе 2010 года Sematech объявил о вводе в строй в комплексе нанотехнологии в Олбани, входящем в Центр нанотехнологий (Nanoscale Science and Engineering, CNSE), линии по производству опытных 3D-приборов на 300-мм пластинах. Линия оборудована установками формирования сквозных отверстий диаметром до 5 мкм и глубиной до 50 мкм, совмещения пластин и кристаллов, разварки выводов, утонения пластин и проведения необходимых измерений.

В начале 2011 года консорциум сообщил о новом процессе "коллективной" интеграции кристаллов на пластине (Die-to-Wafer, D2W) [15]. Кристаллы с требуемой структурой с помощью короткого низкотемпературного процесса присоединяются к смонтированной на подложке пластине диаметром 300 мм и толщиной 50 мкм со сквозными отверстиями малого диаметра. По утверждению разработчиков, новый процесс совместного присоединения кристаллов к пластине перспективен для производства трехмерных гетерогенных микросхем.

В задачи программы трехмерной интеграции входит и создание "эталонного процесса" производства трехмерных микросхем памяти с широким интерфейсом, выполненных со сквозными отверстиями диаметром 5 мкм и глубиной 500 мкм. Кроме того, объединенные усилия входящих в консорциум компаний будут направлены на создание инструментальных средств САПР и соответствующих средств тестирования.

Программу по созданию 3D-схем, пригодных для производства, проводит и центр IMEC. В начале 2011 года IMEC и компания Cascade Microtech заключили соглашения о совместном тестировании и измерении характеристик 3D-микросхем, разработке методов испытаний разрабатываемых 3D TSV-структур и определении требований к стандартам по конструированию и производству 3D ИС [16]. Главная цель совместного исследовательского проекта – упрощение испытаний новых конструкций 3D TSV-микросхем. Согласно этому проекту, кремниевые пластины будут тестировать зондами с шагом 40 мкм и менее. В ходе программы IMEC реализует систему тестирования 3D-схем "под ключ", которая будет включать зондовую станцию и новую зондовую плату для испытания 3D TSV-структур компании Cascade Microtech. Зондовая станция и плата будут использованы для снятия характеристик TSV в пакете кристаллов с целью оптимизации характеристик и надежности интегрированных 3D ИС.

Исследовательский центр CEA-LETI в Гренобле (Франция) приступил к освоению производства 3D-устройств на 300-мм пластинах. Партнер CEA-LETI – компания STMicroelectronics. Центр также планирует привлечь к программе компанию Shinko Electric Industries (Япония) – разработчика кремниевых монтажных промежуточных пластин.

Консорциумы образовали по 3D корпусированию Институт микроэлектроники (Institute of Microelectronics, IME) Сингапура и по 3D-тематике Институт промышленных технологий Тайваня [17].

Однако одной из важнейших проблем освоения производства 3D TSV-микросхем до сих пор остается отсутствие надлежащих стандартов.

СТАНДАРТИЗАЦИЯ И ТЕСТИРОВАНИЕ

Многие комитеты и рабочие группы Объединенного технического совета по электронным приборам (JEDEC) и Института инженеров по электротехнике и электронике (IEEE) уже много лет работают над созданием основы стандартов на трехмерные интегрированные микросхемы. С целью ускорения решения этой проблемы в декабре 2010 года Международная организация производителей полупроводникового оборудования и материалов (SEMI) сформировала Комитет стандартов на трехмерные пакетированные микросхемы (Tree-Dimensional Stacked Integrated Circuits, 3DS-IC). Для объединения усилий промышленных компаний и определения особенностей стандартизации SEMI совместно с консорциумом

Sematech ведет работу по установлению проблем, связанных с 3D TSV-технологией. В разработке стандартов принимают участие многие компании, разрабатывающие, производящие, корпусирующие и тестирующие интегральные схемы, в том числе Amkor, ASE, GlobalFoundries, Hewlett-Packard, IBM, Olympus, Qualcomm, Intel, Samsung, Semilab, Tokyo Electron, Xilinx, UMC, а также такие организации, как IMEC, ITRI.

Первоначально в Комитет 3DS-IC войдут три рабочие группы:

- группа выработки стандартов на соединение пары пластин (BWP). Стандарты этой группы будут разрабатываться на основе спецификации SEMI M1 для полированных пластин монокристаллического кремния. Работы группы будут проводиться под руководством Sematec;
- группа контроля и метрологии, которая должна изучать и создавать новые стандарты, позволяющие решать проблемы метрологии и контроля, выявленные Комитетом 3DS-IC. Руководить работами этой группы должна компания Semilab;
- группа создания стандартов на держатели утоненных пластин, которая должна изучать и создавать новые стандарты для решения выявленных 3DS-IC задач. Руководить работами этой группы должна компания Qualcomm.

Готовится создание еще одной рабочей группы, внимание которой будет направлено на определение проблем единичных пластин, используемых в процессе интегрирования. Возможным руководителем группы станет компания Applied Materials.

Уже подготовлены проекты первых стандартов на параметры пластин и технологических процессов, которые должны быть выпущены в начале 2012 года [18].

Еще одним решением проблем стандартизации производства 3D-устройств является учреждение в 2010 году консорциумом Sematech, Ассоциацией полупроводниковой промышленности (Semiconductor Industry Association, SIA) и исследовательским консорциумом Semiconductor Research Corp. (SRC) новой программы реализации 3D-конструирования (3D Design Enablement). Цель программы – стимулирование деятельности по разработке промышленных стандартов и технических условий на процессы гетерогенной интеграции. В проведении программы участвуют компании Analog Devices,



Рис.5. Рынок трехмерных электронных устройств в 2009 году (а) и 2015 (б)

Altera, LSI, On Semi и Qualcomm. В задачи программы входит создание "контрольной сетки" на основе 3D-схем различного назначения.

Все эти программы способствуют коммерциализации трехмерных схем.

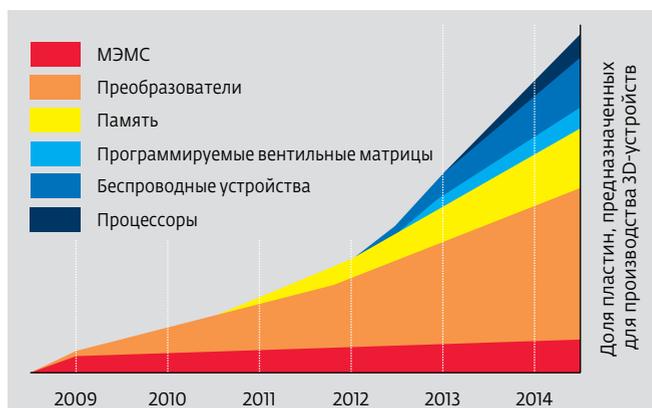


Рис.6. Структура производства трехмерных схем

КОММЕРЦИАЛИЗАЦИЯ 3D-МИКРОСХЕМ

Несмотря на экономический кризис последних лет, инвестиции в такое важное для инновационного развития электроники стратегическое направление, как 3D-интеграция, не прекратились. Это подтверждено тем, что, по данным компании Yole Development, сегодня в дизайн-центрах, аутсорсинговых компаниях, специализирующихся в области корпусирования полупроводниковых приборов, промышленных компаниях мира установлены и работают (полностью или частично) 15 опытных линий по производству 3D-микросхем по TSV-технологии на 300-мм пластинах [19]. Наибольшая активность наблюдается в странах Азиатско-Тихоокеанского региона (АТР). Благодаря разработкам таких компаний, как Taiwan Semiconductor Manufacturing Co. (TSMC), а также аутсорсинг-фирм Amkor, Advanced Semiconductor Engineering (ASE) и STATS ChipPAC в 2012 году может начаться производство трехмерных микросхем. Так, крупнейший производитель микросхем, компания TSMC, устанавливает на заводе Fab 12 в Хсинчу линию по производству 3D-схем по TSV-технологии на 300-мм пластинах и через два-три года намерена приступить к массовому производству таких схем [20].

Но не только компании АТР уделяют серьезное внимание 3D-интеграции. Изучением проблем трехмерной технологии заняты компании IBM, Intel, Analog Devices, Altera, LSI, On Semiconductor, Qualcomm, Applied Materials, Samsung, Toshiba, а также такие организации, как IMEC, Институт промышленных технологий Тайваня, консорциум Sematech и Международная организация производителей полупроводникового оборудования и материалов.

РЫНОК ТРЕХМЕРНЫХ МИКРОСХЕМ

Изготовители микросхем уже давно обсуждают достоинства трехмерных приборов, но за исключением КМОП-преобразователей изображения и МЭМС пока 3D-устройства на рынке представлены слабо. Поэтому, согласно оценкам компании Yole Development, в 2009 году на рынок трехмерных схем, объем продаж которого составил ~400 млн. долл., в основном поставлялись КМОП-преобразователи изображения, МЭМС и датчики. На рынке был представлен также SiGe БиКМОП-усилитель мощности компании IBM, изготовленный по TSV-технологии. 3D КМОП-преобразователи изображения выпустили компании TSMC/Xintec (на сумму 140 млн. долл.), STMicroelectronics (20 млн. долл.), Samsung, Toshiba (20 млн. долл. каждая) и Aptina (10 млн. долл.). Объем продаж 3D-микросхемы SiGe усилителя мощности был равен 5 млн. долл.

В 2015 году Yole Development прогнозирует увеличение объема продаж трехмерных микросхем до 4,1 млрд. долл. При этом на долю сборок логических схем с модулями памяти придется более 30% продаж, КМОП-преобразователей изображения, МЭМС, датчиков и светодиодов высокой яркости – примерно 30%, трехмерной памяти и памяти с различными типами запоминающих устройств (ДОЗУ, флеш-память NAND-типа) – примерно 20%, беспроводных систем в корпусе, 3D логических систем на кристалле/систем

в корпусе, мощных и аналоговых устройств – 20% (рис.5) [21].

Компания TechSearch International, которая отслеживает более 50 программ по созданию 3D-электроники, при оценке рынка трехмерных устройств настроена столь же оптимистично. Но отмечает, что трудная работа по переходу от производства трехмерных МЭМС и датчиков к выпуску других электронных 3D-приборов только началась. По оценкам компании, более 50% пластин, предназначенных для производства трехмерных схем, в 2015 году, по-прежнему, пойдут на изготовление КМОП-преобразователей изображения (рис.6). Это мнение, очевидно, поддерживают и многие эксперты электронной промышленности.

Вместе с тем, важное условие широкого распространения трехмерных схем – определение их стоимости.

АНАЛИЗ СТОИМОСТИ 3D ИС

Анализ стоимости системы на ранних этапах ее проектирования, когда нет подробной информации о ней, затруднено. По-видимому, начать анализ стоимости трехмерных устройств целесообразно с рассмотрения площади кристалла, длины проводящих линий и требуемого числа слоев металлизации. При этом стоит оценивать стоимость обработки пластины и стоимость сборки трехмерной конструкции (рис.7) [22].

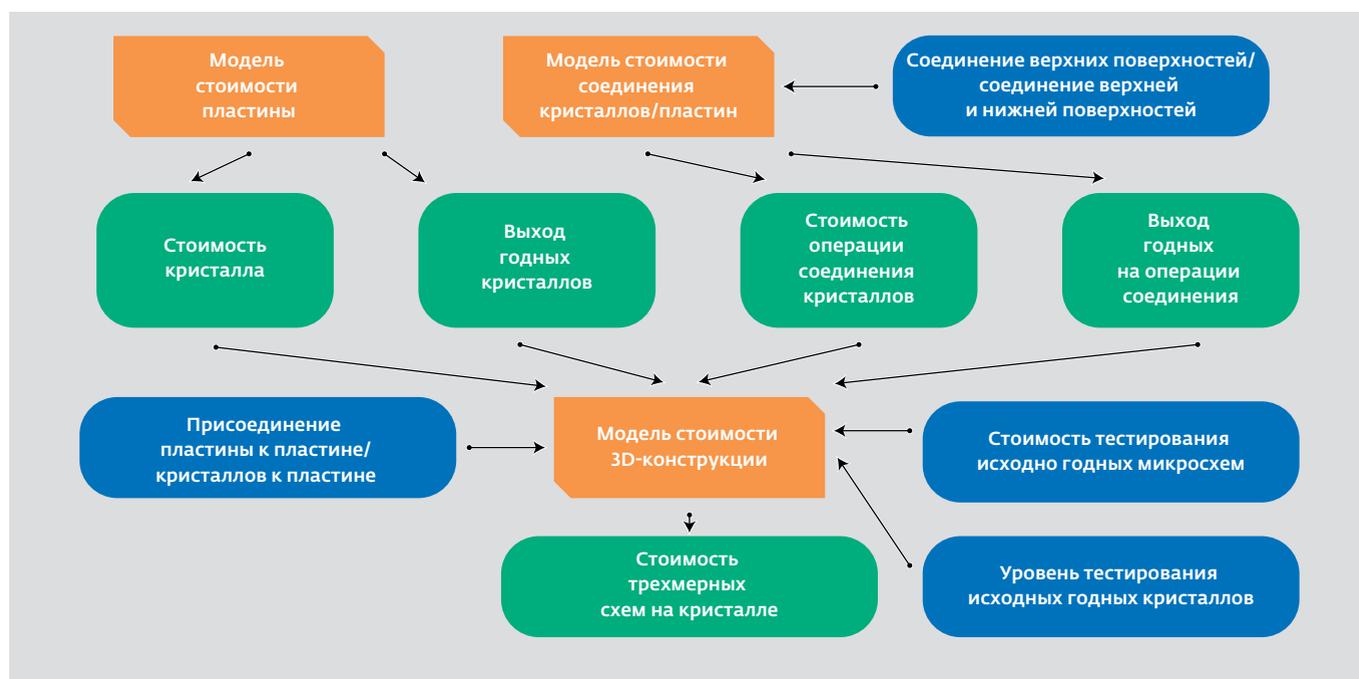


Рис.7. Модель оценки стоимости 3D-конструкции

Таблица 2. Число требуемых металлических слоев в микропроцессоре с 65-нм топологическими нормами

Число вентиляей, $\times 10^6$	Тип конструкции			
	2D	Двухслойная 3D	Трехслойная 3D	Четырехслойная 3D
5	5	5	5	4
10	6	5	5	5
20	7	6	5	5
50	8	7	7	6
100	10	8	7	7
200	12	10	9	8

Анализ влияния площади 2D-микросхемы на ее стоимость, проведенный учеными Университета штата Пенсильвания при финансовой поддержке компаний Qualcomm и IBM, показал, что чем меньше площадь микросхемы и число

используемых в ней вентиляей, тем меньше требуется слоев металлизации (рис.8). Таким образом, разбиение кристалла с микросхемой на кристаллы меньшей площади может в итоге привести к снижению стоимости трехмерной схемы. Но при оценке стоимости трехмерного устройства, изготавливаемого по TSV-технологии, необходимо учитывать не только его площадь, но и дополнительную площадь, занимаемую сквозными отверстиями. При рассмотрении стоимости трехмерного процессора, изготовленного по 65-нм технологии с шагом TSV 8 мкм, было показано, что чем больше "слоев" в 3D-конструкции, тем больше площадь, занимаемая сквозными отверстиями. В 3D-устройстве малой сложности (5·10⁶ вентиляей) с четырьмя слоями микросхем TSV занимают 10% общей площади кристалла. Однако при увеличении сложности прибора (например, до 200·10⁶ вентиляей) и пакетировании всего двух микросхем TSV

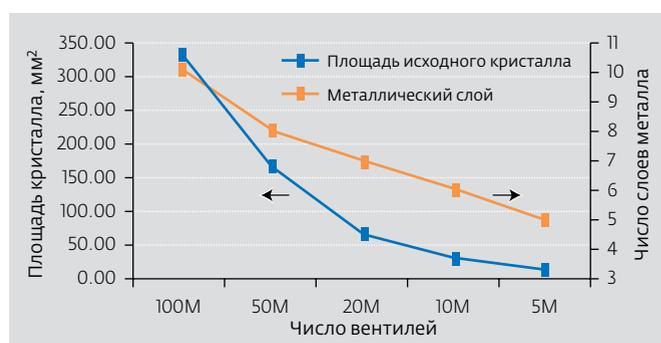


Рис. 8. Соотношение числа вентиляей, слоев металла и площади микросхемы

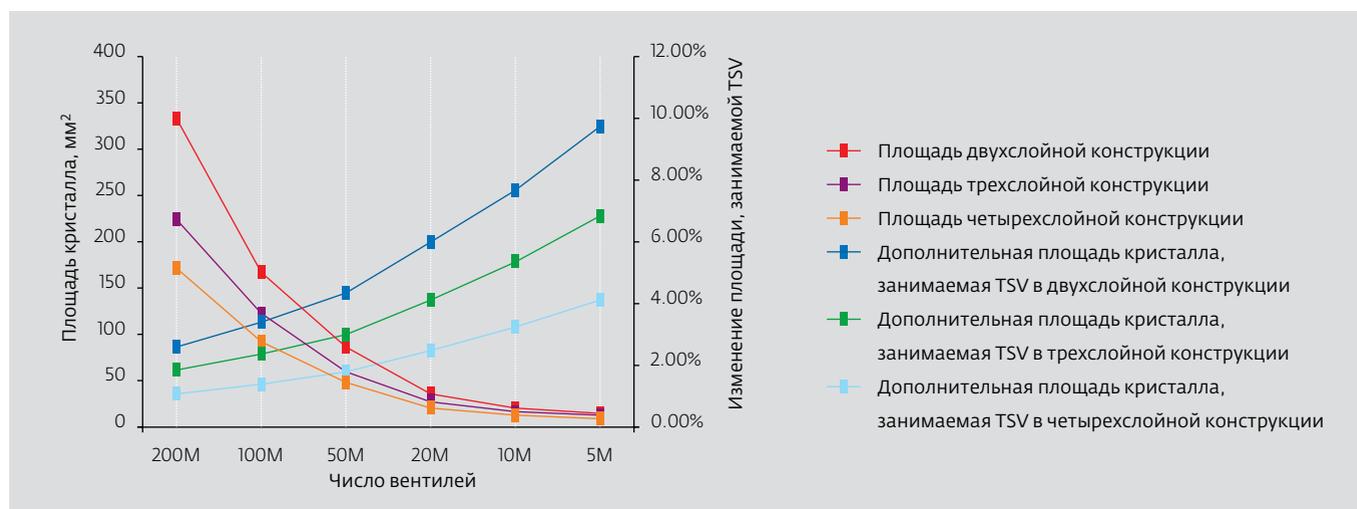


Рис. 9. Доля площади кристалла, занимаемой сквозными отверстиями

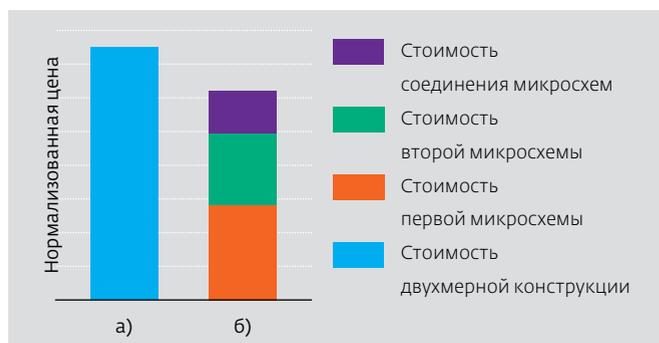


Рис. 10. Снижение стоимости флеш-памяти микропроцессора при использовании гетерогенной технологии

занимают не более 2% общей площади кристалла (рис.9).

Поскольку соединений в каждой микросхеме, входящей в 3D-конструкцию, меньше, чем в базовой планарной микросхеме, появляется возможность удалить один-два металлических слоя в каждой микросхеме конструкции. Анализ показал, что чем сложнее (больше интегрируемых микросхем) устройство, тем больше можно сокращать число слоев металлизации (табл.2).

Было также показано, что применение технологии создания двухслойного устройства становится экономически целесообразным при площади микросхемы 250 мм².

Ученые университета Пенсильвании на примере микропроцессора OpenSPARCT2 с минимальными размерами элементов 65 нм и 11 слоями металлизации, занимающего площадь кристалла 342 мм², рассмотрели достигаемое снижение стоимости при разбиении его на отдельные модули. Получено, что при выполнении кэш-памяти микропроцессора на отдельном кристалле число слоев металлизации можно сократить с семи до пяти, а стоимость процессора уменьшить на 15% (рис.10).

Таким образом, анализ стоимости устройства на раннем этапе конструирования позволяет определить целесообразность его 3D-исполнения.

* * *

Проблемы трехмерной интеграции не мешают развитию этой перспективной технологии. Их решения, скорее всего, следует рассматривать как "возможности", способствующие завоеванию новых рынков. Три года назад, сталкиваясь с проблемами трехмерной интеграции, мы спрашивали: "Зачем 3D?". Сегодня, в ходе успешного освоения этой технологии, основные вопросы - "Когда

появятся 3D?" и "Как делать 3D?". Через десять лет или раньше, оглядываясь на пройденный путь, мы будем спрашивать: "Зачем 2D?".

ЛИТЕРАТУРА

7. **F. von Trapp.** 3D: Progressing Past the Powerpoint. - Chip Scale Review, May/June, 2011, p.10-11.
8. **Garrou Ph.** Elpida Preparing for 3-D Commercialization. www.semiconductor.net/article/print/454625
9. **Гольцова М.** Международная конференция ISSCC 2011. От микросхем больших объемов до имплантируемых устройств. - ЭЛЕКТРОНИКА: НТБ, 2011, №3, с.32-45.
10. Need really big FPGAs? Xilinx will be taking the "3D" route for initial Virtex 7 parts. - eda360insider.wordpress.com/2010/11/16/need-really-big-fpgas-xilinx-will-be-taking-the-%E2%80%9C3d%E2%80%9D-route-for-initial-virtex-7-parts.
11. **Stiller A.** 3D Chip technology ready to take off. -www.multicoreinfo.com/2011/03/3d-chips/
12. **Garrou Ph.** IBM to use water cooling for future 3D IC processors. -www.electroiq.com/articles/ap/2011/03/ibm-to-use-water-cooling.html
13. **Panaitescu F.** Macronix International Unveils 3D NAND Flash Breakthrough. - gadgets.softpedia.com/news/Macronix-International-Unveils-3D-NAND-Flash-Breakthrough-10332-01.html
14. **Ramm P.** et al. 3D Integration Technology. - EDA Publishing/DTIP 2009.
15. SEMATECH reports die to wafer bonding progress for 3D integration. - www.electroiq.com/articles/ap/2011/03/sematech-reports-die-to-wafer-bonding-progress-for-3d-integratio.html
16. Cascade Microtech Partners with IMEC for 3D-TSV Probe Solutions. - www2.imec.be/be_en/press/imec-news/cascade-html.html
17. **LaPedus M.** Momentum builds for 3-D chips. - www.eetimes.com
18. New 3D Stacked IC Standards Committee at SEMI; Call for Task Force Volunteers. - www.semi.org/en/Standards/CTR_042328
19. **Garrou Ph.** 3-D IC Commercialization Continues Despite Downturn. - Semiconductor International Magazine, March, 2010. - www.allitwares.com/featured-articles-body-3-D-IC-Commercialization-Continues-Despite-Downturn-109-1.html.
20. TSMC to ramp new 12-inch fab. - www.simmtester.com/page/news/shownews.asp?num=13834
21. 3D Integration Infrastructure & Market Status. - www.suss.com/fileadmin/files/company/events/1.Yole%20Developpement_3D%20Integration%20Infrastructure%20and%20Market%20Status.pdf
22. PFTLE 120 3-D IC System Level Cost Analysis. - pftle.net/?p=119/