

КОНФЕРЕНЦИЯ ISSCC

КРЕМНИЙ – ОСНОВА УСТОЙЧИВОГО РАЗВИТИЯ СОВРЕМЕННОГО МИРА

М.Гольцова

Международная конференция по твердотельным схемам (ISSCC) всегда представляет собой "шведский стол" последних достижений в области твердотельной электроники. И 59 ежегодная конференция, состоявшаяся, как всегда, в феврале этого года, – не исключение. На ней было озвучено более 200 докладов, посвященных новейшим технологиям. В этом году участники не наблюдали острой "борьбы" между Intel и AMD или IBM. Но вместе с тем им удалось ознакомиться с новыми идеями, воплощенными в кремнии. Причем многие из них были идеями групп молодых инженеров, олицетворяющих будущее электроники. В программу конференции 2012 года добавлена секция "Демонстрация академических исследований" (Academic Demonstration Session, ADS), на которой демонстрировались действующие устройства, описанные в ряде докладов. Девиз ISSCC 2012 – кремниевые системы, как основа устойчивого развития мира. И, действительно, современная молодежь уже не представляет себе жизни без смартфона.

На пленарном заседании, официально открывшем конференцию, было заслушано четыре доклада, раскрывавших ее лозунг [1]. Президент компании SanDisk и один из ее основателей Эли Харари остановился на роли микросхем флеш-памяти в изменении рынка систем памяти. По мере освоения производства 20-нм многоуровневых ячеек памяти NAND-типа флеш-память становится ведущим типом полупроводниковой памяти. Флеш-карты активно вытесняют с рынка накопители на гибких дисках, магнитных лентах, миниатюрные жесткие диски, а также оптические компакт-диски. И сегодня объем производства накопителей на основе флеш-памяти достиг 25 млрд. долл.

По мнению Харари, совершенствование технологии и появление трехмерных микросхем

флеш-памяти в 2020 году приведет к усилению их конкуренции со всеми типами систем хранения информации (полупроводниковыми, магнитными, оптическими) и к завершению захватывающего 50-летнего завоевания ими рынка полупроводниковой памяти.

Старший исполнительный вице-президент и генеральный директор компании STMicroelectronics Камело Папа рассмотрел роль полупроводниковой технологии в сокращении энергопотребления. Экспоненциальный рост потребления энергии в мире (в период 2010–2030 годов прогнозируется его увеличение на 45%) привел к тому, что проблема организации энергоснабжения стала одной из основных тем нового столетия и главным двигателем развития полупроводниковой технологии и электронных компонентов.

Постоянно совершенствующиеся полупроводниковые приборы позволяют существенно сокращать энергию, потребляемую электронными системами. В результате к 2020 году энергопотребление в мире может быть сокращено на 150 ТВт·ч (эквивалентно энергопотреблению Португалии и Латвии). Замена в Европе ламп накаливания компактными люминесцентными лампами позволит к 2025 году сэкономить 11,5 ТВт·ч. Технологии "больше Мура" и "больше чем Мур" сыграют важную роль в экономии энергии разумных сетей (smart grids), особенно используемых в системах преобразования энергии. Переход к нанотехнологии обеспечивает дальнейшую миниатюризацию и интеграцию компонентов систем преобразования энергии, а гетерогенная интеграция средств подключения к сетям – дальнейшее увеличение их функциональных возможностей (появление микробатарей, разумных датчиков, пластмассовой электроники, систем аккумулирования энергии окружающей среды и т.п.).

Таким образом, совершенствование различного оборудования благодаря применению полупроводниковой технологии окажет значительное влияние на устойчивое развитие современного мира и на качество жизни общества.

Исполнительный вице-президент компании Renesas Electronics Йочи Яно в своем докладе "Перестроиться на скоростную магистраль, чтобы стать еще зеленее" отметил ключевую роль микропроцессорной технологии в решении проблемы обеспечения устойчивого развития современного мира. Суть доклада сводилась к доказательству того, что микроконтроллер – поистине ключевая технология на пути к "зеленым" системам.



Рис.1. Процессор Ivy Bridge

Последний эмоциональный доклад исполнительного вице-президента корпорации Intel Дэвида Перлмуттера на пленарном заседании был также посвящен проблеме обеспечения устойчивого развития мира с помощью кремниевых компонентов и систем. Сегодня применение создаваемых в соответствии с законом Мура устройств ограничено энергетическим бюджетом и эффективностью его использования. Ведь мобильное устройство, выполняющее 10^{11} операций в секунду, будет потреблять сотни ватт, а сверхсуперкомпьютер высшего класса – более 1 ГВт.

По мнению Перлмуттера, меры по оптимизации потребляемой мощности транзисторов включают переход к 22-нм трехмерным трехзатворным транзисторным структурам, трехмерным наборам микросхем, гетерогенным устройствам. Перспективной технологией, которая сможет существенно повысить энергетическую эффективность электронных систем, особенно терагерцового диапазона, он назвал технологию оптимизации работы микросхем на предельно низком (близком к пороговому) напряжении (Near-Threshold-Voltage, NTV).

Дальнейшее совершенствование компьютерных приложений, считает Перлмуттер, продлится еще 30 лет, и тем, кто сомневается в дальнейшем успешном развитии этой отрасли, он порекомендовал не спешить уходить в отставку. Предложенные Перлмуттером принципы устойчивого развития мира с помощью новейшей полупроводниковой технологии нашли свое отражение в докладах Intel на ISSCC.

ЛОГИКА

Центральные процессоры

Если на прошлогодней выставке ISSCC были представлены планарные процессоры, изготовленные по 32-нм технологии, то в этом году впервые сообщалось о создании микропроцессора на основе трехмерных транзисторов с топологическими нормами 22 нм.

На секции, посвященной процессорам, корпорация Intel, как и обещала на конференции IEDM, обнародовала давно ожидаемые производителями ноутбуков и планшетных компьютеров сведения о процессорах семейства Ivy Bridge* (рис.1). Ivy Bridge – кодовое название третьего поколения 22-нм процессоров семейства Core с той же архитектурой (за исключением нескольких поправок

* Впервые Intel сообщила о разработке 22-нм 3D-процессора Ivy Bridge на форуме разработчиков (Developer Forum) 2011 года.

и улучшений), что и у 32-нм процессоров второго поколения Sandy Bridge [2].

На конференции ISSCC корпорация представила самый "продвинутый" из четырех вариантов разработанных микросхем новой серии, содержащий четыре x86 ядра и обновленный графический блок [3, 4]. На кристалле микросхемы площадью 160 мм² расположено 1,4 млрд. транзисторов (у Sandy Bridge – 1,16 млрд. транзисторов на площади 216 мм²). В микросхеме используются три типа трехмерных полевых транзисторов FinFET: быстродействующие с номинальной утечкой, со средним быстродействием и утечкой, равной четверти номинального значения, и с малым быстродействием и утечкой, равной одной десятой номинального значения. В высокочастотных блоках процессора ~30% транзисторов представляют собой приборы с номинальной утечкой и 70% – приборов с утечкой, равной четверти номинального значения, а в блоках с малым быстродействием – 25% приборов с утечкой, равной четверти номинального значения, и 75% – с утечкой, равной одной десятой номинального значения [5]. В режиме управления питанием процессор Ivy Bridge может отключать питание системы ввода-вывода, а также автоматически направлять

потоки в наиболее энергоэффективное ядро и оптимизировать напряжение.

В микросхему процессора входят L3 кэш емкостью 8 Мбайт. По утверждению разработчиков, Ivy Bridge первый в истории Intel процессор с поддержкой энергоэффективного DDR3L ДОЗУ с номинальным напряжением 1,35 В и эффективной частотой до 1,6 ГГц (1600 Мтранзакций/с). Возможна также регулировка мощности DDR-памяти в режиме покоя. Возможна и поддержка обычного 1,5-В DDR3 ДОЗУ. Новая схема содействия записи обеспечивает уменьшение потребляемой мощности в среднем на 100 мВт. Кроме того, процессор содержит:

- 20 шин PCI Express 3.0;
- графическое ядро, которое поддерживает графические интерфейсы прикладного программирования Microsoft DirectX 11.0, т.е. задействовано в области, где компоненты Intel отстают на целое поколение от продукции конкурентов;
- контроллер DisplayPort, обеспечивающий вывод изображения с разрешением до 4096×4096 пикселей на три независимых экрана – один 1,6-ГГц и два 2,7-ГГц канала (с четырьмя полосами каждый).

В PCIe-блоке использован линейный эквалайзер с 32 уровнями регулирования усиления сигнала и передатчиком с цифровым нерекурсивным фильтром со знаменателем 3. PCIe-блок также способен анализировать джиттер для устранения искажений передаваемых данных и контролировать непосредственно на кристалле временные соотношения и диапазон допустимых рабочих напряжений.

Благодаря увеличению количества потоков и параллельной обработке нескольких потоков число выполняемых ядрами Ivy Bridge команд за цикл увеличен в два раза. Уровень TDP даже самых "горячих" процессоров Ivy Bridge не превышает 77 Вт (у Sandy Bridge – 95 Вт), и кое-кто может считать это одним из главных достоинств нового процессора.

Особенность микросхемы Ivy Bridge – ее "модульность", которой разработчики уделили большое внимание с тем, чтобы создавать различные модификации процессоров без лишних материальных и временных затрат. В результате представленная на ISSCC микросхема четырехъядерного процессора может быть "разрезана" для уменьшения числа вычислительных ядер и/или исполнительных блоков графического ядра (рис.2) [6]. Правда, двухъядерные процессоры не поддерживают ни Turbo Boost, ни PCI Express 3.0, а также

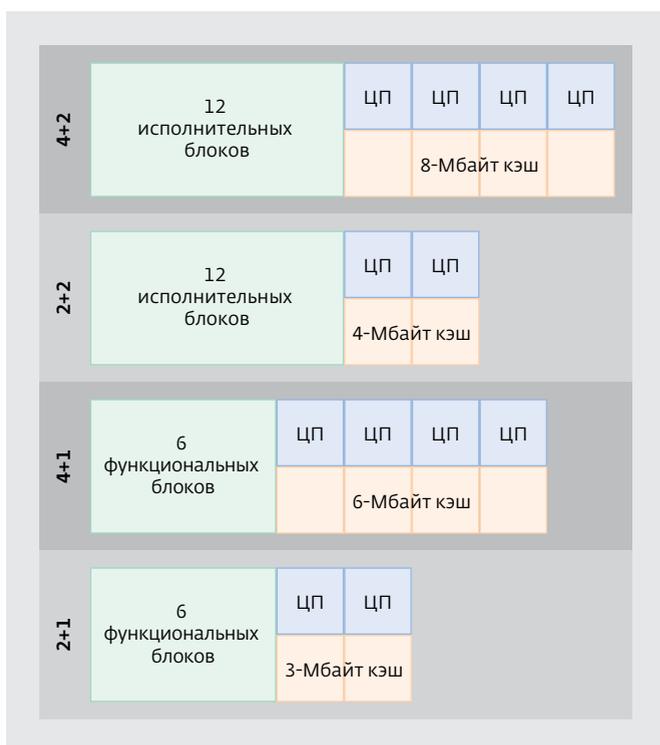


Рис.2. Четыре варианта процессора Ivy Bridge, отличающихся числом ядер, графических блоков и объемом кэш-памяти высшего уровня

не работают с технологиями vPro, VT-d, TXT и расширениями AES-NI. Поддержка VT-x предусмотрена. Таким образом, поддержку PCI Express 3.0 обеспечивают только четырехъядерные процессоры (Core i5 и Core i7).

Точная дата выпуска процессоров Ivy Bridge, которые с нетерпением ожидают такие изготовители комплексного оборудования, как ASUSTek, HP, Acer и Lenovo, не вполне определена, хотя официально выпуск четырехъядерных процессоров планировался на 23 апреля этого года. Изготовители ноутбуков рассчитывают выпустить устройства на основе Ivy Bridge в мае. Что касается двухъядерных устройств, то здесь ситуация еще более неопределенная. Скорее всего, это изделие, предназначенное для ноутбуков и "ультрабуков", появится в III квартале.

Не меньший интерес слушателей секции "Процессоры" вызвал и второй доклад корпорации Intel, представившей опытный образец системы на кристалле, в которой объединены процессор (двухъядерный Atom с частотой 1,6 ГГц) и Wi-Fi-трансивер на частоту 2,4 ГГц (рис.3) [7, 8]. Это очередной шаг корпорации к реализации стратегии создания "компьютера на кристалле".

Интеграция сложной аналоговой радиочастотной схемы с логической схемой – непростая задача. Вот почему конструкторы Intel пошли по пути создания цифровой ВЧ-схемы, что и позволило им впервые объединить не на одной подложке, а в одном кристалле процессор и Wi-Fi-модуль. Микросхема с кодовым именем Rosepoint выполнена по 32-нм КМОП-технологии с диэлектриком с высокой диэлектрической постоянной и металлическим затвором (HKMG).

Научный сотрудник корпорации Хаснайн Лакдавала отметил, что для создания микросхемы необходимо было разработать процесс изготовления как аналоговых ВЧ-компонентов, так и цифровых устройств, а также методы интеграции IP-блоков и масштабируемые аналоговые и ВЧ-компоненты. С помощью КМОП-технологии, предложенной корпорацией, формировались логические транзисторы (стандартные и высокопроизводительные), маломощные транзисторы с малым током утечки и высоковольтные устройства ввода-вывода. Для получения высококачественных пассивных компонентов, особенно элементов индуктивности, и минимизации потерь на вихревые токи использовалась высокоомная подложка и оптимизированные металлические ВЧ токопроводящие дорожки. В микросхеме были изготовлены элементы с индуктивностью

0,5 нГ и добротностью ~25 и с индуктивностью 5 нГ и добротностью выше 15. Для объединения различных полупроводниковых IP-блоков (UART, GPIO, SDIO, PCIe, RTIC, DDR I/F) использовалась запатентованная корпорацией система коммуникаций на кристалле (Intel On-chip System Fabric, IOSF), которая также обеспечивала тестирование, отладку и проверку отдельных блоков с помощью расположенного на кристалле логического анализатора.

Двухъядерный процессор Atom поддерживает двухстороннюю параллельную многопоточковую обработку. Процессорные ядра "CAN-готовы", что облегчает тестирование процессора. Для повышения при необходимости производительности и минимизации потребляемой при этом мощности система на кристалле поддерживает режим группового обмена и регулировку мощности ядра и L2 кэш-памяти. Микросхема работает в C5-режиме мощности процессора Atom. Для микросхем промышленного применения каждое ядро имеет цифровой датчик температуры.

Модуль беспроводной связи и процессорные ядра не являются идеальными соседями. Процессор и передатчик при работе создают взаимные помехи, и чем они ближе друг к другу, тем они сильнее. Особенности разработанного компьютера на кристалле – контроль шумоподобного



Рис.3. Блок-схема системы на кристалле, объединяющей Atom-процессор и WiFi-модуль

сигнала и система автоматического управления разфазировкой, обеспечивающая сдвиг по фазе 5%.

WiFi-модуль содержит малошумящий усилитель, усилитель мощности и два переключателя приема/передачи. Отвечая на вопросы, Лакдавала сказал, что цифровая часть WiFi-модема реализована внешними программными средствами отдельно от ВЧ-блоков, и представленная версия Wi-Fi-модуля обладает лишь базовой функциональностью и поддерживает работу только на частоте 2,4 ГГц.

Микросхема системы на кристалле – пока еще опытный образец. Правда, инженеры корпорации и не пытались создать полнофункциональное устройство. Ими были решены только принципиальные проблемы, препятствовавшие интеграции модулей беспроводной связи в систему на кристалле. Теперь в планы Intel помимо интеграции WiFi входит и реализация цифровых модулей для 3G- и 4G-систем сотовой связи, а также размещение антенн непосредственно на кристалле, что откроет микропроцессорам Atom путь на рынок смартфонов, нетбуков и планшетных компьютеров. Отмечается, что разработки ведутся на базе беспроводных технологий приобретенной ранее компанией Infineon, благодаря чему Intel существенно обогатила опыт работы с сетями 3G/LTE.

Таким образом, судя по всему, корпорация Intel всерьез взялась за решения для мобильных устройств, чтобы как можно скорее ликвидировать отставание от конкурентов (Qualcomm, Samsung, NTT DoCoMo, Fujitsu, NEC). Правда, ей "на пятки наступают" компания Qualcomm с четырехъядерным ARM-процессором Snapdragon S4, поставки которого заказчикам планируются в этом году. В нем на одной подложке уже встроен модуль беспроводной памяти с Wi-Fi, 4G и 3G! Но не это самое интересное. Дело в том, что S4 способен работать на планшетах с ОС Windows 8!

Помимо микросхем на основе x86-архитектуры на процессорной секции рассматривались устройства и с классической RISC-архитектурой. Компания Oracle описала процессор SPARC T4, представляющий собой систему на кристалле с восемью SPARC S3-ядрами. Новый процессор существенно отличается от процессоров семейства SPARC предыдущих поколений, в которых использовалось большее число многопоточных процессорных ядер. Каждое из восьми ядер T4 обрабатывает восемь потоков (для системы процессор выглядит как 64 центральных процессора).

Для сравнения в T3 допускалось до 16 ядер по восемь или 16 потоков в каждом. Меньшее число ядер компенсируется увеличением тактовой частоты с 1,67 до более 3 ГГц.

Ядра процессора SPARC впервые содержит блок неупорядоченного выполнения команд. Кроме того, в каждое входят блок, работающий с плавающей запятой, механизм учреждения приоритета поточной обработки (так называемый "API критичного потока"), дающий предпочтение однопоточной обработке, и специализированное устройство шифрования. В микросхеме используется трехуровневая иерархия кэш-памяти: L1 кэш объемом 32 Кбайт (16 Кбайт для хранения данных и такой же объем для команд), L2 кэш объемом 128 Кбайт в каждом ядре и L3 кэш объемом 4 Мбайт совместного пользования всеми ядрами. Процессор Sparc T4 также содержит два контроллера DDR3-памяти, два контроллера PCIe, шесть согласованных линий связи для соединения с четырьмя другими T4-процессорами без внешней коммутационной схемы. В итоге, по утверждению представителей компании, производительность однопоточных программ нового процессора увеличена в два-семь раз по сравнению с моделью T3. Изготавливается T4 по 40-нм технологии Taiwan Semiconductor Manufacturing Company с 12 уровнями металлизации и содержит 855 млн. транзисторов, размещенных на кристалле площадью 403 мм².

Пожалуй, самое большое внимание слушателей привлек доклад Intel, касающийся третьего микропроцессорного проекта – центрального процессора с потребляемой мощностью менее 10 мВ при приемлемом быстродействии. Маломощный 32-разрядный процессор, получивший кодовое имя Claremont, выполнен по 32-нм NTV-технологии с ядром на основе заслуженного процессора Pentium [9].

Концепция работы транзисторов при напряжении, близком к пороговому, не нова. Академические исследования в этой области начали проводить 30 лет назад. В 1972 году было рассчитано минимальное рабочее напряжение транзисторов, равное 36 мВ, что тогда и получили некоторые экспериментаторы. Одна из проблем, возникающих при разработке транзисторов, работающих при предельно низком напряжении, связана с разбросом порогового напряжения транзисторов на кристалле. При относительно большом разбросе и напряжении питания, близком к среднему пороговому значению, возможны большие токи утечки, что является недостатком

таких транзисторов. Из-за ухудшения эффективности дифференциальных усилителей считывания, способных регистрировать минимальную разность напряжений порядка 100 мВ (напряжение NTV-транзисторов – 400–500 мВ), построение схем памяти на основе NTV-транзисторов затруднено.

Для создания маломощного процессора Claremont разработчики перестроили иерархию L3 кеш-памяти, реконструировали процессор, с тем чтобы он получал доступ к регистрам за несколько циклов, использовали новые цепи для работы с пограничными уровнями напряжений, ввели дополнительные функции проверки ошибки динамического режима и его восстановления. Напряжение питания демонстрировавшейся на конференции микросхемы размером с почтовую марку составляло 280 мВ при тактовой частоте 300 МГц и 1,2 В при частоте 1 ГГц. Минимальное энергопотребление процессора было чрезвычайно низким по сравнению с современными универсальными процессорами – 2 мВт. Теоретически энергоэффективность NTV-процессора должна быть раз в восемь выше, чем у современных процессоров. Однако из-за применения старого ядра Pentium эффективность созданного процессора возросла лишь в пять раз. Но эта ситуация вполне исправима, поскольку разработчики утверждают, что созданная технология применима для любой архитектуры процессора.

Работа Claremont в ПК с ОС Windows и Linux была продемонстрирована на форуме разработчиков концерна Intel 2011 года. Процессор активно использовал ОС компьютера, питаясь от сети, и продолжал оставаться в рабочем состоянии после перехода на питание от солнечного элемента (рис.4). После выключения солнечного элемента работа компьютера прекращалась.

По словам руководства Intel, при разработке Claremont задача подготовки выпуска процессоров на солнечных батареях не ставилась. Цель работы – создание архитектуры микросхемы, работающей по принципу "потребляю как можно меньше". Возможности применения NTV-технологии для создания вычислительных систем с быстродействием в диапазоне 10^{18} операций с плавающей запятой были продемонстрированы тремя другими докладами Intel в секции 10, посвященной высокопроизводительной цифровой логике. К ним относятся работы по созданию:

- 256-разрядного SIMD графического блока с рабочим напряжением от 280 мВ до 1,1 В, выполненного по 22-нм технологии на основе

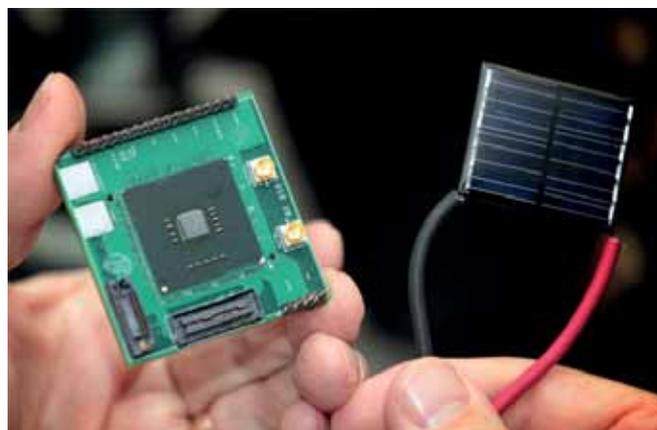


Рис.4. "Солнечный" процессор Claremont

трехвентильных полевых транзисторов. При напряжении 280 мВ его энергетическая эффективность была в девять раз выше, чем у современных графических процессоров;

- опытной микросхемы умножения-сложения с однократным округлением, выполняющей расчеты с плавающей запятой с регулируемой точностью (24-, 12- и даже шестизначной) и требуемой достоверностью. На частоте 1,45 ГГц удельная производительность, отнесенная к потребляемой мощности, составляет от 52 до 162 Gflops/s/W. Благодаря возможности сокращения значащих разрядов достигается 50%-ная экономия энергии. Выполнен процессор по 32-нм NTV-технологии, что позволило дополнительно снизить его рабочее напряжение до 300 мВ;
- экспериментальной КМОП-микросхемы акселератора, преобразующей линейные зависимости сложных расчетов с плавающей запятой в логарифмические. Рабочее напряжение микросхемы составляет 560 мВ, потребляемая мощность – 151 мВт при обработке 2,05 Гвершин/с.

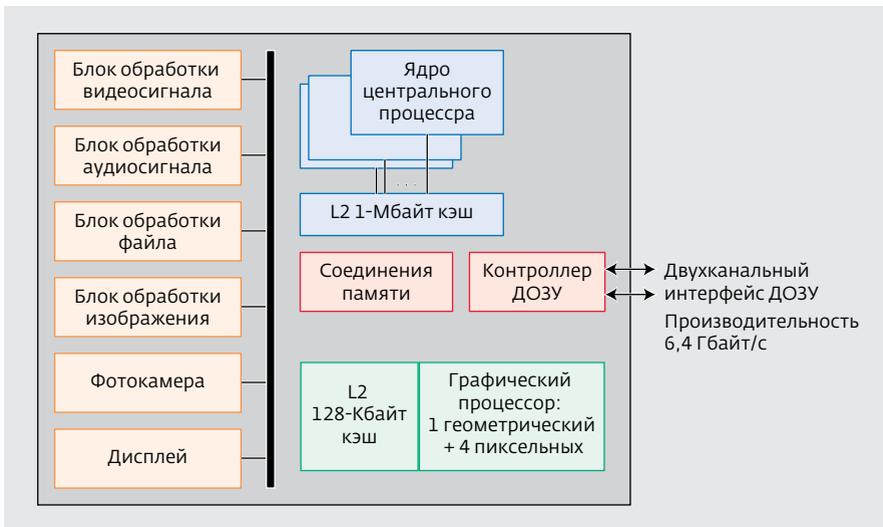


Рис.5. Блок-схема нового прикладного процессора семейства Exynos

связью между ядрами и подсистемой памяти. В микросхему процессора также входит графический процессор собственной разработки с поддержкой OpenGL ES 2.0. Графический процессор содержит четырехъядерный пиксельный процессор, одноядерный геометрический процессор, специализированную L2 кэш-память емкостью 128 Кбайт и двухканальный интерфейс ДОЗУ, поддерживающий динамическую память LPDDR2, DDR2 и DDR3 (рис.5).

Конфигурация процессора Exynos сама по себе не представляет ничего удивительного. Интересны методы, кото-

Микросхема предназначена для будущих процессоров графических систем, обеспечивающих расчет освещенности, от которой зависит цвет пикселей на экране.

Доклад, представивший SIMD графический блок, получил награду конференции за выдающуюся разработку.

Многие из описанных NTV-технологий пока носят "глубоко экспериментальный" характер, и до их массового производства пройдет несколько лет. Правда, исполнительный вице-президент корпорации Intel Дэвид Перлмуттер в программном выступлении сделал логическую связку между NTV-технологией и процессорами следующего поколения Haswell [10], которые будут выполнены по 22-нм технологии на основе трехзатворных полевых транзисторов. Эти микросхемы на частоту 3-4 ГГц с расширенными возможностями графической обработки должны появиться в 2013 году.

Процессоры приложений

На секции 12, посвященной системам на кристалле для мультимедийных и коммуникационных систем, компания Samsung представила прикладной процессор новейшего поколения семейства Exynos [11]. Выполнен он по 32-нм технологии, может иметь два или четыре ARM-V7A ядра на частоту 1,5 ГГц, каждый из которых содержит векторный блок, работающий с плавающей запятой, и 64-бит ARM NEON SIMD-сопроцессор. Ядра совместно используют кэш-память емкостью 1 Мбайт, содержащую специальный модуль "ищейку" (Snooper Control Unit, SCU) для управления

рыми Samsung использовала для повышения его быстродействия и уменьшения энергопотребления. Первое инновационное решение (для компании) заключается в использовании НКМС-структуры. Это позволило уменьшить на два порядка ток утечки затвора и на порядок общий ток утечки схемы и увеличить ее производительность на 40%.

Разработчики определили четыре блока с высоким энергопотреблением: центральный процессор, геометрический процессор, интерфейс памяти и IP аудио/видео-блоки. Каждый блок был разделен на подблоки. Так, в каждое ядро входят собственный блок с высоким энергопотреблением и подблок кэш-памяти, разделенной на два подблока, каждый из которых содержит регистры сохранения данных состояния. В результате каждое ядро может независимо друг от друга выключаться, включаться или переходить в требуемое состояние при работе только половины кэша. Независимо друг от друга могут включаться и аудио/видео- IP-блоки. Это позволило в зависимости от требований системы, в которой применяется центральный процессор, использовать различные схемы распределения мощности.

Благодаря разработанным компанией методам корректировки мощности и производительности устройств на кристалле используется лишь то железо, которое необходимо для данного приложения. К этим методам относится динамическое масштабирование частоты и напряжения (Dynamic Voltage Frequency Scaling, DVFS), регулирующее рабочее напряжение и частоту в соответствии с требованиями приложения.

Мощность, потребляемая кэш-памятью, управляется с помощью расположенных по периферии блока памяти переключателей. В результате, по утверждению разработчиков, им удалось продлить срок службы батареи устройства на основе прикладного процессора и ДОЗУ на 34-50%. Кроме того, путем прямого смещения кристалла (в диапазоне 0,1-0,6 В) удалось увеличить производительность микросхемы на 13,5%, а при обратном смещении - уменьшить ток утечки и, следовательно, энергопотребление схемы. И, наконец, дополнительное устройство управления температурой с помощью термодатчиков контролирует температуру различных блоков микросхемы и поддерживает ее постоянной. Так, при превышении температуры заданного уровня производительность блока уменьшается. В результате энергопотребление микросхемы сокращается на 32%.

Докладчики неохотно раскрывали подробности технологии нового процессора, но показали его возможности на секции "Демонстрация академических исследований".

3D-процессоры

Хотя ряд современных работ продемонстрировали достоинства 3D-микросхем со сквозными отверстиями в кремнии (TSV), но до сих пор сообщения о создании трехмерного многоядерного процессора, объединенного с микросхемой памяти, не было. Таким образом, можно считать, что на конференции ISSCC Институт технологии Джорджии впервые представил такой процессор, получивший название 3D-MAPS (3D MAssively Parallel processor with Stacked memory - трехмерного процессора с массивным параллелизмом и расположенной поверх него схемой памяти) [12]. Он представляет собой двухъярусную (один ярус - логическая схема, второй - микросхема памяти) интегральную схему, в которой логическая схема содержит 64 процессорных ядра на частоту 277 МГц, а схема памяти - СОЗУ емкостью 256 Кбайт. Как отметил докладчик, ядра полностью не "укомплектованы": не предусмотрена работа с плавающей запятой, имеют лишь один

пятиступенный конвейер логического блока и один конвейер данных памяти, способный за цикл выполнить обработку 4-байт данных. Каждое ядро владеет 4-Кбайт "черновым блоком" СОЗУ, которое с помощью сквозных отверстий крепится "лицом к лицу" поверх него (рис.6). Причем каждое ядро имеет доступ только к своему блоку, т.е. совместного пользования памятью не предусмотрено.

Эталонные испытания 3D-MAPS-процессора на производительность показали, что пропускная способность памяти составляет 64 Гбайт/с (теоретическое значение оценивается в 70,9 Гбайт/с). Рабочее напряжение процессора составляет 1,5 В, потребляемая мощность - 4 Вт, что при размере микросхем 5x5 мм соответствует плотности мощности 162 Вт/см².

3D-MAPS-процессор изготовлен по 130-нм технологии крупнейшим полупроводниковым производителем GlobalFoundries. Техника соединения микросхем двух ярусов микросхем "лицом к лицу" (толщина верхнего яруса - 12 мкм, нижнего - 765 мкм) и TSV-технология были предоставлены компанией Tezzaron Semiconductor, корпусирование процессора осуществила Amkor. Диаметр сквозных отверстий равен ~1,2 мкм, минимальное расстояние между ними - 2,5 мкм, длина - 6 мкм, паразитное сопротивление - ~60 Ом, паразитная емкость - 15 фФ. Диаметр контактных площадок составляет 3,4 мкм, шаг - 5 мкм.

Разработчиками уже создано следующее поколение 3D-MAPS-процессора V2 с пятиярусной структурой (два яруса логических схем,

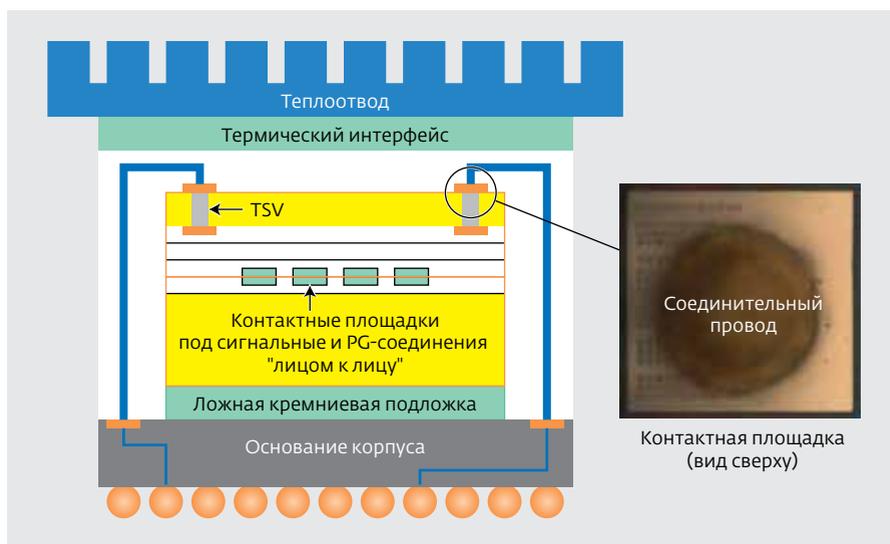


Рис.6. Структура 3D-MAPS-процессора



Рис.7. K supercomputer, установленный в институте RIKEN

три - схем памяти). Процессор содержит 128 ядер, ДОЗУ емкостью 256 Мбайт и 512-Кбайт СОЗУ. Размер логической схемы - 5×5 мм, схемы памяти - 20×12 мм. Рабочая частота равна 175 МГц, потребляемая мощность - 10,4 Вт.

Ожидается, что с появлением второго поколения процессора 3D-MAPS V2 число сообщений о разработках таких систем увеличится и, возможно, конференция ISSCC 2013 станет "балом 3D-дебютантов".

Отмечается, что работа по созданию 3D-MAPS-процессора финансировалась Министерством обороны США [13].

K supercomputer

Рассматривая высокопроизводительные логические устройства, нельзя не отметить K supercomputer, разработанный компанией Fujitsu и установленный в перспективном вычислительном центре Института физико-химических исследований RIKEN. Этот компьютер не только самый быстрый в списке TOP500 2011 года (последние результаты испытаний в бенчмарке LINPACK - 8,162 Pflops) [14], но и один из наиболее энергоэффективных (занимает 31 место по отношению GFlops/W). Как и у всех современных суперкомпьютеров, высокая производительность K supercomputer достигнута за счет массивного параллелизма. Представленная на ISSCC система построена на 68544 восьмиядерных процессорах SPARC64 VIIIfx (548352 вычислительных ядра). Частота процессоров равна 2 ГГц, мощность - 5 Вт при

производительности в 128 Gflops. Выполнены они по 45-нм технологии.

Сегодня показатели компьютера улучшены: в бенчмарке LINPACK производительность достигла 10,51 Pflops. В состав вычислительного комплекса в RIKEN в его окончательной конфигурации входят в общей сложности 88128 взаимодействующих друг с другом процессоров (~700 тыс. ядер), распределенных в 864 вычислительных стойках (рис.7).

Каждая микросхема суперкомпьютера содержит 16-Гбайт память, которая непосредственно присоединена к разработанной компанией сети с инновационной шестимерной сетевой/тороидальной топологией [15]. Сеть, получившая название Tofu (от torus fusion - синтез тороидов), реализована с помощью специализированной ASIC-микросхемы контроллера межсоединений. Сеть содержит множество альтернативных соединений процессоров и механизм, обеспечивающий обход вышедшего из строя устройства. При испытаниях в бенчмарке LINPACK (длившаяся 28 ч) возможность обработки данных компьютером составила 93%.

При использовании столь большого числа компонентов серьезной становится задача обеспечения высокой надежности системы. Для ее решения Fujitsu заменила оптические кабели медными. В результате число 200 отказов за 10⁹ ч, регистрируемых для 200 тыс. кабелей, используемых в компьютере, было существенно сокращено.

Мощность, потребляемая суперкомпьютером при тестировании, составила 9,89 МВт. Экономия мощности оценивается разработчиками в более чем 1 МВт, что соответствует ~1 млн. долл. в год.

СИСТЕМЫ ПАМЯТИ

ДОЗУ

Основные типы памяти современных электронных систем по-прежнему - ДОЗУ, СОЗУ и флеш-память. Современные электронные системы требуют применения энергоэффективной динамической оперативной памяти большой емкости. Основная проблема при разработке микросхем ДОЗУ по-прежнему заключается в обеспечении широкой полосы пропускания при низком напряжении питания. Работы в области создания ДОЗУ направлены на освоение 23-нм технологии и на достижение емкости 4 Гбит. На ISSCC этого года схемам ДОЗУ было уделено такое же внимание, как и процессорным схемам. По-видимому, наступил час пик

оперативной памяти DDR4-стандарта, и если перспективный план развития (roadmap) этой технологии будет выполнен, в 2013 году эта память появится на рынке [16].

Согласно плану объединенного инженерного совета по электронным устройствам (JEDEC), DIMM-модули памяти стандарта DDR4 с проверкой и коррекцией ошибок (ECC) объемом 32 Гбайт первоначально применяют в серверах, в которых они будут активно вытеснять оперативную память DDR3-стандарта. Частота DDR4-микросхем для настольных компьютеров постепенно возрастет с 2,133 до 3200 ГГц, что впоследствии закрепят стандартами JEDEC, хотя в ближайшее время серверы будут устраивать и 2,4 ГГц.

По оценкам аналитической компании IHS-iSuppli, доля модулей памяти стандарта DDR3 в 2012 году составит 71%, но в 2014 снизится до 49%. А в 2015 году 50% рынка DRAM уже придется на долю модулей DDR4-стандарта.

Микросхемы синхронных ДОЗУ DDR4-стандарта на конференции были представлены ведущими производителями динамической оперативной памяти - Samsung Electronics и Hynix Semiconductor, хотя разработкой таких схем памяти заняты и компании Elpida Memory и Micron Technology, которые, очевидно, опубликуют свои данные в конце 2012 года.

КМОП-микросхема DDR4-памяти емкостью 4 Гбит компании Samsung изготовлена по 30-нм технологии. Ее напряжение питания составляет 1,2 В (1,5 В у DDR3 с теми же 30-нм проектными нормами), частота - 2,133 ГГц (1,6 Гбит у DDR3). Заимствованный у графической памяти псевдооткрытый сток (Pseudo Open Drain, POD) интерфейса ввода-вывода позволяет по сравнению с DDR3 на 40% сократить энергопотребление новой памяти в режимах записи и чтения. Для увеличения пропускной способности при пониженном напряжении питания и сокращения энергопотребления при высокоскоростной передаче использована инверсия шины данных. Для гарантии надежной передачи данных применена функция проверки и коррекции ошибок, предусматривающая контроль циклическим избыточным кодом, а также выполняется идентификация нарушения четности линий передачи команд и адреса. Причем площадь кристалла, занимаемая блоками реализации этих функций, была уменьшена. Положительную роль в увеличении производительности сыграли и усовершенствованный буфер, и нечувствительная

к воздействию давления и температуры схема выборки данных.

Микросхема DDR4 SDRAM объемом 2 Гбит компании Hynix выполнена по 38-нм технологии. Занимаемая площадь - 43,15 мм². Напряжение питания то же, что и у микросхемы Samsung - 1,2 В, но частота выше - 2,4 ГГц. При 64-разрядном вводе-выводе производительность составляет 1,9 Гбит/с. Микросхема имеет архитектуру групповых банков с независимыми сигнальными линиями, что позволяет каждой группе банков работать индивидуально, в том числе и в режимах регенерации. Фактически, работают только те ячейки модуля памяти, которые необходимы для хранения текущего объема информации, тогда как пустующие блоки "отключены". Подобный подход способствует уменьшению тока активных банков на 8,4% и, тем самым, повышению энергоэффективности памяти. Для обеспечения надежной передачи данных при большой полосе пропускания также предусмотрены контроль циклическим избыточным кодом и нарушения четности командных и адресных шин.

Массовое производство микросхем DDR4 начнется уже в этом году, но прежде компании должны освоить 20-нм технологию. Разъемы для установки памяти DDR3 и DDR4, естественно, будут отличаться.

Для мобильных систем более критичными параметрами являются потребляемая мощность и надежность. И здесь интерес представляет доклад специалистов Калифорнийского университета в Лос-Анджелесе, Университета западной Вирджинии и компании TMS, в котором описана микросхема интерфейса памяти для мобильных устройств, поддерживающая скорость передачи данных в основной полосе 5 Гбит/с и в полосе радиочастот 3 Гбит/с при эффективности энергопользования 4 нДж/бит/вывод. При этом коэффициент ошибок по символам не превышает 10-12. КМОП-микросхема единичной передающей линии с двухдиапазонным соединением с 65-нм нормами (Single-Transmission-Line dual-band interconnect, STL-DBI) выполнена по 65-нм технологии. Производительность ее составляет 8 Гбит/с/вывод, потребляемая мощность - 32 мВт, показатель качества - 2,08 Гбит/вывод/мм²/мДж, что намного лучше чем у современных микросхем интерфейсов памяти.

Большой интерес на секции "Высокопроизводительные цифровые системы", вызвал доклад IBM, посвященный опытному

образцу 3D-системы, в которой L3 кэш-память на основе встраиваемого ДОЗУ укреплен поверх логической схемы с помощью TSV. Микросхема ДОЗУ размером 5,6×10,9 мм изготовлена по 45-нм технологии. Диаметр сквозных отверстий составляет ~20 мкм, минимальный шаг – 50 мкм, заполнение – медь. Около 1000 TSV в каждом слое были предназначены для передачи сигнала, около 5600 – для подачи питания. Для проверки работоспособности системы специалисты компании использовали подобную процессору логическую схему, содержащую блоки обращения памяти и эмулирующую шум и мощность реального процессора вплоть до 350 Вт/см². Такой уровень мощности необходим для целевой четырехуровневой конструкции. Предполагаемая расфазировка синхронизирующих импульсов конструкции должна быть менее 13 пс. Тогда тактовая частота системы в худшем случае будет равна 2 ГГц, а пропускная способность – 440 Гбит/с.

Предполагается, что представленную IBM 3D-систему можно будет найти в процессоре POWER 8 и в будущих базовых компьютерах zArchitecture.

Встраиваемые СОЗУ

С уменьшением размеров элементов СОЗУ до 22 нм и менее дальнейшее обеспечение малого рабочего напряжения, робастности, эффективности использования кристалла может быть достигнуто за счет новых трехвентильных транзисторных структур, вспомогательных систем и новых схем выборки данных. И здесь вновь привлекла внимание компания Intel, представившая первую микросхему 6Т СОЗУ на частоту 4,6 ГГц, выполненную по 22-нм технологии на основе трехвентильных полевых транзисторов [17]. Разработчики систем могут выбирать между вариантами микросхем для высокопроизводительных CPU для L3 кэш или микросхем с чрезвычайно малым энергопотреблением для L2 кэш, используемых в системах на кристалле, предназначенных для устройств с длительным сроком жизни батарей питания. В первом случае площадь шеститранзисторной ячейки памяти с высокой плотностью упаковки, содержащей 2,9 млрд. транзисторов, равна 0,092 мкм²*, во втором для СОЗУ – 0,108 мкм².

Усовершенствованный блок обработки данных микросхемы позволяет оптимизировать

нарастание переходного напряжения при поддержке операции записи (Transient Voltage Collapse Write Assist, TVC-WA) и тем самым обеспечить при записи временное снижение его выброса до уровня ниже напряжения хранения данных. Блок также позволяет понижать напряжение шины слов при поддержке операции считывания (WordLine UnderDrive Read Assist, WLUD-RA) и обеспечить регулировку напряжения затвора нагрузочного транзистора. В результате напряжение питания, требуемое СОЗУ на частоту 2 ГГц, удалось уменьшить по сравнению со схемой с 32-нм нормами на 175 мВ, а пропускную способность увеличить в 1,7 раза.

Помимо традиционных схем памяти на конференции уделялось внимание и "новым" энергонезависимым типам устройств хранения информации.

Энергонезависимая память

Инженеры Samsung Electronics, Toshiba и SanDisk воспользовались конференцией для более подробного ознакомления участников с разработанными ими микросхемами флеш-памяти NAND-типа с 19-нм проектными нормами. Наибольший интерес вызвала схема совместной разработки компаний SanDisk и Toshiba – флеш-память NAND-типа емкостью 128 Гбит с 3-бит ячейкой памяти. Скорость записи данных в ячейку составляет 18 Мбайт/с, скорость считывания – 400 Мбит/с. Такой уровень пропускной способности был достигнут с помощью запатентованной SanDisk усовершенствованной архитектуры одновременного считывания всех разрядных шин, подсоединенных к страничным буферам (All-Bit-Line, ABL), обеспечивающей высокую скорость выборки данных благодаря одновременному считыванию программирующего напряжения всех ячеек разрядной шины. Кроме того, применение технологии воздушного зазора позволило уменьшить помехи, вносимые соседними шинами записи, и их паразитную RC-составляющую. Интерфейс ввода-вывода, работающий в DDR2-режиме переключения (toggle mode), позволяет снизить издержки за счет системных операций и получить общую пропускную способность памяти в 400 Мбит/с. Таким образом, по мнению разработчиков, доказана возможность реализации технологии 3-бит ячеек в существующих типах многоуровневых NAND-памяти. Схема с самой высокой на сегодняшний день плотностью упаковки занимает площадь в 170 мм².

** Самая маленькая площадь 6Т-ячейки памяти планарной КМОП-микросхемы СОЗУ, представленной компанией Texas Instruments на ISSCC 2011, составляла 0,171 мкм².

Примечательно и то, что новая схема уже освоена в производстве и, согласно перспективному плану развития компании, в этом году ее производство будет наращиваться. В 2013 году планируется усовершенствовать процесс изготовления 128-Гбит флеш-памяти и снизить ее стоимость, а к концу 2014 года реализовать схему емкостью 256 Гбит.

Объем памяти представленной в докладе Toshiba многоуровневой NAND флеш-памяти также с 19-нм проектными нормами составил 64 Гбит, скорость записи – 15 Мбайт/с (что, по утверждению разработчика, сопоставимо со скоростью записи NAND-памяти с 24-нм нормами).

Многоуровневая NAND флеш-память емкостью 64-бит, тоже изготавливаемая по 20-нм технологии, описана и специалистами компании Samsung. Пропускная способность DDR-интерфейса составила 533 Мбит/с (более высокая, чем у флеш-схемы SanDisk, но объем памяти меньше). Для получения такого быстродействия была использована программа корректировки до соединения и схема предварительной подачи импульса по R3-образцу, что позволило уменьшить помехи, вносимые плавающим затвором при подсоединении ячейки. Кроме того, повышению быстродействия схемы способствовала и принятая разработчиками ее волновая-конвейерная архитектура.

И еще одна схема памяти компании Samsung привлекла внимание участников конференции. Это 8-Гбит память на фазовых переходах (PCM), о создании ячейки которой было доложено на конференции IEDM 2010. Скорость записи памяти составляет 40 Мбайт/с при напряжении питания 1,8 В. В PCM-памяти используются ячейки с диодным включением. Отмечается, что при подаче внешнего более высокого напряжения пропускная способность памяти может достигать 133 Мбайт/с.

ЛИТЕРАТУРА

1. ISSCC 2012 Advanced Program – isscc.org/program/index.html, p.11-14.
2. **Гольцова М.** Международная Конференция IEDM. Самые быстрые, самые небольшие, самые необычные микросхемы. – Электроника: НТБ, 2012, №1, с.124-134.
3. **Kanter D.** ISSCC 2012 Preview. – www.realworldtech.com/page.cfm?ArticleID=RWT112811200830
4. Intel to detail 22nm Ivy Bridge CPUs at ISSCC. – news.softpedia.com/news/Intel-to-Detail-22-nm-Ivy-Bridge-CPU-at-ISSCC-236241.shtml
5. **Bush S.** Intel talks 22nm FINFETs and low power at ISSCC. – www.electronicsworld.com/Articles/09/03/2012/53168/intel-talks-22nm-finfets-and-low-power-at-isscc.htm
6. Intel открыто говорит об архитектуре Ivy Bridge. – www.overclockers.ru/hardnews/45952/Intel_otkryto_govorit_ob_arhitekture_Ivy_Bridge.html
7. Intel Describes PC on-Chip with Dual-core Atom Processor and WiFi Transceiver at ISSCC. – www.eedailynews.com/2012/02/intel-describes-pc-on-chip-with-dual.html
8. Intel to demonstrate Atom "Rosepoint" chips with built-in Wi-Fi and solar-powered CPUs at ISSCC. – www.notebookcheck.net/Intel-to-demonstrate-Atom-Rosepoint-chips-with-built-in-Wi-Fi-and-solar-powered-CPU-at-ISSCC-2012.70541.0.html
9. **Lal Shimpi A.** Intel at ISSCC '12: More Research into Near Threshold Voltage. – www.anandtech.com/show/5555/intel-at-isscc-12-more-research-into-near-threshold-voltage
10. Intel talks about Ivy Bridge's Successor, Code named Haswell. – news.softpedia.com/news/Intel-Talks-About-Ivy-Bridge-s-Successor-Code-Named-Haswell-201109.shtml
11. **Christie M.** Samsung Presents Dual/Quad-Core 32-nm Exynos Processor. – www.chipworks.com/en/technical-competitive-analysis/resources/technology-blog/2012/02/isscc-samsung-presents-dualquad-core-32-nm-exynos-processor/
12. **Healy M.B., Athikulwongse K., Goel R.** et al. 3D-MAPS: 3D Massively Parallel Processor with Stacked Memory. – IEEE ISSCC 2012 Presentation.
13. 3D-MAPS multicore processor: A closer look – www.i-micronews.com/news/3D-MAPS-multicore-processor-closer-look,8706.html
14. **Bush S.** ISSCC: Inside the World's Fastest Computer. – www.electronicsworld.com/Articles/08/03/2012/53161/isscc-inside-the-worlds-fastest-computer.htm
15. Tofu interconnect ("6-Dimensional Mesh/Torus" Topology Network Technology. – www.fujitsu.com/global/about/tech/k/whatis/network
16. DRAM updates at ISSCC 2012. – www.chipdesignmag.com/pallab/2012/03/01/dram-updates-at-isscc-2012/
17. **Karl E., Wang Y., Ng Y-G.** et al. A 4.6GHz 162Mb SRAM design in 22nm tri-gate CMOS technology with integrated active VMIN-enhancing assist circuitry. – ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=6176988&url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D6176988