

СОЗДАНИЕ ТЕСТОПРИГОДНЫХ СХЕМ ПРИ ПРОЕКТИРОВАНИИ SoC ИНТЕГРИРОВАННЫЙ ПОДХОД

Р.Руйс

Обеспечение тестопригодности схем при их разработке (Design-For-Testability, DFT) – одна из главных составляющих современного проектирования электронных схем и печатных плат. Внедрение передовых технологий производственного тестирования компании Synopsys позволяет достичь оптимального качества результатов (QoR) и снизить число итераций между процедурами оптимизации функциональной и тестовой подсистем проекта.

Производители САПР микроэлектроники вкладывают значительные силы и средства в разработку собственных инструментов производственного тестирования, стремясь сократить время, затрачиваемое на этот процесс. Затраты оправданы, так как время тестирования непосредственно влияет на экономические показатели разработки и производства микросхем. Однако дело не ограничивается только сокращением времени тестирования. Все чаще разработчики стремятся повысить эффективность самого процесса внедрения подсистем тестирования, их качество и снизить их влияние на функциональные характеристики готового изделия в рабочем режиме.

Осуществление анализа и внедрения тестовой подсистемы одновременно с собственно разработкой изделия значительно сокращает время создания тестопригодной схемы. Практический опыт клиентов компании показывает, что использование методов внедрения подсистем DFT, интегрированных с процессом синтеза, позволяет сократить длительность этапа DFT (и, следовательно, общую продолжительность проектирования) с четырех и более недель до нескольких дней.

ПРОБЛЕМЫ И ЗАДАЧИ DFT

Основное в работе инженеров-тестировщиков – обеспечить тестирование по возможности большего числа узлов схемы с наилучшим качеством и минимальными затратами. Однако развитие современной технологической базы и ряд новых тенденций в проектировании усложняют решение этих задач. Сложность проектов растет – увеличиваются число логических вентилях и доля аналоговых и аналого-цифровых блоков, объемы памяти, появляются сложные энергосберегающие архитектуры.

В настоящее время инженеры-тестировщики работают с меньшим количеством тестовых портов. Это происходит из-за повышения требований к компактному корпусированию (применяется в портативных приложениях и для снижения стоимости), из-за использования готовых ядер, а также необходимости создания универсальных схем, которые можно использовать в сторонних проектах с возможностью тестирования. Как следствие, разработчики пытаются достичь более высоких уровней сжатия тестовых векторов.

По мере роста сложности функциональной части проекта и тестовой подсистемы усиливается взаимозависимость этих двух составляющих, что еще больше усложняет создание схемы, соответствующей

требованиям целевой пропускной способности, эффективности и стоимости.

ВЗАИМОВЛИЯНИЕ ТЕСТОВОЙ И ФУНКЦИОНАЛЬНОЙ ПОДСИСТЕМ

Добавление тестовых структур к проекту для улучшения покрытия может затруднить достижение целей проектирования, т.е. получение необходимых значений таких характеристик, как тактовая частота, площадь, потребляемая мощность и трассируемость. В то же время, сложность функциональной части проекта может затруднить достижение целей тестирования. К примеру, при использовании отключаемых доменов и доменов с различными напряжениями питания необходимо учитывать количество доступных для тестирования портов, размер и тип тестируемой памяти и методике создания DFT-структуры. Когда эти задачи рассматриваются порознь, как это происходит в случае выделенного этапа внедрения DFT, конвергенция целей проектирования и тестирования крайне затрудняется.

ВЫДЕЛЕННЫЙ ЭТАП DFT СНИЖАЕТ ПРОИЗВОДИТЕЛЬНОСТЬ

Для выделенного этапа DFT характерно отделение процессов внедрения и анализа подсистем DFT от процессов синтеза RTL, достижения описываемых ограничениями целей и анализа результатов синтеза.

Внедрение DFT в рамках выделенного этапа подразумевает применение сложного итеративного подхода. Это происходит из-за использования специализированных инструментов DFT до синтеза (для анализа RTL) и после него, когда анализируется и обрабатывается готовая схема. В первом случае, очевидно, не хватает информации об окончательном проекте, а во втором – требуется дополнительный инкрементальный проход синтеза для нивелирования влияния тестовых подсистем на функциональную часть схемы. Многочисленные итерации зачастую приводят к дополнительным затратам времени и, следовательно, к росту стоимости разработки (рис.1).

Выделенный этап DFT, кроме того, часто приводит к дополнительным сложностям.

Неправильная оценка степени сжатия при использовании компрессии тестовых векторов. Для таких проектов иногда необходимо определиться с принципом и конфигурацией сжатия до завершения этапа разработки самого блока. В этом случае появляется вероятность неправильной оценки конфигурации и принципа сжатия,

что приводит к исправлению исходного кода проекта и повторному синтезу. В противном случае конфигурация сжатия будет далека от оптимальной, что может привести к ухудшению качества генерируемой с помощью инструментов ATPG программы тестирования.

Ручная коммутация тестовых подсистем. Перед началом синтеза проектировщики должны вручную соединять в финальный RTL-код проекта все элементы системы компрессии тестовых векторов, описанные в виде отдельных RTL-модулей. Любому ручному процессу свойственна существенная вероятность возникновения ошибки, и эта вероятность возрастает по мере усовершенствования методов сжатия. Большинство внесенных на данном этапе ошибок не обнаруживается вплоть до этапа верификации готовой схемы. К сожалению, при проверке цепочек сканирования не предусматривается оценка конечного результата на этапе ATPG и, следовательно, не могут быть обнаружены все ошибки узлов компрессии/декомпрессии. Иными словами, ошибка на этом этапе может привести к итерациям на поздних стадиях проектирования либо ухудшить качество тестирования.

DFT на вентиляльном уровне. Архаичная практика преобразования обычных регистров в сканирующие на вентиляльном уровне, так же как и передача проекта другому отделу для анализа и внедрения DFT, уже себя изжила. Этот процесс слабо связан либо вообще не связан с ограничениями проекта. Вентильно-ориентированные инструменты DFT "ломают" проект, так как они не учитывают взаимосвязи между доменами питания, влияния параметров проводников, их размещения и ограничения по площади для компактных мобильных и крупносерийных проектов.

Внесенная нетрассируемость. Реализация высоких степеней сжатия тестовых векторов чревата



Рис.1. Процесс выделенного DFT с итерациями

проблемами с трассируемостью (congestions) из-за множественных соединений между логикой компрессии/декомпрессии и внутренними цепями сканирования. Инструменты проектирования физического уровня могут справиться с нетрассируемостью, но наиболее эффективно эта проблема решается, если логическая оптимизация проекта велась с учетом оценки степени трассируемости и с применением специальных "разгружающих" алгоритмов.

Лучшим способом анализа влияния подсистемы тестирования на качественные характеристики проекта, а также влияния особенностей проекта на качественные показатели тестовой подсистемы является интегрированный подход к синтезу и оптимизации проекта с одновременным анализом и генерацией блоков и узлов DFT внутри проекта.

ИНТЕГРИРОВАННОЕ DFT

Альтернатива использованию выделенного DFT – интеграция процесса внедрения DFT в общий процесс синтеза и оптимизации проекта. Такой подход к созданию тестопригодных схем компании Synopsys максимально увеличивает продуктивность работы инженеров и эффективность создаваемых функциональных и тестовых частей проекта путем встраивания средств DFT в инструмент синтеза Design Compiler. Таким образом, узлы тестирования и функциональные узлы синтезируются одновременно с соблюдением временных ограничений, ограничений по мощности, площади и планировке кристалла (рис.2).

Интегрированное DFT оптимизирует тестовые подсистемы для увеличения тестового покрытия с учетом особенностей проекта и всех ограничений.

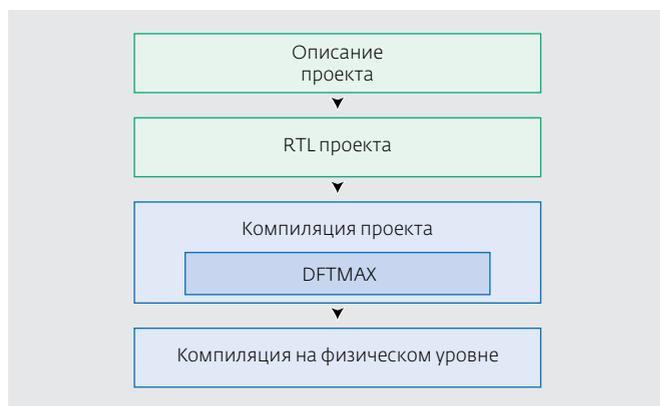


Рис.2. Процесс интегрированного DFT, максимально увеличивающий производительность труда и улучшающий качество результата

Кроме того, такой подход обеспечивает быстрое получение результата, так как сводит к минимуму число итераций в проекте, ускоряет и облегчает схождение целей проекта и тестирования. Ниже приведены некоторые преимущества интегрированного DFT.

Единая методика проверки на соответствие правилам проектирования тестопригодных схем (DFTDRC). Иерархический проект включает в себя отдельные блоки и объединяющий их модуль верхнего уровня. Перед синтезом разработчики модулей могут проверить их при помощи DFTDRC на соответствие правилам проектирования. Возможности DFTDRC DFTMAX и TetraMAX ATPC компании Synopsys позволяют разработчику проверять свой проект на тестопригодность на разных стадиях, включая проверку RTL-кода. Это дает возможность исправить ряд нарушений (если таковые есть) еще до синтеза.

Автоматическое исправление нарушений правил проектирования тестопригодных схем в процессе синтеза. Обратная связь через DFTDRC позволяет разработчику выявлять нарушения тестопригодности и исправлять их еще на RTL-уровне. Однако время, затрачиваемое на разрешение проблем с правилами проектирования, можно сократить, используя функцию автоматического исправления нарушений тестопригодности в среде синтеза при соблюдении временных ограничений. Ручное же исправление нарушений тестопригодности на вентиляльном уровне может привести к нарушениям ограничений проекта и неизменно ведет к дополнительной итерации синтеза для исправления возможных нарушений.

Минимизация площади проекта с DFT и оптимизация трассируемости. Интеграция процессов внедрения тестовой схмотехники и синтеза позволяет автоматически минимизировать площадь для DFT. В качестве примера можно рассмотреть случай сдвигового регистра. Такие структуры сканируются по своей природе и требуют замены первого регистра на сканирующий, а также подключения выхода структуры к следующему сканируемому регистру. Альтернативой на вентиляльном уровне является замена каждого регистра на сканирующий. Например, в случае большого графического процессора, уменьшение числа сканируемых регистров позволяет экономить до 5% площади за счет использования сдвиговых регистров.

Еще одно преимущество внедрения DFT в процессе синтеза – появляющаяся возможность обеспечить успешную трассируемость кристалла. Инструмент для создания тестопригодных схем

с сжатием/сериализацией тестовых векторов DFTMAX Compression успешно функционирует в связке с DesignCompiler Graphical (они, фактически, образуют единый инструмент), обеспечивая активный анализ и оптимизацию трассируемости в цепях блоков компрессии/декомпрессии и цепочки сканирования. Это экономит усилия и время в случае применения инструментов физического уровня, таких как IC Compiler. DC Graphical включает в себя специфические алгоритмы оптимизации трассируемости для модулей компрессии/декомпрессии DFTMAX, и эти алгоритмы применяются при работе над соответствующими блоками.

Автоматизированная передача проекта на этап генерации тестовых векторов (АТРС). DFTMAX Compression автоматически создает описание цепочек сканирования и файл протокола, минимизируя тем самым усилия разработчиков, направленные на генерацию тестовых векторов. Файл протокола управляет процессом генерации тестовых векторов (АТРС), он должен быть читабелен и синтаксически корректен. DFTMAX Compression создает файл протокола в соответствии со стандартом IEEE 1450 (известным как STIL), который является "родным" для TetraMAX АТРС. От проектировщика в дополнение к протоколу требуется только загрузить в TetraMAX синтезированную схему проекта (netlist) и используемые модели библиотек.

Тестирование сложных микросхем часто требует включения в проект специальных дополнительных подсистем, например, системы синхронизации и управления синхросигналами. Выполнение таких работ вне процесса синтеза неблагоприятно влияет на производительность и энергоэффективность проекта, что приводит к многочисленным итерациям между синтезом и внедрением DFT, и, следовательно, к удлинению цикла разработки. Интегрированный подход, напротив, оптимизирует тестовые подблоки одновременно с функциональной частью, минимизируя тем самым влияние на временные параметры, энергопотребление, площадь, ускоряя схождение целей и задач тестовой и функциональной подсистем и сокращая цикл проектирования.

РАЗВИТИЕ ТЕХНОЛОГИЙ ПРОИЗВОДСТВЕННОГО ТЕСТИРОВАНИЯ

Synopsys расширяет и улучшает технологии интегрированного DFT для дальнейшего повышения производительности труда разработчика, улучшения качества и снижения стоимости производственного тестирования и анализа выхода годных изделий. Для достижения этих целей в проектах

с ограниченным числом тестовых портов, а также в очень больших проектах инструменты Synopsys должны обеспечивать высокую степень сжатия с применением интегрированного DFT.

В настоящее время встроенные блоки памяти встречаются в большинстве проектов систем на кристалле. В связи с этим у разработчиков пользуются популярностью разнообразные решения, повышающие надежность считывания, восстановления и тестирования блоков памяти. Широко используемый сегодня компонент DesignWare STAR Memory System обеспечивает высокий уровень покрытия, эффективную самодиагностику и автоматическое восстановление для встроенных блоков памяти. В планах Synopsys – обеспечение еще более тесной интеграции процесса синтеза и разнообразных техник создания тестопригодного проекта с повышенной надежностью и устойчивостью к производственным дефектам.

В современных проектах также весьма популярны высокоскоростные SERDES интерфейсы, такие как PCI Express и USB 3.0, но их иногда довольно сложно тестировать. Synopsys предлагает высокоскоростные IP-ядра блоков ввода-вывода со встроенными модулями самодиагностики (BIST), а также верификационные IP-блоки (VIP) и тестовые модели для интеграции тестового окружения.

Интерфейс между TetraMAX АТРС и анализатором выхода годных изделий Yield Explorer позволит проектировщикам быстро выявлять причину дефектов, имея лишь небольшое число готовых пластин. Используя полученную от TetraMAX информацию, Yield Explorer выявляет вероятное дефектное место на пластине. По результатам анализа в проект могут быть внесены решения, потенциально повышающие процент выхода годных изделий.

Интегрированный подход при создании тестопригодных изделий применяется довольно длительное время, обеспечивая быструю сходимую проектов без дополнительных затратных итераций. Тем не менее, разработчики продолжают изыскивать пути повышения производительности труда и ускорения процесса создания изделий при сохранении высоких показателей пропускной способности, тестового покрытия и небольшого объема тестовых векторов. Планы развития инструментов создания тестопригодных схем компании Synopsys направлены на дальнейшее укрепление симбиоза логического синтеза, внедрения и оптимизации тестовых подсистем для ускорения процессов разработки, обеспечения качественного недорогого производственного тестирования без ухудшения функциональных показателей изделий. ●