

# ЭНЕРГОНЕЗАВИСИМАЯ ПАМЯТЬ СДЕЛАНА ИЗ ТОГО, СЕГО И ЕЩЕ ЧЕГО-ТО ПО МАТЕРИАЛАМ КОНФЕРЕНЦИЙ IEDM 2012 И ISSCC 2013

М.Гольцова

В докладах, представленных на конференциях IEDM и ISSCC и посвященных последним достижениям в области микросхем памяти, рассматривались концепции построения как новейших ячеек памяти, так и полностью интегрированных систем памяти, а также проблемы их производства. Не удивительно, что многие наиболее интересные сообщения касались энергонезависимой памяти. Похоже, что давно ожидаемый "крах" флеш-памяти вскоре состоится и развивающиеся новые типы энергонезависимой памяти (NVM) ее успешно заменят. Поэтому особое внимание как альтернативе флеш-памяти NAND-типа на конференциях уделялось новым технологиям последующих поколений памяти. Но, возможно, самой перспективной ее заменой станет трехмерная NAND-память.

## ФЛЕШ-ПАМЯТЬ NAND-ТИПА

### Рынок

Согласно данным компании IHS iSuppli, структура рынка полупроводниковой памяти меняется, и на нем существенно растет спрос на схемы флеш-памяти NAND-типа для смартфонов благодаря их дешевизне, малым габаритам, низкому энергопотреблению. Доходы от продаж NAND-сегмента рынка флеш-памяти в 2012 году должны были составить 20,8 млрд. долл. (общий объем рынка флеш-памяти NAND- и NOR-типа – 24,3 млрд. долл.). Это на 5% меньше, чем в 2011 году из-за более резкого, чем ожидалось, снижения цен на память этого типа. Однако в 2013 году ситуация изменится. Если в 2012 году по доле продаж память NAND-типа для сотовых телефонов занимала на рынке второе

место, то в 2013 году ожидается, что доля ее продаж для смартфонов будет самой высокой – 24,6%. В секторе схем для твердотельных драйверов она составит 20,6%, в секторе флеш-карт – 19,7, USB флеш-драйверов – 13,5, и плееров – 2,4%. Остальные 6,8% рынка NAND-памяти в основном придутся на долю схем для персональных навигаторов, цифровых видеокамер, ручных видеоигровых платформ и компьютерных приставок к телевизору.

Помимо более широкого применения в смартфонах росту продаж схем памяти NAND-типа будут способствовать увеличение спроса со стороны производителей потребительской электроники и усиливающаяся "облачная" зависимость пользователей. Продолжающийся рост плотности элементов и снижение потребляемой мощности флеш-памяти NAND-типа позволяют создавать

достаточно дешевые твердотельные накопители, способные заменить традиционные накопители на жестких дисках. Скажется и более широкое применение NAND-схем в умных домах, а также в сенсорных экранах ультрабуков для кэширования часто запускаемых данных (cache SSD), которые хранятся в твердотельных накопителях. В результате продажи памяти NAND-типа в 2013 году увеличатся на 10% и составят 22 млрд. долл. [1].

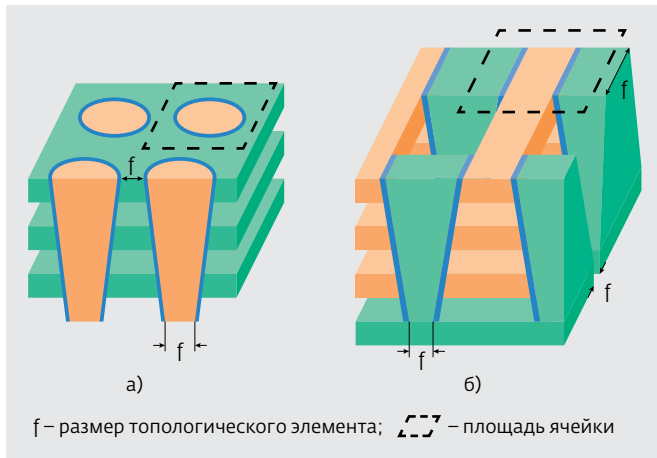
### Многоуровневая флеш-память NAND-типа

Росту спроса на флеш-память NAND-типа способствует тенденция к снижению потребляемой ими мощности и к увеличению плотности элементов схем за счет освоения топологических норм менее 20 нм. При этом сегодня перспективный путь повышения плотности NAND-памяти – создание многоуровневых ячеек памяти (т.е. хранящих несколько бит информации). Для создания многоуровневой флеш-памяти малых размеров с высокой пропускной способностью и низкой удельной стоимостью единицы хранимой информации венчурная компания IM Flash Technologies (IMFT), образованная в 2006 году Intel и Micron для производства NAND-схем, предложила инновационную структуру многоуровневой памяти с полностью планарной ячейкой с плавающим затвором [2, 3]. И, конечно, доклады IMFT, посвященные принципам масштабирования двух- и трехмерных планарных NAND-ячеек, а также разработке микросхемы памяти большой емкости и малых размеров, вызвали большой интерес участников конференции IEDM.

В обычных ячейках NAND-памяти с плавающим затвором управляющий затвор (Control Gate, CG) и межслойный диэлектрик (InterPoly Dielectric, IPD) обвивают плавающий затвор (Floating Gate, FG). Но при уменьшении топологических норм до 20 нм и менее растет аспектное отношение элементов. Из-за сокращения ширины затворов CG и FG возрастает инжекция электронов плавающим затвором в управляющий затвор и управляющим затвором в активную область. В результате при циклах записи/стирания возрастает захват электронов в активной области, что приводит к уменьшению их числа. К тому же, по мере сокращения проектных норм многоуровневой ячейки необходимо расширять диапазон значений порогового напряжения записи/стирания ячейки с тем, чтобы схема выдерживала разброс значений импульсов порогового напряжения и взаимные помехи, а это вызывает увеличение механического напряжения оксидного слоя. Дальнейшее масштабирование ячейки NAND-памяти и уменьшение взаимных

помех может обеспечить применение нитрида кремния в качестве диэлектрика. Но при этом ухудшаются характеристики записи/считывания, что затрудняет создание многоуровневых ячеек.

Для решения возникающих при масштабировании NAND флеш-памяти проблем компания IMFT выбрала планарную структуру на основе металлического управляющего затвора, тонкого плавающего затвора и многослойного диэлектрика с высокой диэлектрической постоянной  $k$  (HKMG). Такая планарная структура ячейки обеспечивает масштабирование не только двухмерных, но и трехмерных NAND-схем памяти, которые могут быть выполнены с вертикальным (горизонтальным затвором) или горизонтальным (вертикальным затвором) каналом (рис.1). Размер ячейки памяти обеих архитектур достаточно большой, в основном вследствие относительно большой ширины канала, тогда как эффективная площадь мала благодаря многоярусной структуре. Широкий канал и малая длина токопроводящих линий вертикальной трехмерной схемы обеспечивают высокую электрическую проводимость и, тем самым, улучшают реакцию схемы. Однако для поддержки этого выигрыша нужно обеспечить необходимую подвижность носителей в поликремниевом канале.



**Рис.1.** Структура трехмерной NAND флеш-памяти с вертикальным (а) и горизонтальным затвором (б)

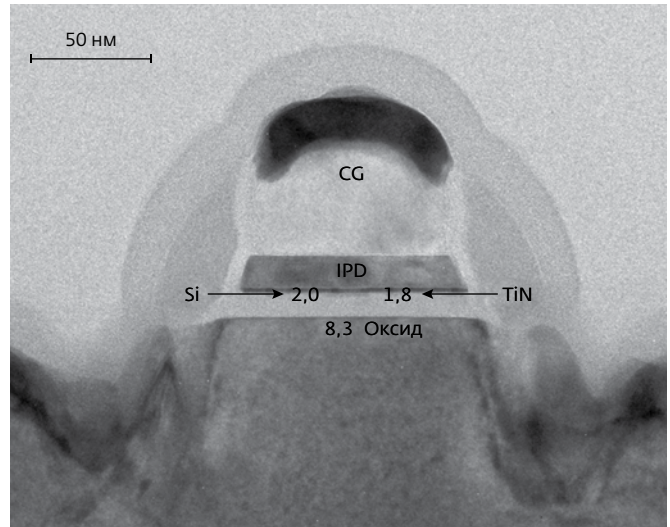
Это требование ужесточается по мере увеличения ярусов структуры. В 3D-схемах с горизонтальным каналом достижение более высокой проводимости затруднено из-за отсутствия кругового затвора. Правда, в таких схемах можно увеличивать число ярусов, не влияя на проводимость шин.

Таким образом, разработчики компании показали, что наилучшее решение для масштабирования двухмерных схем флеш-памяти NAND-типа — применение планарной ячейки с плавающим затвором, а при достижении пределов масштабирования возможно дальнейшее уменьшение топологических норм трехмерных схем.

На конференции ISSCC компания Micron Technology представила изготовленную по 20-нм технологии трехуровневую TLC (т.е. 3-бит ячейку памяти) флеш-память NAND-типа с полностью планарной ячейкой емкостью 128 Гбит [4, 5]. По утверждению разработчиков, сегодня это самая маленькая NAND-схема такой емкости: площадь кристалла составляет 146 мм<sup>2</sup>\* (сторона квадрата несколько больше 12 мм), что на 25% меньше площади 20-нм флеш-памяти компании аналогичной емкости с двухуровневой ячейкой памяти (MLC). Правда, по сравнению с MLC-схемой время выборки у TLC флеш-памяти больше, а срок службы в пересчете на число циклов записи/считывания много меньше: примерно одна треть от 3000 циклов MLC-схемы.

В 128-бит NAND-микросхеме по сравнению со схемами предыдущих поколений изменены

\* На конференции ISSCC 2012 компания SanDisk представила флеш-память емкостью 128 Гбит и площадью 170 мм<sup>2</sup>, изготовленную по 19-нм технологии [6].



**Рис.2.** Структура сверхтонкого гибридного плавающего затвора (HFG) с промежуточным слоем диэлектрика с высокой диэлектрической постоянной

размеры интерфейса и страниц. Если объем страницы существующих схем флеш-памяти, в том числе и серийно выпускаемых IMFT 64-Гбит схем, составляет 8 Кбайт, то в 128-Гбит версии он в два раза больше — 16 Кбайт. Для обработки такого объема потребовалась модификация контроллеров и аппаратно-программного обеспечения драйверов.

Пропускная способность используемого в современной флеш-памяти интерфейса стандарта ONFi 2.x составляет 200 Мпередач/с. В 128-Гбит схемах используется интерфейс ONFi 3, поддерживающий 333 Мпередач/с, что также требует совершенствования контроллеров и драйверов. Поскольку конструирование и испытание драйверов усложнилось, 128-Гбит флеш-память, очевидно, нельзя рассматривать, как масштабированную версию 64-Гбит памяти.

TLC флеш-память емкостью 128-Гбит предназначена для устройств хранения данных со сменным накопителем (флеш-карт и USB-накопителей), на долю которых в 2013 году, согласно прогнозам, придется 35% рынка гигабитной NAND-памяти. Если же новая память найдет применение в накопителях, предлагаемых проектом открытых вычислительных систем (Open Compute Project, OCP), проводимым компанией Facebook, объем продаж ее будет еще больше. Сейчас Micron поставляет опытные образцы 128-Гбит TLC NAND-памяти. Производство схем планируется начать во II квартале 2013 года.

По другому пути пошли специалисты Межуниверситетского центра микроэлектроники IMEC (Бельгия). На конференции IEDM они рассказали о разработанной архитектуре памяти со сверхтонким гибридным плавающим затвором (Hybrid Floating Gate, HFG) (рис.2). Нижний слой гибридного затвора выполнен из материала с низкой работой выхода, верхний – из материала с высокой работой выхода. Для снижения помех, возникающих в массивах NAND-памяти высокой плотности, толщина гибридного плавающего затвора была уменьшена до 4 нм. Разработчики успешно продемонстрировали функциональные возможности флеш-памяти новой архитектуры [7].

Интерес участников конференции IEDM вызвали два доклада представителей компании Masconix International. Первый был посвящен трехмерной архитектуре флеш-памяти с захватом заряда на основе тонкопленочных транзисторов с двойным каналом, формируемых по BE-SONOS-технологии компании. Память имеет восьмиуровневую структуру с вертикальным затвором (горизонтальным каналом) [8]. Предложенная архитектура позволила существенно уменьшить топологические размеры элементов со стороны числовой шины и улучшить технологичность схемы. Размеры числовой

и разрядной шин (WL и BL) микросхемы составляют 37,5 и 75 нм, соответственно. Используется упорядоченная последовательность 64 числовых шин (ячеек памяти). Отношение площади ячейки к общей площади памяти без учета площадей декодера и периферийных устройств (эффективность памяти) равна 63%. Указаны основные особенности новой VG-архитектуры (рис.3):

- "повернутая" топология, в которой направления четных и нечетных разрядных шин противоположны, что позволяет разместить транзисторы выбора строки (SSL) с изолированным затвором и межсоединения в зазорах между ячейками памяти двойного размера и, тем самым, расширить возможности масштабирования разрядных шин. В итоге страницы ячеек памяти вследствие протекания тока в противоположных направлениях разделяются на четные и нечетные;
- новый метод формирования ступенчатых контактов разрядных шин, при котором число  $M$  необходимых этапов литографии и травления определяется путем суммирования в двоичной системе координат. Это позволяет не только размещать ступенчатые контакты с высоким разрешением, но и сократить этапы обработки



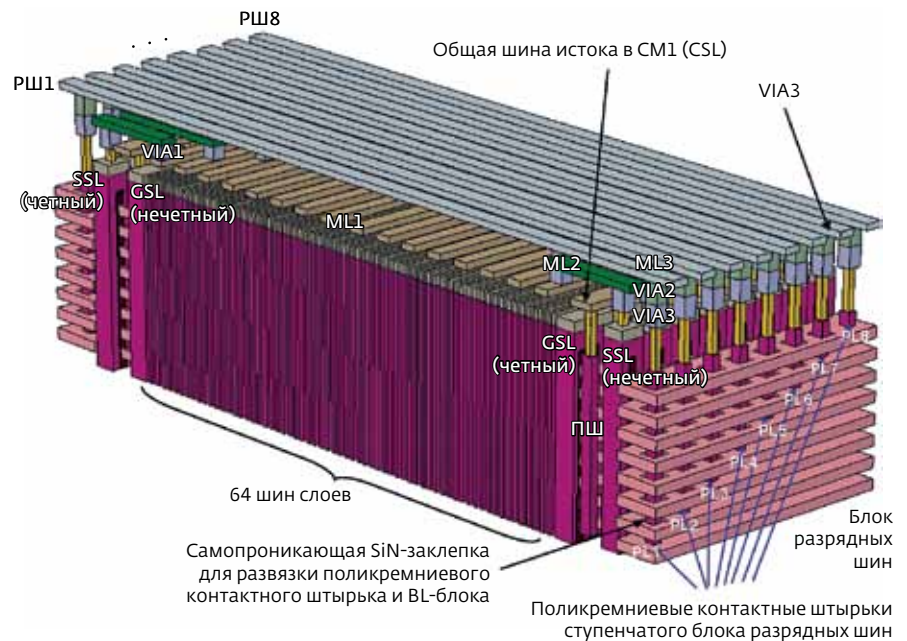
и стоимость схемы. Так, для формирования каждого BL-контакта с помощью обычной технологии требуется свой фотошаблон и в итоге для создания 32-уровневой 3D NAND-схемы памяти нужны будут 32 шаблона. По разработанной технологии изготовления промежуточного слоя с минимальной стоимостью (Minimal Incremental Layer Cost, MiLC) для формирования BL-контактов схемы необходимо всего пять фотошаблонов.

Каждый SSL-прибор с изолированным затвором управляет одной разрядной шиной, BL-блок разрядных шин позволяет обслуживать 16 страниц (восемь четных и восемь нечетных). В каждом BL-блоке восемь ступенчато расположенных контактов разрядных шин, соответствующих числу уровней памяти. Доступ к ячейке памяти осуществляется сигналами числовой шины, разрядной шины слоя металлизации ML3 (соответствующей уровню запрашиваемой памяти) и SSL-прибора. Запись и считывание страницы памяти выполняются путем одновременного параллельного управления многими SSL-приборами и различными BL-блоками.

Помимо возможности дальнейшего масштабирования (по мнению разработчиков, до предельных для двухмерных NAND-схем норм) новые NAND-схемы отличаются:

- низким сопротивлением числовой шины, поверх которой можно нанести покрытие силицида (в представленной работе использовался  $WSi_x$ );
- низким сопротивлением общей шины истоков, с которой непосредственно соединен каждый контакт истока;
- постоянным значением эффективности памяти при увеличении числа ее уровней, поскольку при этом необходима лишь коррекция размера BL-блока, а не увеличение размера массива памяти. Возрастает лишь число декодеров SSL-приборов, число декодеров числовых и разрядных шин не меняется.

По утверждению докладчиков, новая трехмерная память не только дешевле двухмерных



ML – слой металлизации, PШ – разрядная шина, VIA – сквозное отверстие, ПШ – поликремниевый контактный штырь истока

**Рис.3.** Трехмерная структура с вертикальным затвором

NAND-схем с топологическими нормами менее 20 нм, ее емкость при изготовлении по 25-нм технологии может составить 1 Тбит. При этом потребуются 32 уровня памяти, тогда как в 3D NAND флеш-памяти с вертикальными каналами для получения такой емкости нужны примерно 100 уровней.

Особый интерес участников конференции IEDM вызвал второй доклад компании Macronix, посвященный разработке "бессмертной" NAND флеш-памяти [9]. Срок жизни флеш-памяти не превышет 1 тыс.–10 тыс. циклов из-за ухудшения свойств туннелируемого оксидного слоя вследствие нагрузок, возникающих при записи/считывании. Для продления срока службы требуются сложные алгоритмы нивелирования износа систем памяти на основе флеш-схем, а в ряде случаев необходимо применять избыточную память. Специалисты компании предложили продлить срок службы за счет самовосстановления функциональности схемы памяти с помощью термического отжига ячеек памяти.

Известно, что для восстановления свойств материалов, использовавшихся в первых образцах флеш-памяти, схемы отжигались в печи в течение нескольких часов при температуре 250°C. Но такой отжиг неприемлем для современных схем флеш-памяти. Очевидно необходимы нагреватели ячеек памяти, которые позволяют быстро отжигать

требующие "излечения" ячейки. И специалисты Masstonix нашли решение этой проблемы.

Для нагрева слоя оксида инженеры компании вместо числовой шины с одним выводом использовали двухвыводную структуру шины (рис.4), что позволило нагревать затвор до 800°C путем пропускания тока через него в течение нескольких миллисекунд. По утверждению разработчиков, испытания на износоустойчивость показали, что флеш-память с такими локальными нагревателями затворов выдерживала более 100 млн. циклов записи/считывания без ухудшения характеристик. Благодаря локальности нагрева потребляемая энергия невелика, и такую память можно использовать и в мобильных телефонах без снижения ресурса батарей.

Конечно, подробности разработки не приведены в докладе компании. Не ясно, необходимо ли нагревать затвор при каждом цикле записи/считывания или после нескольких тысяч циклов, что приведет в усложнению программных средств. Как влияет кратковременный нагрев на время выборки? Разработчики утверждают, что нагрев способствовал более быстрому стиранию данных. Не понятно, до каких топологических норм схем можно применять предложенную технику? Каково влияние

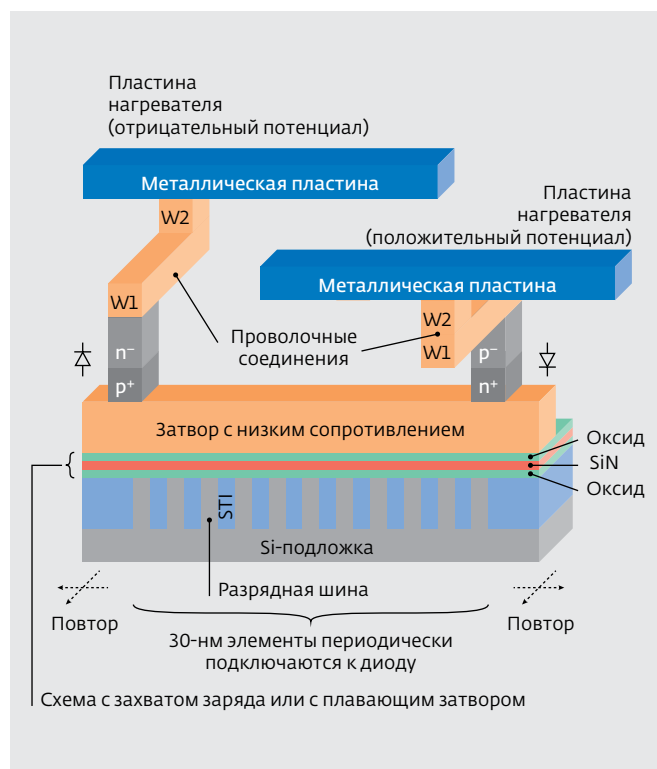
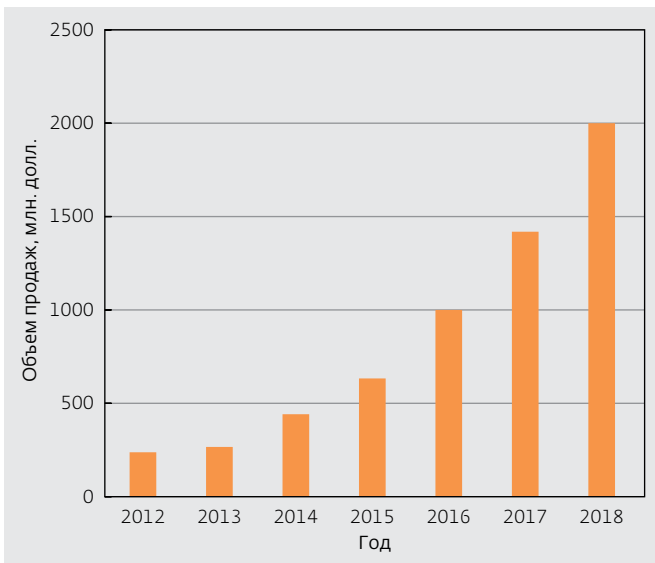


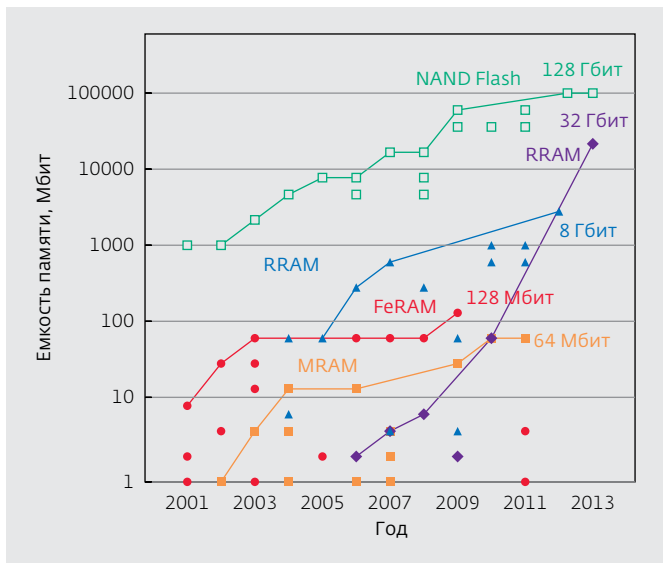
Рис.4. Структура ячейки самовосстанавливающейся памяти



**Рис.5.** Динамика рынка новых развивающихся схем энергонезависимой памяти для приложений, включающих кэш-память внешних систем памяти предприятий, промышленных и транспортных систем, накопителей данных, мобильных устройств, смартфонов (данные компании Yole Développement)

электромиграции носителей? По-видимому, новый метод самовосстановления функциональности флеш-памяти не будет способствовать ее масштабированию, но он может быть полезен для вертикальных NAND-схем. Конечно, разработанная технология требует дальнейшего изучения.

Таким образом, доклады, представленные на крупнейших международных конференциях по твердотельной электронике, позволяют сделать вывод, что сегодня самая перспективная альтернативная архитектура NAND флеш-памяти, которая будет способствовать их дальнейшему развитию, – трехмерная конфигурация схем. В конце концов, масштабирование NAND-памяти достигнет предела, хотя пока он не слишком близок и, возможно, изготовители флеш-памяти найдут новые способы преодоления ограничений, возникающих при масштабировании. И сейчас на вопрос: "Какая из развивающихся технологий энергонезависимой памяти сможет создать приборы для замены NAND флеш-памяти?" есть только один ответ: "Никакая". Но в мире проводится немало интересных работ, и перспективные технологии энергонезависимой памяти (MRAM, ReRAM) уверенно развиваются. Есть все предпосылки к тому, что в недалеком будущем появятся изделия, не уступающие по своим характеристикам флеш-памяти, а в ряде случаев превосходящие их.



**Рис.6.** Динамика развития различных типов энергонезависимой памяти (по данным конференций ISSCC, VLSI Circuits, ASSCC, IEDM, VLSI Tech.)

## НОВЫЕ ПЕРСПЕКТИВНЫЕ ВИДЫ ЭНЕРГОНЕЗАВИСИМОЙ ПАМЯТИ

### Рынок

Прогнозы развития рынков новых типов энергонезависимой памяти аналитических компаний различаются. Так, по оценкам Markets&Markets, специализирующейся в области маркетинговых исследований и консультаций, продажи новых типов энергонезависимой памяти к 2017 году достигнут лишь 90,74 млн. долл. (среднегодовые темпы прироста по отношению к 2012 году – 7,2%). Компания рассматривала продажи наиболее популярных NVM-схем: магниторезистивной памяти, в том числе и на основе переноса спинового момента (STT-MRAM), памяти на основе фазового перехода (PCM), сегнетоэлектрической памяти (FeRAM) и резисторной памяти (RRAM). Наибольший прирост продаж компания прогнозирует для магниторезистивной памяти. Этому же мнению придерживаются и аналитики Yole Développement, крупной компании по оценке мирового рынка электронных приборов, их технологий и стратегическому консультированию. Однако прогноз компании рынка новых типов NVM намного оптимистичнее. По оценкам Yole, за период с 2013 по 2018 год продажи схем развивающихся типов энергонезависимой памяти достигнут 2 млрд. долл. (рис.5), при этом на долю схем памяти STT-MRAM и PCM придется по 1,6 млрд. долл. Схемы памяти PCM-типа в основном найдут

применение в кэш-памяти и мобильных телефонах, а STT-MRAM заменят ДОЗУ в системах на кристалле, а также в микроконтроллерах кредитных карточек [10].

Правда, основные факторы, которые будут стимулировать производство новых типов NVM еще полностью не определены. По сравнению с NAND-памятью их объем памяти меньше (рис.6), стоимость выше, долговременная надежность не установлена.

#### *Магниторезистивная память [11]*

Большое внимание участников IEDM привлекло сообщение образованной в 2008 году Freescale Semiconductor и несколькими венчурными инвесторами компании Everspin Technologies о начале поставок опытных микросхем памяти STT-MRAM-типа \* модели EMD3D064M емкостью 64 Мбит, предназначенных для твердотельных накопителей [12]. Схема функционально совместима со спецификациями интерфейса DDR3 отраслевого стандарта

\* Иногда ее обозначают как ST-MRAM – Spin-Torque MRAM.

JEDEC, который задает скорость пересылки данных до  $1,6 \cdot 10^9$  операций/с, что соответствует пропускной способности памяти 3,2 Гбайт/с при наносекундной задержке. Современные полностью отвечающие спецификациям контроллеры DDR3-интерфейса при незначительном совершенствовании аппаратно-программного обеспечения для учета энергонезависимости памяти смогут работать с ST-MRAM-схемами и решать многие проблемы, т.е. для того чтобы новые ST-MRAM могли работать с любыми современными контроллерами памяти, больших усилий не потребуется.

Данные в магниторезистивной памяти хранятся в виде магнитного состояния ячейки, а не ее заряда, как в большинстве полупроводниковых запоминающих устройств. В результате MRAM отличается высокой износоустойчивостью и не подвержена потере данных, как флеш-память. Магнитное состояние ячейки STT-MRAM в отличие от обычной магниторезистивной памяти задается не внешним магнитным полем, а спин-поляризованным туннельным током, т.е. путем передачи спинового момента электрона.



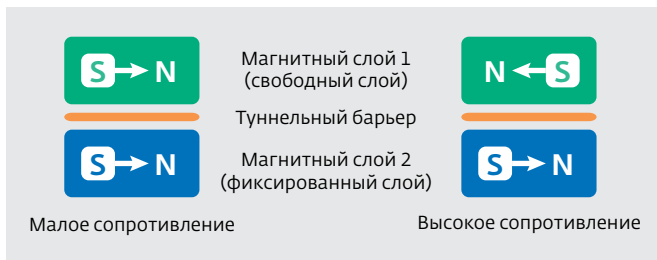


Рис.7. Элемент хранения данных STT-MRAM-памяти

Благодаря этому существенно упрощается масштабирование памяти.

STT-MRAM ячейка памяти компании содержит магнитный туннельный переход (MTJ), обеспечивающий запись/считывание данных, и управляющий транзистор. MTJ формируют фиксированный слой магнитного материала, тонкий слой диэлектрика, образующего туннельный барьер, и свободный слой магнитного материала. Когда магнитные моменты свободного и фиксированного слоев параллельны, спины электронов согласованы, и они туннелируют через барьер. Сопротивление MTJ в этом случае мало (состояние лог. "1"). Когда магнитные моменты свободного и фиксированного слоев противоположно направлены, почти все электроны, попадающие в туннельный барьер, отражаются. Сопротивление перехода велико (состояние лог. "0") (рис.7). Запись данных осуществляется путем изменения направления поляризации магнитного момента свободной пленки при прохождении тока в туннельный переход (рис.8), считывание – путем измерения сопротивления перехода.

Уменьшение площади туннельного перехода приводит к уменьшению значений порогового тока и напряжения переключения. При слишком малой площади существенно уменьшается и энергетический барьер, который примерно пропорционален

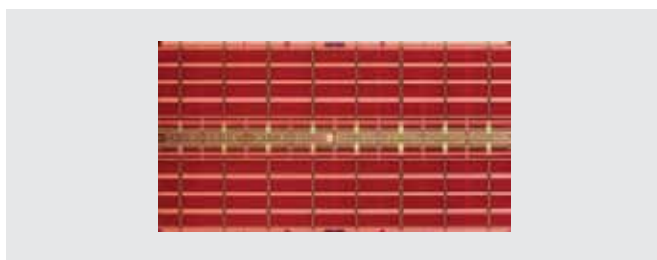


Рис.9. Структура ячейки памяти, пригодная для создания действующей STT-MRAM памяти, формируемой с использованием новых материалов и с тщательным контролем технологического процесса

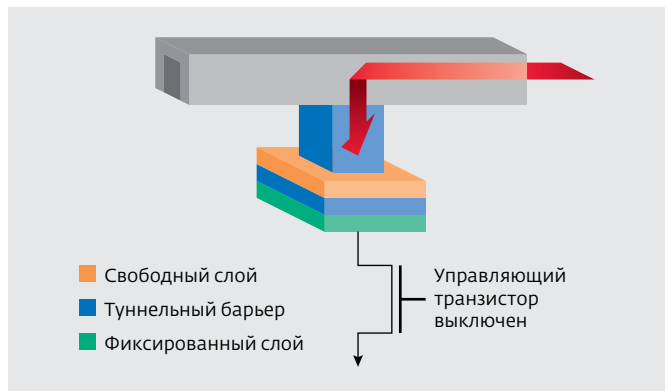


Рис.8. Запись данных в STT-MRAM-память

площади перехода. В этом случае, если не увеличить энергетический барьер, схема памяти уже не сможет работать стабильно. Исследования специалистов компании показали, что 10%-ное улучшение намагниченности насыщения пленок, формирующих туннельный переход, приводит к росту значения энергетического барьера с 60 до 80 кВт и увеличению времени хранения данных в  $10^8$  раз. Изучение альтернативных материалов показало, что применение модифицированных сплавов кобальт-железо-бор (CoFeB) в сочетании с образующим туннельный барьер диэлектриком на основе окиси магния позволяет существенно увеличить значение энергетического барьера.

STT-MRAM-схема емкостью 64 Мбит с восемью блоками памяти была изготовлена на 200-мм пластинах по 90-нм КМОП-технологии с MTJ на основе сплава CoFeB (рис.9). Сейчас Everspin совместно с ведущими промышленными компаниями работает над установкой оборудования для производства магниторезистивной памяти на 300-мм пластинах. Кроме того, решаются задачи быстрого развертывания производства готовых модулей STT-MRAM, в том числе необходимых контроллеров памяти, модулей с двухрядным расположением выводов и отладочных плат.

Представленная компанией микросхема памяти STT-MRAM, несмотря на высокие значения производительности и износостойкости, пока не может конкурировать с NAND флеш-памятью, поскольку из-за небольшой по современным меркам емкости она не представляет особого интереса для разработчиков систем, а ее цена, которая еще не объявлена, по оценкам, в 50 раз выше, чем у NAND-памяти. К тому же и энергопотребление в пять раз больше. Но благодаря своим характеристикам память STT-MRAM, по мнению аналитиков, может стать дополнением к NAND флеш-памяти,

применяемой в твердотельных накопителях. Разработчики полагают, что STT-MRAM можно использовать и в качестве кэш-памяти подсистемы ввода-вывода и сетевых устройств, а также для создания систем хранения сверхбыстрого уровня. А при переходе к 20/22-нм технологиям и созданию схем памяти емкостью 1 Гбит специалисты компании считают, что схемы магниторезистивной памяти не будут существенно уступать ДОЗУ, в том числе и по размерам, что сделает возможным их замену.

Компания уже поставляет для оценки опытные образцы схем EMD3D064M своим заказчикам. Производство планируется начать в 2013 году.

STT-MRAM, предназначенную для замены СОЗУ-кэш процессоров мобильных устройств, представила на IEDM и компания Toshiba [13]. Усилия разработчиков были направлены на уменьшение ее энергопотребления и размеров. Для этого была улучшена созданная еще в 2007 году ячейка памяти, в которой магнитный момент туннельного перехода перпендикулярен, а не параллелен, как в классических МТJ, плоскости магнитных слоев (рМТJ).

Компания не раскрыла подробности разработки. Было лишь сказано, что удалось создать многослойный элемент памяти размером в 30 нм и уменьшить потребляемую им мощность на 90%. Расчет энергии, потребляемой смоделированной схемой STT-MRAM, составляет 46 пДж против примерно 150 пДж для СОЗУ и 1,4 мДж для STT-MRAM. Важные свойства схемы – адаптация рабочего времени и управление подаваемой мощностью, обеспечиваемые архитектурой. Для ячейки на основе рМТJ получены минимальные значения времени записи и потребляемой энергии – 3 нс и 0,09 пДж, соответственно! Решена и проблема тока утечки схемы памяти благодаря созданию структуры, в которой отсутствуют пути для него. К тому же, теоретически ток утечки схемы, содержащей три транзистора и один магнитный туннельный переход, небольшой. Неудивительно, что цель компании – интеграция STT-MRAM в процессоры для смартфонов и планшетов, и она намерена продолжить работы в этом направлении. Правда, когда появятся процессоры с STT-MRAM кэш-памятью – пока не ясно.

STT-MRAM по многим своим характеристикам превосходят конкурирующие схемы памяти (в том числе и энергонезависимые), но для записи данных с помощью электронов со спиновой поляризацией необходима определенная энергия.

Требуемые значения токов записи ограничивают плотность размещения элементов в схеме, что приводит к относительно высокой удельной стоимости единицы информации. Очевидно, эти недостатки современных STT-MRAM схем памяти побудили ученых Калифорнийского университета в Лос-Анджелесе изучить возможности переключения магнитного поля ячейки с помощью напряжения, а не тока [14]. Созданная ими магнитная ячейка памяти выполнена на основе наноструктуры структуры управляемого напряжением магнито-диэлектрического перехода, который подобен МТJ. Но есть и отличие – он чувствителен к электрическому полю, при приложении которого возникает разность потенциалов двух магнитных пленок. Это приводит к накоплению электронов, способных туннелировать через энергетический барьер или к их обеднению. В разработанной схеме, получившей название магнитоэлектрической памяти (magnetolectric RAM, MeMRAM), при подаче импульсов напряжения длительностью 10 пс был получен примерно десятикратный по сравнению с STT-MRAM выигрыш в энергопотреблении при

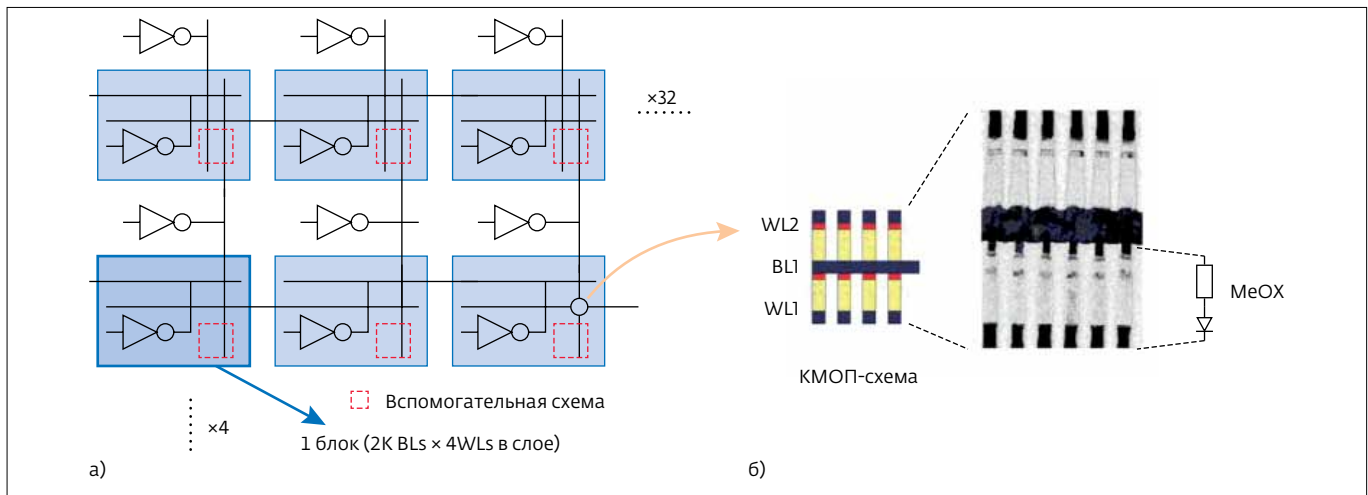


Рис.10. Архитектура сегмента памяти (а) и структура ячейки памяти (б)

тока утечки менее  $10^5$  А/см<sup>2</sup>. В ходе разработки изучалась динамика переключения ячейки и экспериментально проверен принцип исключения внешнего магнитного поля. По утверждению ученых университета, возможен 10-1000-кратный выигрыш MeMRAM-схем памяти в энергопотреблении, а благодаря уменьшению нагрева ячеек в процессе записи плотность их размещения может быть увеличена в пять раз.

Используемые материалы и технология изготовления нового типа памяти очень близки к тем, что применяются для создания STT-MRAM, а так как уже появились первые опытные партии STT-MRAM, можно ожидать и скорого выпуска MeMRAM.

Отмечалось, что работа проводилась при поддержке Управления перспективных научно-исследовательских проектов МО США (DARPA) с участием специалистов Калифорнийского университета в Ирвайне и компаний Hitachi Global Storage Technologies (США) и Singulus Technologies (Германия).

#### Резисторная память ReRAM, или RRAM

Возможность записи/считывания информации путем изменения сопротивления элемента хранения данных изучается с 1960-х годов, но лишь недавние исследования позволили перейти к реальному освоению технологии резисторной оперативной памяти (ReRAM). Основной принцип построения большинства схем ReRAM-памяти заключается в создании проводящего канала в слое диэлектрика, заключенного между металлическими электродами. Такая структура допускает масштабирование до уровней, недоступных для NAND-флеш.

Привлекательность развивающихся альтернативных NAND-флеш схем памяти – способность выдерживать большое число циклов записи/считывания и малая удельная стоимость единицы информации. Но по объему хранимых данных они все еще существенно уступают флеш-памяти (см. рис.6), емкость которых, как показал доклад компании Micron Technology на IEDM, достигла 128 Гбит. Поэтому как крупное техническое достижение оценивается представленная на ISSCC 2013 схема ReRAM емкостью 32 Гбит совместной разработки компаний SanDisk и Toshiba (до этого наибольший объем памяти ReRAM составлял 64 Мбит для схемы компании Unity Semiconductor, представленной на ISSCC 2010\*) [15]. Микросхема на основе оксидов переходных металлов, выполненная по 24-нм технологии, содержит два слоя 16-Гбит памяти, ячейка памяти – одну числовую шину (WL), резисторный элемент хранения данных, разрядную шину (BL) и вторую числовую шину (рис.10). Резисторный элемент памяти и диодный дешифратор размещены под точками пересечения числовой и разрядной шин и над усилителем считывания, буфером страниц и стабилизатором напряжения. Размер ячейки составляет

\* На хорватском англоязычном веб-сайте Bright Side of News (BSN), посвященном полупроводниковой промышленности, программному обеспечению и их рынкам, в сентябре 2012 года на основе статьи издания Nikkei Electronics было опубликовано сообщение о том, что компания Toshiba уже имеет опытный образец микросхемы ReRAM-памяти емкостью 64 Гбит, а в 2013 году должны появиться образцы схем 128-Гбит и 256-Гбит памяти. Массовое производство серийных микросхем резистивной памяти компания планирует на 2015 год.



24×24 нм, площадь микросхемы – 130,7 мм<sup>2</sup>, емкость страницы памяти – 2 Кбайт, значения времени задержки при чтении и записи – 40 и 230 мкс, соответственно. Докладчик не привел данных о выходе годных и надежности схемы ReRAM-памяти, отметив, что пока ведется ее доработка и что, вероятно, для увеличения ее емкости потребуется увеличить число слоев архитектуры.

Многослойную 8-Мбит микросхему с ячейкой на основе одного транзистора и одного резистора (1T1R) на ISSCC представила компания Panasonic. В 2012 году она объявила о выпуске 2-Мбит ReRAM на основе пленок оксида тантала. Структура схемы ReRAM-памяти емкостью 8 Мбит, выполненной по 0,18-мкм технологии, такая же (рис.11). Время записи при длительности импульса 8,2 нс составляет 663 Мбайт/с, время выборки – 25 нс. Для ячейки размером 16 нм рабочий ресурс превышает 10<sup>7</sup> циклов считывания/записи [16].

Внимание участников IEDM привлек доклад представителей Национального университета Цинхуа (Tsing-Hua), Тайвань, в котором обсуждалась возможность адаптации процесса изготовления резисторной памяти (ReRAM) к 28-нм технологии производства логических микросхем. Такая интеграция очень важна при создании систем на кристалле, и крупнейший контрактный производитель микроэлектронных устройств – компания Taiwan Semiconductor Manufacturing Co., TSMC (с которой аффилирован университет Цинхуа) – внимательно следит за этой развивающейся технологией. Интерес TSMC к ReRAM-технологии примечателен, поскольку до сих пор о ее работах в этом направлении ничего не было известно.

Как следует из названия доклада "Контактная резисторная память (CRRAM) со структурой диэлектрик с высокой диэлектрической постоянной

к и металлическим затвором, выполненная по 28-нм технологии логических схем" (High-K metal gate contact RRAM in pure 28-nm CMOS logic process), сообщение касалось принципов работы ячейки памяти, а не полнофункционального модуля памяти. Благодаря формированию структуры памяти в контактном окне размером 35×35 нм дополнительных для технологии логических схем этапов маскирования и обработки не потребовалось.

Поскольку специалисты университета Цинхуа до сих пор работали с TiN/TiON/SiO<sub>2</sub>-структурой, размещаемой у основания вольфрамового контактного штыря, присоединенного к контакту стока обычного планарного МОП-транзистора, то, очевидно, и представленная 1T1R-память имеет такую же структуру.

Очевидно, для создания полноценного функционирующего модуля памяти необходимо проводить дальнейшие НИОКР. При этом желательно увеличить износостойкость CRRAM до более 10<sup>6</sup> циклов считывания/записи [17].

На ISSCC сотрудники TSMC и университета Цинхуа рассказали о ключевой RRAM-схеме памяти совместной разработки. Схема памяти емкостью 4 Мбит содержит четыре подмаски емкостью 1 Мбит каждый, формируемых 2048 столбцами и 512 рядами. Для увеличения пропускной способности схемы разработан усилитель считывания синфазного сигнала, задаваемого током стока кристалла, и предусмотрен небольшой запас по напряжению. Благодаря усилителю время считывания данных составляет 45 нс. Схема пока еще находится на уровне "опытного образца". Работы по доведению ее до пригодного для передачи в производство состояния ведут специалисты университета.

Интерес вызвал и доклад специалистов IMEC на IEDM, посвященный объяснению процесса переключения проводящего состояния нитевидного канала в аморфном слое HfO<sub>2</sub> при низких токах с помощью модели песочных часов [18]. Переключение сопротивления многослойной HfO<sub>2</sub>-ячейки из проводящего в непроводящее состояние в зависимости от материала электродов и метода осаждения оксидной (активной) пленки может быть одно- или биполярным. При создании RRAM-памяти предпочтение отдается биполярному переключению ячейки благодаря большей стойкости к помехам. Специалисты пришли к выводу, что переключение связано с образованием проводящих дорожек (нитевидных волокон), благодаря присутствию в оксиде вакансий кислорода.

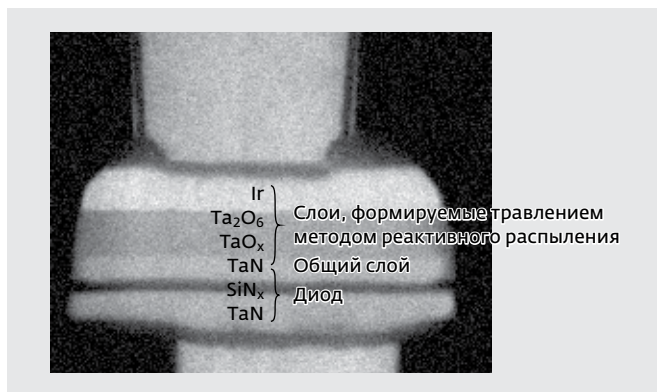


Рис.11. Структура ReRAM-памяти компании Panasonic



Проводящие нитевидные дорожки формируются вдоль дефектов оксида, например, вдоль границ зерен поликристаллического  $\text{HfO}_2$ , плотность дефектов и коэффициент диффузии кислорода которого больше, чем у объемного материала. Дорожки могут быть разрушены или восстановлены за счет миграции кислорода и его вакансий под действием электрического поля и/или локальной диффузии.

Представленная IMEC модель описывает процессы разрушения и восстановления в результате динамического перемещения вакансий кислорода между двумя резервуарами вакансий, соединенных узкой горловиной, наподобие песка в песочных часах, откуда и название модели (рис.12). Нитевидный проводящий канал рассматривается в модели как область субстехиометрического  $\text{HfO}_x$ , расположенная между гафниевым электродом и  $\text{HfO}_2$ -диэлектриком. Восстановление исходного, непроводящего канала объясняется установлением баланса между перемещениями вакансий

в противоположных направлениях, а процесс образования проводящего канала – как результат несбалансированного перемещения вакансий, зависящего от плотности дефектов.

Полученные с помощью модели временные зависимости, зависимости от напряжения и условий формирования токоведущих дорожек 1T1R ReRAM-элементов со структурой  $\text{TiN}/\text{HfO}_2/\text{Hf}/\text{TiN}$  хорошо согласовывались с экспериментальными результатами.

Моделирование схемы на основе этой аналитической модели позволило получить сведения о поведении ReRAM-схем в больших системах, функционирующих в различных условиях. Предложенная модель позволила объяснить явление нарушения работы памяти при низких значениях тока замедленным ростом проводящих дорожек. Показано, что усталостный отказ схемы вызван локальной релаксацией атомов при формировании дорожек вследствие высокой температуры, вызванной джоулевым теплом, выделяемым при переключении.

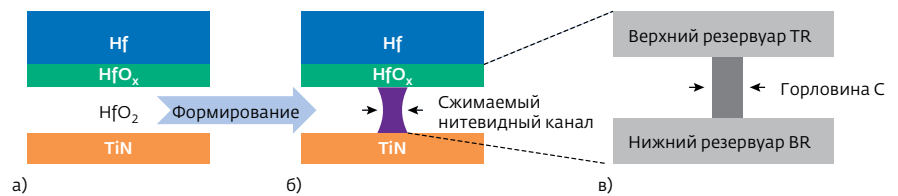
В модель могут быть включены данные о флуктуациях перемещений вакансий, что позволит точно моделировать изменение сопротивления ячейки в состояниях включено/выключено. Таким образом, модель песочных часов – уникальный инструмент моделирования, позволяющий оптимизировать и технически реализовывать RRAM-схемы памяти.

\*\*\*

Работы, посвященные успехам, достигнутым при разработке энергонезависимой памяти, были широко представлены на двух крупнейших конференциях, посвященных достижениям электроники, особенно на IEDM. В связи с ожидаемым вскоре прекращением масштабирования флеш-памяти NAND-типа активно обсуждались альтернативные структуры ячеек памяти, пригодные для масштабирования до 1x-нм и менее уровня.

## ЛИТЕРАТУРА

1. **Yang M.** Total Flash Memory Market Declines Slightly in 2012. – [www.isuppli.com/Memory-and-Storage/News/Pages/Total-Flash-Memory-Market-Declines-Slightly-in-2012.aspx](http://www.isuppli.com/Memory-and-Storage/News/Pages/Total-Flash-Memory-Market-Declines-Slightly-in-2012.aspx)
2. **Kwon Young-Min.** Delving deep into Micron and Intel's 20-nm 64-Gbit MLC NAND flash memory. – [www.eetimes.com/electronics-blogs/other/4369862/Delving-deep-into-Micron-and-Intel-s-20-nm-64-Gbit-MLC-NAND-flash-memory](http://www.eetimes.com/electronics-blogs/other/4369862/Delving-deep-into-Micron-and-Intel-s-20-nm-64-Gbit-MLC-NAND-flash-memory)
3. **Goda A. and Parat K.** Scaling directions for 2D, 3D NAND flash cells. – [www.eetimes.com/design/memory-design/4404207/Scaling-directions-for-2D-and-3D-NAND-flash-cells?pageNumber=0](http://www.eetimes.com/design/memory-design/4404207/Scaling-directions-for-2D-and-3D-NAND-flash-cells?pageNumber=0)
4. **Clarke P.** Micron launches dense 128-Gbit NAND flash. – [www.eetimes.com/design/memory-design/4407053/Micron-launches-128-Gbit-NAND-flash](http://www.eetimes.com/design/memory-design/4407053/Micron-launches-128-Gbit-NAND-flash)
5. **Mellor C.** Micron's teensy 3-bit NAND chips could feed FB data centre beast. – [www.theregister.co.uk/2013/02/18/micron\\_tlc\\_facebook/print.html](http://www.theregister.co.uk/2013/02/18/micron_tlc_facebook/print.html)
6. **Гольцова М.** Конференция ISSCC. Кремний – основа устойчивого развития современного мира. – Электроника: НТБ, 2012, №3, с.72–84.
7. **Degans H.** Imec presents an ultra-thin hybrid floating gate cell at IEDM2012. – [www2.imec.be/be\\_en/press/imec-news/imecedmflashmemory.html](http://www2.imec.be/be_en/press/imec-news/imecedmflashmemory.html)
8. **Shih-Hung Chen, Hang-Ting Lue, et al.** Highly scalable vertical gate 3-D NAND. – [www.eetimes.com/design/memory-design/4406288/Highly-scalable-vertical-gate-3-D-NAND](http://www.eetimes.com/design/memory-design/4406288/Highly-scalable-vertical-gate-3-D-NAND)
9. **P. Clarke** London Calling: At IEDM, heat improves flash memory. – [www.eetimes.com/electronics-news/4402744/London-Calling-At-IEDM-heat-improves-flash-memory](http://www.eetimes.com/electronics-news/4402744/London-Calling-At-IEDM-heat-improves-flash-memory)
10. MRAM News, Resources & Information. – [www.mram-info.com](http://www.mram-info.com)
11. **Романова И.** Новые виды памяти – разработки и перспективы применения. – Электроника: НТБ, 2010, №2, с.26–33.
12. **Lewotsky K.** Tech trends: Details on Everspin's ST-MRAM. – [www.eetimes.com/design/memory-design/4404019/Tech-trends-Details-on-Everspin-s-ST-MRAM](http://www.eetimes.com/design/memory-design/4404019/Tech-trends-Details-on-Everspin-s-ST-MRAM)
13. **Kimura M., Electronics N.** Toshiba's STT-MRAM Expected to Cut Smartphone Power Consumption. – [techon.nikkeibp.co.jp/english/NEWS\\_EN/20121212/255951/?P=1](http://techon.nikkeibp.co.jp/english/NEWS_EN/20121212/255951/?P=1)
14. **Chin M.** UCLA engineers develop new energy-efficient computer memory using magnetic materials. – [newsroom.ucla.edu/portal/ucla/ucla-engineers-have-developed-241538.aspx](http://newsroom.ucla.edu/portal/ucla/ucla-engineers-have-developed-241538.aspx)
15. **P. Clarke.** Dual layer helps ReRAM reach mainstream capacity. – [www.eetimes.com/design/memory-design/4407691/ReRAM-storage-capacity-reaches-mainstream-size](http://www.eetimes.com/design/memory-design/4407691/ReRAM-storage-capacity-reaches-mainstream-size)
16. **LaPedus M.** Panasonic and TSMC Tip Resistive RAMs at ISSCC. – [semimd.com/blog/2012/02/22/panasonic-and-tsmc-tip-resistive-rams-at-isscc/](http://semimd.com/blog/2012/02/22/panasonic-and-tsmc-tip-resistive-rams-at-isscc/)
17. **Clarke P.** Taiwan embeds ReRAM in 28-nm logic process. – [www.eetimes.com/electronics-news/4397124/Taiwan-embeds-ReRAM-in-28-nm-logic-process](http://www.eetimes.com/electronics-news/4397124/Taiwan-embeds-ReRAM-in-28-nm-logic-process)
18. **Imecs 'hourglass' model presented at IEDM 2012.** – [www.electronicproducts.com/Digital\\_ICs/Memory/Imecs\\_hourglass\\_model\\_presented\\_at\\_IEDM\\_2012.aspx](http://www.electronicproducts.com/Digital_ICs/Memory/Imecs_hourglass_model_presented_at_IEDM_2012.aspx)



**Рис.12.** Модель песочных часов, позволяющая моделировать процесс переключения сопротивления нитевидного канала: а – многослойная структура ячейки; б – формирование нитевидной проводящей дорожки и ее сжатие; в – получение узкой горловины между двумя резервуарами вакансий

