

# ISSCC 2015

## ЖИЗНЬ ЗА ПРЕДЕЛАМИ 10 НМ

М.Гольцова

По мере развития Интернета вещей, медицинского оборудования, Всемирной паутины неопределенно структурированные супермассивы данных (Большие данные) меняют образ жизни людей и состояние общества. И все это благодаря созданию небольших кремниевых интегральных схем (ИС), которые в свою очередь активно развиваются, способствуя дальнейшему увеличению объема обрабатываемых Больших данных. В то же время возрастает потребность в дешевых приборах для регистрации данных, их обработки, хранения и объединения в сети с помощью беспроводных или проводных соединений. Поэтому "Кремниевые системы – малые микросхемы для Больших данных" – тема конференции ISSCC 2015, на которой были представлены исчерпывающие описания микросхем с повышенным быстродействием, длительным сроком батарейного питания, высокими характеристиками, большим объемом памяти и новыми интересными возможностями.

### ЗАСЕДАНИЕ ПЛЕНАРНОЙ СЕССИИ

На пленарной сессии, открывшей работу конференции, рассматривались решения, которые позволят продлить действие закона Мура и создать высокопроизводительные приборы, обеспечивающие обработку Больших данных, и средства связи. В первом заказном докладе на сессии "Кремниевые технологии и решения для мира, управляемого данными" д-р Кинам Ким, возглавляющий полупроводниковое производство компании Samsung Electronics, проанализировал тенденции развития кремниевой технологии, рассмотрел методы корпусирования приборов и меры по обеспечению безопасности микросхем. Докладчик отметил, что в 2014 году, по данным компании Cisco Systems, численность населения Земли составляла 7,2 млрд. человек, а число гаджетов, подключаемых в сеть, – вдвое больше, примерно 14,4 млрд. К 2020 году их число вырастет до 50 млрд. устройств. Объем генерируемых ими данных

ежегодно увеличивается в три раза. Одновременно растет и потребление электроэнергии.

По заявлению К.Кима, сегодня у Samsung "для достижения рубежа в 5 нм нет серьезных технических препятствий". Пока компания Samsung в январе 2015 года начала серийное производство схем по 14-нм FinFET-технологии. Для продвижения на рынок прибора следующего поколения с 14-нм топологическими нормами компании потребовалось около трех месяцев. И сейчас Samsung готова к освоению производства схем с 10-нм нормами для мобильных систем. В ее ближайших планах – освоение FinFET-технологии микросхем с проектными нормами 7 нм. Хотя литография с использованием УФ-излучения и четырехкратного формирования рисунка позволяет получать топологические нормы 3,25 нм, фоторезисты допускают размеры всего ~8 нм. Для достижения норм менее 5 нм потребуются новые материалы и существенные изменения

технологии, которые должны встраиваться в существующую инфраструктуру производства.

Но не все изменения коснутся кремниевой технологии. Необходимо обратить внимание и на методы корпусирования, позволяющие монтировать в один корпус различные типы электронных компонентов: микропроцессоры, оперативную память, NAND флеш-память. Сегодня уже существуют заслуживающие внимания технологии формирования этажерочных 3D-модулей, вертикальный монтаж схем в корпус, монтаж с использованием сквозных отверстий в кремнии (TSV), которые необходимо развивать.

В докладе Ким затронул и проблемы развития устройств формирования изображения, отметив, что шаг пикселей следует уменьшить с 1,4 до 1 мкм. Для исключения тени, наводимой металлизацией, необходимо перейти от фронтальной регистрации светового потока к тыльной засветке светочувствительных элементов. Чтобы снизить взаимные помехи, отдельные пиксели должны быть электрически и оптически изолированы. Стабильную работу формирователя изображения обеспечит кадровый фотозатвор со встроенным пикселем.

По мере увеличения объема обрабатываемых данных и повышения производительности электронных систем все более важной становится задача защиты данных от несанкционированного пользования. К тому же, Интернету вещей присуще множество новых точек доступа и путей утечки данных. Вот почему требуются новые методы кодирования, препятствующие клонированию идентификационных данных пользователя [1, 2].

Второй пленарный доклад руководителя технологического подразделения компании Marvell Technology Group Сихата Сутарджа "Будущее инновационных конструкций интегральных схем" был посвящен возможности разработки высокопроизводительных и вместе с тем дешевых систем на кристалле после прекращения действия закона Мура. По мнению докладчика, за хорошими новостями полупроводниковой промышленности скрывается развивающийся кризис, способный через десятилетие, если ничего не предпринимать, сотрясти всю электронную промышленность. Сихат Сутарджа отметил, что одно из величайших достижений человечества – создание небольших машин, которые выполняют функции компьютеров и устройств беспроводной связи и столь дешевы, что почти каждый человек может их приобрести. Даже эксперты полупроводниковой промышленности не могли предвидеть такого стремительного развития

отрасли. Но некоторые приборы столь сложны, что для их разработки, тестирования и обслуживания требуются тысячи инженеров, а это приводит к росту серьезных программных и аппаратных ошибок.

К сожалению, методика проектирования интегральных схем в последние десятилетия существенно не изменилась. Инженеры-проектировщики слепо следуют установленным в соответствии с законом Мура правилам – чем больше функций выполняет схема, тем лучше. Этот не самый рациональный подход к проектированию ИС не удивителен, поскольку на протяжении предыдущих десятилетий стоимость интегральной схемы по закону Мура уменьшалась по мере увеличения степени ее интеграции.

Но, по утверждению Сихата Сутарджа, так называемый закон Мура, в общем-то, не является законом. В свое время он представлял собой своего рода социальный контракт между полупроводниковой промышленностью и потребителями, который и обеспечил полупроводниковой технологии экспоненциальное развитие. Почему же, несмотря на растущие затраты на создание интегральных схем, промышленность продолжает его придерживаться? Очевидно, отказ обойдется чересчур дорого, считает Сутарджа.

Закон Мура гласит, что плотность транзисторов в интегральных схемах каждые два года увеличивается вдвое. Но на деле все обстоит сложнее. Закон учитывает три параметра, определяющих развитие микроэлектроники:

- размер элементов, или плотность их размещения, которая с годами увеличивается;
- производительность (увеличение объема памяти, скорости вычислений и т.п. интегральных схем одинакового размера);
- стоимость ИС, которая сокращается по мере уменьшения ее размеров.

Если переработать структуру схемы для повышения быстродействия, цена может снижаться быстрее. Тем не менее в прошедшие десятилетия именно увеличение производительности было основным параметром, определяющим развитие микроэлектроники, что в конечном итоге привело к значительному росту производства интегральных схем. С учетом необходимости многократного литографического формирования структуры схемы набор шаблонов для создания микросхемы новой конструкции к 2018 году будет стоить 10 млн. долл. (по мнению некоторых специалистов, это чересчур заниженная оценка). Резкое увеличение стоимости шаблонов приведет к слишком высокой пошлине

на итоговый результат деятельности компаний, в том числе и Marvell.

По мнению Сихата Сутарджа, существует четвертый, скрытый параметр, который может сохранить действие закона Мура и даже продлить его – энергетическая эффективность схемы. Несколько десятилетий назад энергоэффективность не была особенно интересна игрокам на рынке микроэлектроники, рассуждавшим примерно так: "Если даже энергопотребление ИС постепенно повысится до 100 или даже 200 Вт, оно будет все еще меньше, чем у ламп накаливания или электроприборов, установленных в доме". Но Сутарджа полагает, что социальный контракт "закон Мура", который привел к тому, что полупроводниковая промышленность стала самой энергоемкой отраслью на планете, нарушен. Как он показал, если 20% денег, выделяемых на исследования и разработку интегральных схем, тратить на 15%-ное ежегодное увеличение их энергоэффективности, то потребляемая энергия микросхемы в 2020 году составит всего 20% того, что требуется ей сегодня. Если заменить все микросхемы в мире на новые энергоэффективные устройства, на глобальном рынке будет представлено в пять раз больше электронных приборов, и при этом не потребуется строительства новых электростанций.

Сутарджа подчеркнул, что потребитель почти ничего не потеряет. Следующее поколение ИС будет выходить один раз в 18, а не в 15 месяцев; частота процессора ноутбука будет равна 2,4, а не 2,8 ГГц. Небольшие, но необходимые жертвы. Президент компании Marvell считает, что настало время заключения нового социального контракта, предусматривающего сохранение общего энергопотребления на текущем уровне, который бы поддержала полупроводниковая промышленность. Таким образом, пользователи должны быть готовы

платить не только за увеличение производительности, но и за сокращение энергопотребления.

Но это потребует отказа промышленности ИС от необдуманного повторения старой традиции и принятия новой парадигмы – принципа "Лего-блока", представляющего собой обобщенную старую концепцию формирования комплекта микросхем для ПК. Лего-блок содержит виртуальные системы на кристалле, образованные многочисленными микросхемами, которые могут быть изготовлены на основе различных технологий. Для обеспечения "общения" микросхем используется эффективный протокол связи, многокристальный модуль упаковки и параллельно-последовательные и последовательно-параллельные преобразователи. Сутарджа также предложил пересмотреть иерархию систем памяти и воспользоваться достоинствами трехмерной флеш-памяти. По его мнению, для выполнения требуемых логических функций кэша следует применять ДОЗУ достаточно большого, но меньшего, чем обычно, объема. При этом архитектура ДОЗУ должна быть оптимизирована для обеспечения высокой пропускной способности и энергоэффективности, а не большого объема хранимых данных.

На конференции ISSCC Сутарджа представил прорывную технологию межсоединений MoChi и архитектуру кэш-памяти последнего уровня (Final-Level Cache, FLC) для системы на кристалле (рис.1). Чтобы сократить латентный период установления связи между микросхемами, технология MoChi использует соединения ARM AXI с пропускной способностью от 8 Гбит/с, благодаря чему микросхемы могут общаться без ощутимых задержек. Кроме того, эта технология обеспечивает шлейфовое подключение многих микросхем и предоставляет возможность применения последовательно-параллельных микропреобразователей

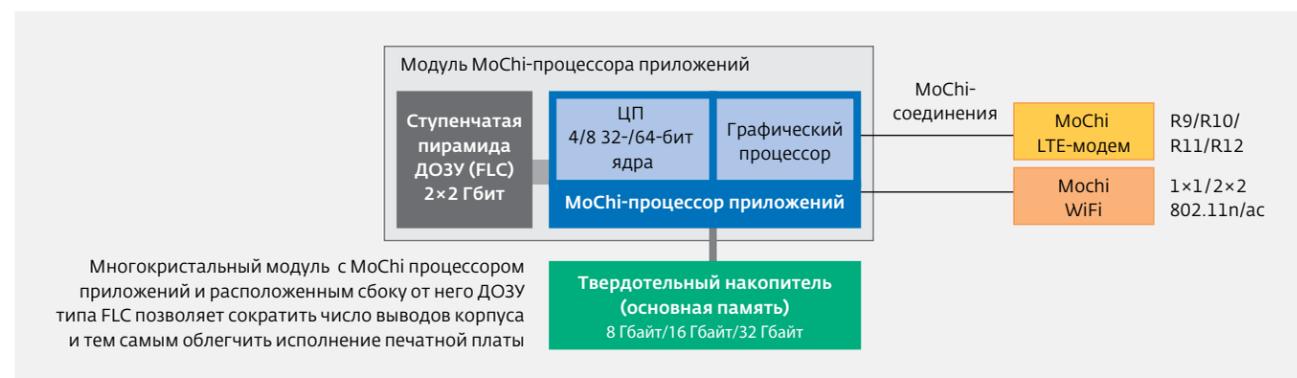


Рис.1. Пример применения MoChi-соединений и FLC-памяти в смартфоне

и дифференциальной сигнализации. По утверждению разработчиков, MoChi-межсоединения позволят выпустить долгожданный лаптоп стоимостью 100 долл. Marvell ведет переговоры с производителем программируемых вентильных матриц FPGA и несколькими японскими партнерами на предмет продажи лицензии на MoChi-технологию. Правда, как отметил Сутарджа в интервью после доклада, пока делать эту технологию отраслевым стандартом компания не намерена, так как она интенсивно совершенствуется и изменяется.

Еще менее подробно представитель компании Marvell описал технологию сверхоперативной FLC-памяти, которая, по его утверждению, позволит существенно сократить (примерно на порядок, считают разработчики) объем оперативной ДОЗУ. Это достигается за счет применения высокоскоростного ДОЗУ-кэша малого объема и хранения данных в твердотельном накопителе. Сутарджа описал технологию FLC как метод создания виртуальной памяти, изначально зарезервированной для продажи своим заказчикам-производителям комплектного оборудования, но при этом отметил, что разработанная память – закрытая система, и пока компания не планирует ее лицензировать.

Обе инициативы представляют собой "проекты-самоделки", над которыми в течение нескольких лет работали в основном в уик-энды. Сегодня более чем 100 сотрудников компании заняты совершенствованием технологии. Сихат Сутарджа пообещал к концу 2015 года выпустить опытный образец схемы на основе MoChi-межсоединений и FLC-памяти.

Первоначальная реакция на доклад была различной, многие слушатели оценили смелость инициатив компании, но скептически отнеслись к успешной их реализации. Промышленность уже видела многие несостоявшиеся системы в корпусе и новые архитектуры памяти. В частности, старший аналитик компании Linley Group Майк Димлер выразил сомнение, что MoChi-технология превосходит разработанные в отрасли решения. Представленные Сутарджа слайды, демонстрировавшие применение MoChi-соединений в будущих смартфонах для связи процессора приложений с радиоприемником и другими периферийными устройствами практически аналогичны соединениям с помощью PCI Express. Димлер также обратил внимание на проблемы надежности твердотельных накопителей, используемых в качестве основной памяти системы, поскольку число их циклов перезаписи

ограничено. Для реализации полного потенциала FLC-памяти потребуется поддержка операционной системы [3, 4].

Третий заказной пленарный доклад, с которым выступил представитель Католического университета в Лёвене Уилли Сэнсен, был посвящен искусству проектирования аналоговых КМОП-схем в период с момента разработки в начале 1970-х годов технологии их формирования с топологическими нормами 5 мкм до появления будущих схем с 5-нм транзисторами. Он рассмотрел такие важные параметры аналоговой схемы как коэффициент инверсии, зависимость от тока усиления, полосы пропускания и емкости.

Сегодня большая часть потребляемой энергии активных аналоговых систем приходится на долю РЧ-блоков на основе 5-мкм компонентов, но топологические нормы цифровых схем близятся к 5 нм. Очевидно, что аналоговым микросхемам нужно переходить на сопоставимые с цифровыми приборами проектные нормы. Но аналоговых функций, требующих высокочастотных характеристик, присущих наноразмерным приборам, не так уж много. Предельная частота 10-нм транзисторов достигает терагерцевого диапазона, тогда как у 100-нм приборов она равна 100 ГГц. Поскольку все аналоговые функции рассчитаны на работу в подпороговой области транзисторов, избыточную полосу частот можно использовать для реализации блоков, позволяющих уменьшить энергопотребление, емкость, сопротивление, шумы схемы, устранить нулевые значения сигнала.

Проблемы многих аналоговых устройств, выполненных по различным технологиям, одинаковы, и большинство методов их решения активно используется уже достаточно давно. В настоящее время решение проблем упрощается за счет применения большего числа при реализации схем коррекции и более активному вводу цифровой обработки сигнала в аналоговые схемы. Возможна модуляция источника питания кольцевого генератора для регулирования времени задержки в АЦП или усилителе. В системе ФАПЧ можно использовать обработку аналогового сигнала в дискретное время.

Хотя в конструкции аналоговых устройств для улучшения характеристик применяются приемы многолетней давности, способы дальнейшего уменьшения их размеров не ясны. По-видимому, для изготовления 5-нм приборов потребуются новые технологические процессы и материалы. Исходными материалами могут стать

германий или полупроводниковые III-V соединения. Изменится и структура схем.

Поскольку при нормах менее 7 нм планарная структура не сохранится, возникает спорный вопрос: какой технологии отдать предпочтение – полевым транзисторам с вертикальными ребрами (FinFET), транзисторам на полностью обедненном кремнии на изоляторе (FDSOI) или биполярным SiGe аналоговым транзисторам? Аналоговые схемы с размерами элементов менее 7 нм могут быть реализованы на основе углеродных нанотрубок для формирования межсоединений и вертикальных нанопроводов для полевых транзисторов. Но такие приборы потребуют изменения топологии и моделей, используемых для описания их характеристик. Правда, Сэнсен предупреждает, что для достижения хороших результатов проектировщик новых типов устройств должен учитывать все их паразитные параметры [5].

Как обычно, Международная конференция по твердотельным схемам преподнесла множество инновационных решений. Несмотря на рост цен и трудности, связанные с выполнением закона Мура, инженеры на ежегодном собрании разработчиков интегральных схем представили все меньшие по размерам, более быстродействующие и информационно емкие приборы, а также этот странный, странный новый мир сверхмаломощных устройств. Конференция, как всегда, предоставила интересную информацию о том, что происходит с кремниевой технологией, с которой полупроводниковые специалисты работают каждый день, но воспринимают как черный ящик, свойства которого постепенно улучшаются. И конечно, участники конференции не могли обойти проблему дальнейшего масштабирования интегральных схем.

#### ПРОДВИГАЯ ЗАКОН МУРА ЗА ПРЕДЕЛЫ 10 НМ

На заседании круглого стола, проходившего в рамках конференции, сотрудники Intel, Qualcomm, ряда промышленных компаний и ученые университетов обсудили вопросы соответствия технологии 10-нм проектных норм закону Мура и возможности продления его действия при проектных нормах менее 7 мкм. Intel продемонстрировала графики изменения удельной стоимости в пересчете на квадратный миллиметр и стоимости транзистора, которые были представлены на Форуме разработчиков компании (IDF) в 2014 году (рис.2).

Большее, чем расчетное, снижение стоимости 14-нм транзистора объясняется оптимизацией процесса маскирования и использования различных

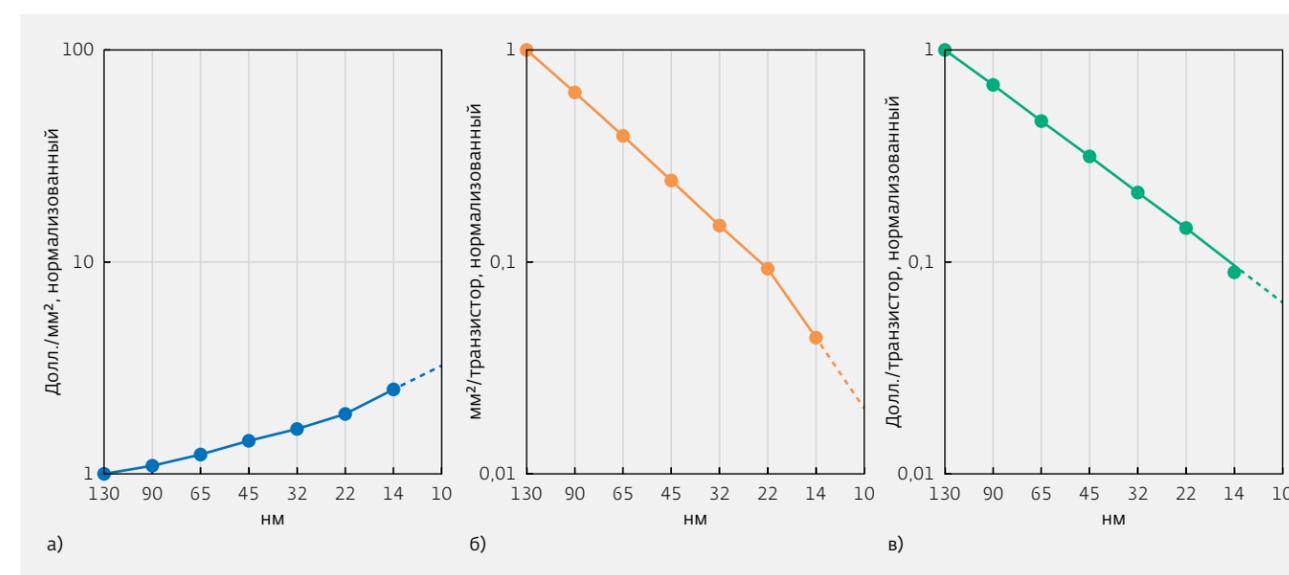


Рис.2. Масштабирование по-прежнему уменьшает стоимость транзистора, что необходимо для обоснования разработки новых поколений технологии: а) удельная стоимость в пересчете на 1 мм<sup>2</sup>; б) площадь занимаемая транзистором; в) стоимость транзистора

шаблонов для формирования рисунка в определенных областях кристалла. Очевидно, несмотря на то, что 10-нм процесс потребует большее число этапов маскирования, проблемы, задержавшие выход схемы предыдущего 14-нм поколения на рынок из-за необходимости проведения двукратного процесса формирования рисунка и увеличения числа используемых шаблонов, будут устранены или, по крайней мере, ослаблены. Для этого компания ведет работы по повышению эффективности тестирования схемы на каждом этапе ее изготовления и ускорила перемещение пластин на производственной линии. В результате опытные линии изготовления 10-нм приборов работают на 50% быстрее, чем 14-нм технологические линии. Пока компания не считает необходимым применять литографию при излучении в крайней УФ-области спектра (EUV), темпы совершенствования которой много ниже ожидавшихся.

Таким образом, Intel утверждает, что используемые методы совершенствования процессов изготовления 10-нм схем, позволят снизить стоимость схемы в пересчете на транзистор без необходимости освоения полностью нового процесса формирования ее рисунка.

Помимо решения общих проблем освоения производства микросхем с проектными нормами менее 7 нм, исследователи компании изучают перспективы создания 2,5D- (отдельные кристаллы на промежуточной пластине – импозере) и 3D-схем

(трехмерный, этажерочный комплект кристаллов). Специалисты Intel полагают, что 2,5D- и 3D-схемы нельзя считать непосредственной заменой наноразмерных микросхем, хотя в определенных ситуациях они позволяют сократить энергопотребление (2,5D) или реализовывать ограниченные по размерам топологии (3D). По мнению Паоло Гарджини, возглавляющего разработку Международной топологической карты развития полупроводниковой промышленности (ITRS), сегодня трехмерные комплекты микросхем по уделяемому им вниманию и перспективам развития аналогичны появившимся в 2007 году структурам с диэлектриком с высокой диэлектрической проницаемостью и металлическим затвором (High k/Metal Gate). Однако старший научный сотрудник Intel Марк

Бор отметил, что уже сейчас требуется плотность межсоединений на один-два порядка больше, чем достижимо для современных сквозных отверстий в кремнии (TSV). С этим согласен и вице-президент компании Xilinx Лайм Мэдден, который уверен, что через два-три года удастся увеличить плотность размещения TSV-соединений, но это будет нелегко [6].

### 3D NAND ФЛЕШ-ПАМЯТЬ

Несмотря на трудности развития микроэлектроники на конференции была представлена впечатляющая трехмерная NAND флеш-память компании Samsung. Пока компания – единственный производитель 3D NAND, представленных на рынке. Емкость трехмерной флеш-памяти типа V-NAND с трехуровневой ячейкой памяти, способной хранить 3 бита информации, составляет 128 Гбит. Схема памяти, содержащая 32 слоя активных ячеек и две разрядные шины в зазоре, отделяющем каналы, занимает площадь 69,9 мм<sup>2</sup>. Ее долговечность превышает 5 тыс. циклов перезаписи. По своим характеристикам (размеру кристалла и высоте этажерки) новая схема превосходит схемы флеш-памяти, выпущенные компанией в 2014 году (рис.3).

Первая особенность новой V-NAND-схемы – площадь ячеек каждого слоя, равная 0,36 мкм<sup>2</sup>, которая мало изменилась за год и по-прежнему в 27 раз больше физического размера 16-нм 2D NAND компании Micron. Вторая особенность – компании удалось экономно использовать периферийные устройства, необходимые схеме памяти. Периферия занимает примерно 19 мм<sup>2</sup> кремниевой КМОП-пластины, тогда как в 24-слойном варианте 2014 года площадь периферии составляла 27 мм<sup>2</sup>. По-видимому, Samsung первая компания, которая справилась с задачей уменьшения числа периферийных схем. Но основное достоинство новой флеш-памяти – трехуровневая ячейка памяти, хранящая 3 бита информации.

Очевидно компания намерена реализовать и четырехслойную ячейку (4 бита данных). Такое намерение совершенствовать схему флеш-памяти, хотя

и достойно похвалы и не должно вызывать затруднений, не идет ни в какое сравнение с тем, что требуется сделать. Для увеличения емкости памяти вдвое – со 128 до 256 Гбит число ячеек в вертикальных рядах каналов нужно увеличить с 32 до 64. А в памяти емкостью 1 Тбит потребуются ряды, содержащие 256 ячеек емкостью 3 бита. Однако эксперты задаются вопросом: "С чем можно сравнить работу Samsung: с грациозно парящей ласточкой или с павлином с ослепительным хвостом?" Многие придерживаются второго сравнения [7].

В нескольких значительных докладах описаны новые устройства, выполненные по 16- и 14-нм FinFET-технологиям компаниями Intel, IBM, Samsung и TSMC.

### УСПЕХИ 14-НМ FinFET-ТЕХНОЛОГИИ

#### Схемы памяти

Возможности своего 14-нм FinFET-процесса компания Intel продемонстрировала на примере ячейки памяти статического оперативного запоминающего устройства (СОЗУ), размеры которой, по мнению организаторов конференции, самые маленькие в мире: площадь ячейки памяти встраиваемого СОЗУ емкостью 84 Мбит составляет 0,05 мкм<sup>2</sup>. Плотность записи данных схемы, выполненной по 14-нм технологии, равна 14,5 Мбит/мм<sup>2</sup>. Значение рабочей частоты, равное 1,5 ГГц, достигнуто при напряжении питания 0,6 В. Отмечается, что частота

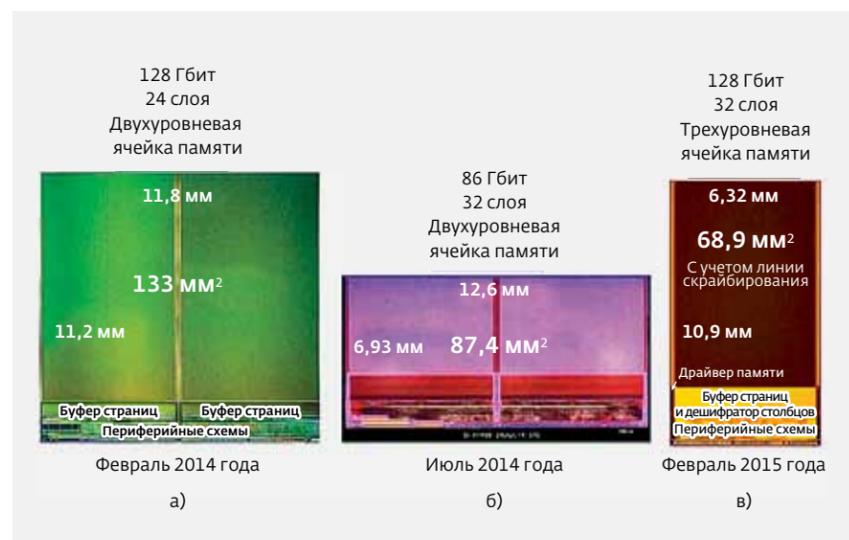


Рис.3. Сопоставление развития 3D NAND флеш-памяти с разминкой для восхождения на Эверест (8848 м над уровнем моря): покорение северного склона Эйгера (горной вершины в Бернских Альпах высотой 3970 м над уровнем моря) (а); Аконкагуа (горная система Анды, Аргентина 6000 м над уровнем моря) (б); перспективный кандидат (в)

может быть увеличена до 3 ГГц. По-видимому, странно "анонсировать" схему памяти объемом 84 Мбит (10,5 Мбайт). Но Intel сообщила, что объем можно увеличить до 100 Мбит и более. Благодаря этому схему можно будет использовать как встраиваемую память процессора, а не блок памяти ПК. Ячейка войдет в состав матрицы памяти для использования в будущих схемах системы на кристалле [8, 9].

Со своей стороны IBM на секции, посвященной встраиваемым схемам памяти, представила встраиваемое динамическое оперативное запоминающее устройство (еДОЗУ) емкостью 1,1 Мбит со щелевым конденсатором, выполненное по 14-нм FinFET-технологии и предназначенное для кэш процессоров. Впервые щелевые конденсаторы были введены во встраиваемое ДОЗУ процессора Power 7 с 45-нм проектными нормами для повышения плотности записи его кэша. В схеме, реализованной с проектными нормами 22 нм, был применен усилитель считывания с большим усилением, чем в предыдущих

45- и 32-нм вариантах. Исполнение 22-нм схемы было перенесено в опытную 14-нм FinFET-схему еДОЗУ, оснащенную автоматической системой самоконтроля, средствами подкачки заряда шины слов. Размер ячейки памяти запоминающего устройства равен 0,01747 мкм<sup>2</sup>, время доступа – 1,0 нс [10].

Компания Taiwan Semiconductor Manufacturing Co. (TSMC) представила 64-Кбит асинхронное СОЗУ, выполненное по 16-нм FinFET-технологии на основе новой восьмитранзисторной ячейки памяти. В схеме памяти использован присущий FinFET-транзисторам метод регулирования порога переключения путем изменения отношения относительных значений управляющих токов р- и n-канальных полевых транзисторов. Это позволило разработчикам заменить традиционные n-канальные транзисторы записи ячейки памяти р-канальными транзисторами.

Но не только схемы памяти, выполненные по 14-нм FinFET-технологии, демонстрировались на ISSCC.

Перспективные стандарты проводных линий передачи задают скорости, равные 40 Гбит/с. Большинство предыдущих стандартов для таких сетевых применений предусматривали передачу с активной фазой. Однако требования к целостности сигнала возобновили интерес к применению в некоторых приложениях амплитудно-импульсной модуляции четвертого уровня (АИМ 4). Недавно появились сообщения о создании передатчиков, использующих исключительно передачу с активной фазой или АИМ 4. Однако высокоскоростные блоки последовательно-параллельного преобразователя (SerDes), поддерживающие работу в широком частотном диапазоне и различные формы модуляции, обеспечивают лучшую совместимость компонентов передатчика и исключают необходимость разработки различных архитектур систем обработки данных. Это побудило компанию Intel, помимо миниатюрной схемы встраиваемого СОЗУ, представить выполненный по 14-нм КМОП-технологии с трехзатворными FinFET (Tri-Gate) транзисторами SerDes-передатчик с быстродействием от 16 до 40 Гбит/с. В передатчик входит реконфигурируемый четырехотводной КИХ-фильтр с активной паузой, управляющий АИМ. Для увеличения быстродействия последовательно-параллельного преобразователя в схеме передатчика используется метод инъекции заряда и многоуровневые катушки с выведенной средней точкой. И это самый компактный в настоящее время передатчик, предназначенный для приложений со скоростью передачи 25 Гбит/с+SerDes и занимающий площадь кристалла 0,03 мм<sup>2</sup> [11].

Samsung описала два прибора, реализованные с помощью осваиваемого компанией 14-нм FinFET-технологического процесса. Был представлен преобразователь "время-цифровой код" (TDC), стойкий к воздействию давления, напряжения и температуры. В схеме использована стохастическая фазовая интерполяция с 16-кратной пространственной избыточностью. Преобразователь содержит два элемента задержки, разрешение его составляет 1,17 пс при производительности 100 Мвыборков/с, напряжении питания 0,6 В и потребляемой энергии 0,78 мВт. Занимает площадь кристалла 0,035 мм<sup>2</sup> [12].

Сообщалось также о схеме ФАПЧ с рассеиваемой мощностью 2,06 мВт на частоте 2 ГГц при напряжении питания 0,8 В.

\* \* \*

Раскрыть в обзоре ограниченного объема все интересные и злободневные вопросы, затронутые на очередной конференции ISSCC 2015, – от высокопроизводительных процессоров и средств связи

до маломощных устройств, способных работать на частоте в несколько герц, потребляя энергию в несколько пиковатт, – невозможно. Различные аспекты, касающиеся роли кремниевых микросхем и систем в обеспечении реального существования Больших данных, будут рассмотрены в следующем номере журнала.

## ЛИТЕРАТУРА

1. Silicon Technology and Solutions for a Data-Driven World. – [mandetech.com/2015/02/28/silicon-technology-and-solutions-for-a-data-driven-world](http://mandetech.com/2015/02/28/silicon-technology-and-solutions-for-a-data-driven-world).
2. **Tetsuo Nozawa**. Samsung President Discusses Semiconductor Scaling at ISSCC. – [techon.nikkeibp.co.jp/english/NEWS\\_EN/20150226/406264](http://techon.nikkeibp.co.jp/english/NEWS_EN/20150226/406264).
3. **Merritt R.** Marvell Shakes Up SoCs, DRAMs. CEO-led initiatives unveiled at ISSCC. – [www.eetimes.com/document.asp?doc\\_id=1325780](http://www.eetimes.com/document.asp?doc_id=1325780).
4. **Yoshida J., Marvell** CEO: The Tinkerer at The Top. – [www.eetimes.com/document.asp?doc\\_id=1326017](http://www.eetimes.com/document.asp?doc_id=1326017).
5. Analog CMOS from 5 Microns to 5 Nanometers. – [mandetech.com/2015/02/28/analog-cmos-from-5-microns-to-5-nanometers](http://mandetech.com/2015/02/28/analog-cmos-from-5-microns-to-5-nanometers).
6. **Cutress I.** Intel at ISSCC 2015: Reaping the Benefits of 14nm and Going Beyond 10nm. – [www.anandtech.com/show/8991/intel-at-isscc-2015-reaping-the-benefits-of-14nm-and-going-beyond-10nm](http://www.anandtech.com/show/8991/intel-at-isscc-2015-reaping-the-benefits-of-14nm-and-going-beyond-10nm).
7. **Walker A.** Samsung continued their 3D NAND march. – [www.3dincites.com/2015/03/samsungs-v-nand-flash-2015-isscc-way-left](http://www.3dincites.com/2015/03/samsungs-v-nand-flash-2015-isscc-way-left).
8. **Cutress I.** Intel at ISSCC 2015: Reaping the Benefits of 14nm and Going Beyond 10nm. – [www.anandtech.com/show/8991/intel-at-isscc-2015-reaping-the-benefits-of-14nm-and-going-beyond-10nm](http://www.anandtech.com/show/8991/intel-at-isscc-2015-reaping-the-benefits-of-14nm-and-going-beyond-10nm).
9. **Merritt R.** Intel Carves Tiny SRAMs at 14nm. – [www.eetimes.com/document.asp?doc\\_id=1325734](http://www.eetimes.com/document.asp?doc_id=1325734).
10. **Fredeman G., Plass D., Mathews, A. et al.** A 14nm 1.1Mb embedded DRAM macro with 1ns access. – [ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=7063053&url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs\\_all.jsp%3Farnumber%3D7063053](http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=7063053&url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D7063053).
11. **Kim J., Balankutty A., Elshazly A. et al.** A 16-to-40Gb/s quarter-rate NRZ/PAM4 dual-mode transmitter in 14nm CMOS. – [ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=7062925&punumber%3D7054075%26filter%3DAND\(p\\_IS\\_Number%3A7062838\)%26pageNumber%3D2](http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=7062925&punumber%3D7054075%26filter%3DAND(p_IS_Number%3A7062838)%26pageNumber%3D2).
12. **Kim S-J., Kim W., Song M. et al.** A 0.6V 1.17ps PVT-tolerant стойкий к давлению and synthesizable time-to-digital converter using stochastic phase interpolation with 16x spatial redundancy in 14nm FinFET technology. – [ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=7063035&url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs\\_all.jsp%3Farnumber%3D7063035](http://ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=7063035&url=http%3A%2F%2Fieeexplore.ieee.org%2Fxppls%2Fabs_all.jsp%3Farnumber%3D7063035).