

ISSCC 2015

НОВЫЕ МИКРОПРОЦЕССОРЫ И МИКРОКОНТРОЛЛЕРЫ ЕЩЕ СЛОЖНЕЕ И ПРИТЯГАТЕЛЬНЕЕ

ЧАСТЬ 2

М. Гольцова

Цифровой ландшафт конференций ISSCC, как правило, пестрит сообщениями о самых производительных на момент проведения мероприятия процессорах и схемах памяти наибольшей емкости. Однако сегодня очевидно, что не меньше внимания следует уделять и энергоэффективности приборов полупроводниковой электроники. Эта проблема актуальна как для узлов Интернета вещей, так и для встроенных микроконтроллеров и многоядерных платформ систем на кристалле, используемых в смартфонах и высокопроизводительных системах центров обработки и передачи данных. И, конечно, на конференции ISSCC 2015, помимо традиционных докладов, посвященных последним достижениям в области процессорной технологии, особый интерес вызвали сообщения о разработках интегральных схем с малой потребляемой мощностью и приборов с энергопотреблением в несколько микроватт.

ВЫСОКОПРОИЗВОДИТЕЛЬНЫЕ ПРОЦЕССОРЫ

По мере увеличения мощности крупных вычислительных центров и облачных систем проектирование микропроцессоров усложняется. Поэтому неудивительно, что компании Intel, AMD и IBM на сессии ISSCC 2015, посвященной процессорам, представили новое высококачественное "железо" – процессоры, изготовленные по 22/20-нм технологии и отличающиеся от существующих образцов повышенной производительностью, высокой энергоэффективностью, большим числом ядер и емкостью кешов.

Как отметили организаторы конференции, сегодня уже несколько интегральных схем процессоров содержат до 5 млрд. и более транзисторов (рис.1). К ним относится и представленный на конференции процессор семейства Xeon E5-2600 v3 для учреждений серверов, содержащий 5,56 млрд. транзисторов на кристалле размером 31,9×20,8 мм.

Встречаем семейство процессора Xeon E5-2600 v3

Процессор Xeon E5-2600 v3 (рис.2) – следующее поколение семейства E5-2600 v2, выпущенного в 2013 году. На его долю пришлось более 80% поставок для сегмента серверов компании. Новое семейство (кодированное название Grantley-EP*), представленное Intel в сентябре 2014 года на Форуме компании для разработчиков (Intel Designer Forum, IDM), выполнено в соответствии с принятой компанией стратегией "Тик-так" (tick-tock)**: на финальном этапе цикла

* EP означает экономичная работа.

** Согласно стратегии "тик-так", перевод производства на новый технологический процесс (tick) и внедрение новой процессорной микроархитектуры (tock) происходят последовательно, с периодичностью примерно в два года. То есть если в первый год осваивается новый техпроцесс производства, то во второй год – новая процессорная микроархитектура.

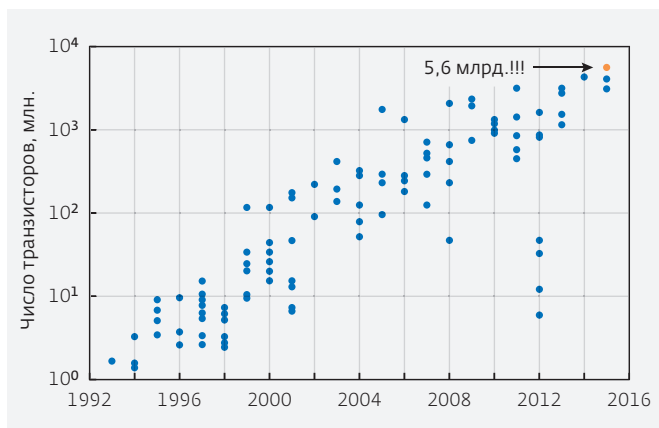


Рис.1. Динамика увеличения сложности интегральных схем процессоров

(tock) построения семейства E5-2600 v3 в 22-нм процессоре Xeon была реализована последняя микроархитектура Haswell [1].

В конфигурацию Xeon процессора Xeon E5-2600 v3 (рис.3) входят:

- до 1864-бит Haswell ядер (против 12 в E5-2600 v2);
- кеш последнего уровня (L3) емкостью 45 Мбайт;
- четырехканальная память DDR4-1333/1600/1866/2133 МГц емкостью 768 Гбайт с максимальной пропускной способностью – 68 Гбайт/с. Конфигурация памяти совмещает большое число модулей без потерь пропускной способности. А поскольку память работает при низком входном напряжении (даже ниже, чем у DDR3L), энергоэффективность процессора заметно повышается;
- 40 каналов PCIe 3.0 со скоростью $8 \cdot 10^9$ передач/с;
- 60 каналов связи QPI со скоростью $9,6 \cdot 10^9$ передач/с ($8 \cdot 10^9$ передач/с для процессоров предыдущего поколения).

Процессоры семейства выполнены по 22-нм НКМГ (с использованием диэлектрика с высокой диэлектрической проницаемостью и металлического затвора) КМОП-технологии на основе трехмерных Tri-Gate-транзисторов. В микросхеме 11 слоев металлизации.

В конструкции предусмотрены разнообразные блоки, обеспечивающие: теплопакет (TDP) от 55 до 145 Вт (в соответствии с TУ) и до 160 Вт (для высокопроизводительных рабочих станций), рабочие частоты – от 1,6 до 3,8 ГГц и возможность работы с различным числом ядер. Чипсет материнской платы X99 (кодовое название Wellsburg) дополнительно поддерживает порты USB 3.0 и до 10 портов SATA 6 Гбит/с для подключения схем памяти. Поддержка большого числа интерфейсов SATA перспективна для недорогих твердотельных

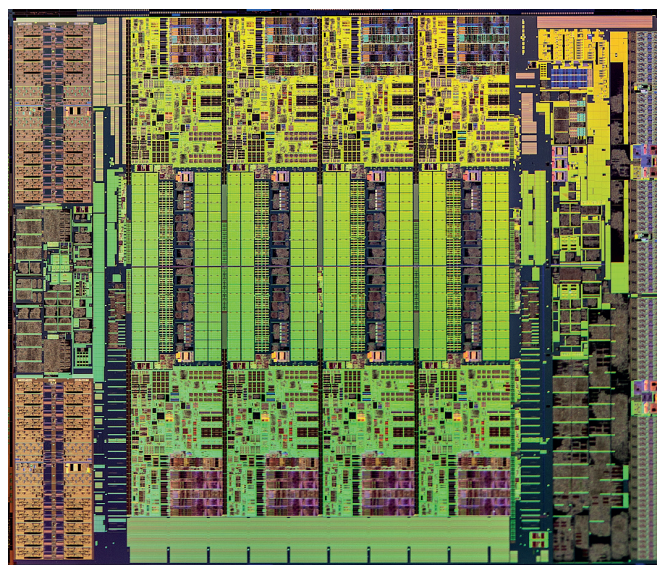


Рис.2. Микросхема процессора семейства Xeon E5-1600 v3

накопителей и традиционных накопителей на жестких магнитных дисках, в то время как высокопроизводительные устройства хранения данных переходят на шину PCIe.

К новым особенностям семейства также относятся:

- применение расширенной системы команд AVX2 (Advanced Vector Extensions) с объемом команд целочисленного вектора до 256 бит, благодаря чему существенно увеличена производительность выполнения операций с целыми числами и обработки изображения. Тем самым на 90% улучшена производительность процессоров последнего поколения;
- реализация в схеме процессора полностью интегрированного регулятора напряжения (Fully Integrated Voltage Regulator, FIVR), позволяющего оптимизировать энергопотребление процессора.

Усовершенствованная микроархитектура Haswell позволяет регулировать рабочие состояния (P-state) отдельного ядра (Per Core P-States, PCPS) и на 36% снизить энергопотребление процессора. Для оптимизации производительности и потребляемой энергии диапазон изменения тактовой частоты каждого ядра устанавливается автономно, тогда как тактовая частота логики кеша и всех FIVR-блоков – типовая. Для синхронизации тактовых частот системы используются 32 ФАПЧ.

Полностью интегрированный регулятор напряжения обеспечивает быстрое переключение рабочего состояния ядра, а взаимодействие регулятора с операционной системой – управление его работой. Если

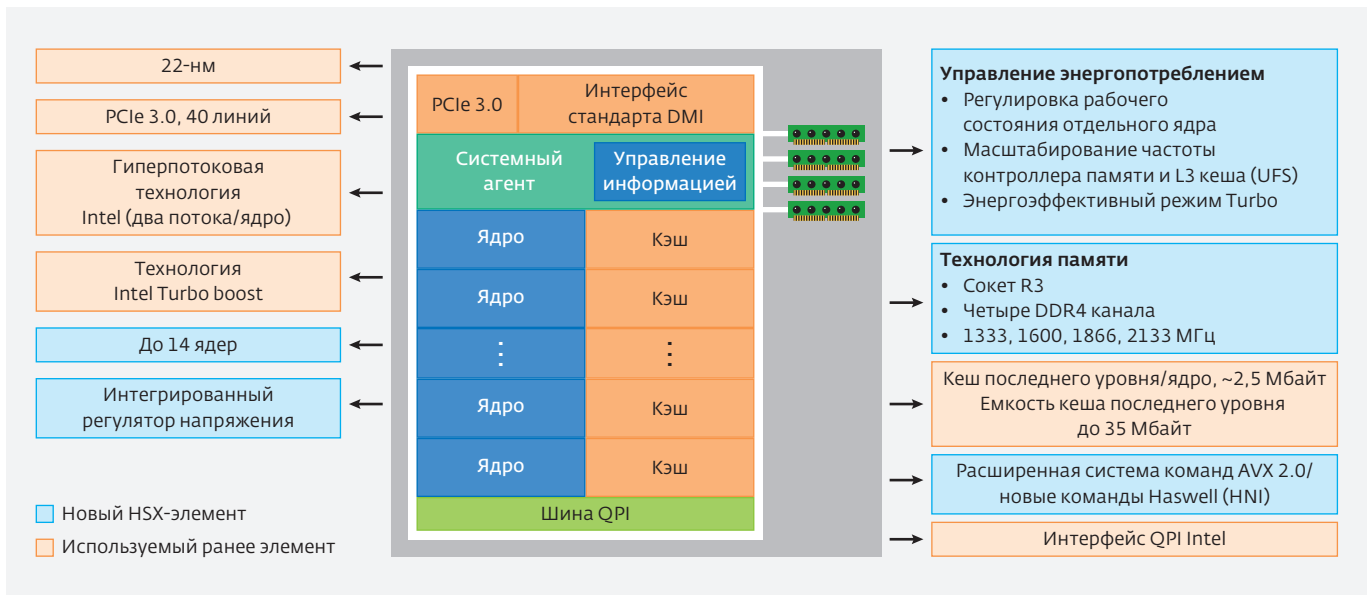


Рис.3. Общая блок-схема семейства Xeon процессоров E5-2600 v3

мощность, потребляемый ток и температура не превышают максимальных значений, система AVX2 и технология Intel Turbo Boost 2.0 автоматически разгоняют частоту ядра процессора до уровня, выше базового. Таким образом, помимо большего числа ядер, в процессорах E5-2600 v3 предусмотрены регулировка их питания, возможность увеличения числа команд, выполняемых за такт, в сравнении с процессором предыдущего поколения, и предсказание ветвлений при одновременном увеличении вдвое пропускной способности кеш L1 и L2 [2].

Доступны 26 моделей процессоров Intel Xeon E5-2600 v3. Как и в предыдущем семействе Xeon они выполнены в трех вариантах в зависимости от числа ядер: от четырех до восьми; от 10 до 12 и от 14 до 18 ядер. Процессоры семейства ориентированы на применение в серверах, рабочих станциях, хранилищах данных и оборудовании сетевой инфраструктуры. Они рассчитаны на разнообразную нагрузку, включая анализ данных, суперкомпьютерные вычисления, телекоммуникационные и облачные сервисы, а также на обработку данных Интернета вещей (без его упоминания в последнее время не обходится ни один уважающий себя составитель пресс-релиза на новый прибор).

Но не только семейство Xeon E5-2600 v3 привлекло внимание участников конференции. Интерес вызвали и приведенные компанией Advanced Micro Devices (AMD) подробности о системе на кристалле Carrizo (рис.4) на основе новых процессорных ядер x86 Excavator и графических Radeon-ядер архитектуры GCN 1.2.

Инновации AMD – прорыв в производительность и энергоэффективность переносных компьютеров

По утверждению докладчика компании – инженера-конструктора AMD Кэти Уилкоккс, – грядущий гибридный процессор (Accelerated Processing Unit, APU) A-серии с кодовым названием Carrizo предназначен в первую очередь для ноутбуков, лэптопов и маломощных ПК стоимостью до 500 долл. Это вызвало недоумение клиентов AMD, поскольку предыдущие APU поставлялись не только для мобильных систем, но и для настольных ПК. Помимо применения четырех x86-ядер с усовершенствованной архитектурой (кодовое название Excavator) и восьми графических процессоров с ядрами нового поколения (Graphics Core Next, GCN) Radeon, система на кристалле Carrizo отличается множеством перспективных методов управления электропитанием. О процессоре компания сообщила в конце 2014 года. На выставке бытовой электроники CES 2015 она с успехом продемонстрировала работу трех опытных лэптопов на основе нового процессора.

Докладчик подчеркнул, что при разработке системы на кристалле Carrizo основное внимание уделялось оптимизации энергозатрат и эффективности использования площади кристалла, а не повышению его производительности. И эти задачи, по мнению представителей AMD, успешно решены.

Достоинства архитектуры APU Carrizo

Применение при проектировании библиотек транзисторных структур высокой плотности позволило

разместить на кристалле процессора Carrizo, выполненного по 28-нм технологии компании GlobalFoundries, на 29% больше транзисторов, чем на кристалле с APU предыдущего поколения Kaveri, изготовленного по той же технологии, – 3,1 млрд. транзисторов у Carrizo на площади 244,62 мм² против 2,41 млрд. на 245 мм² у Kaveri. Результаты, полученные без изменения техпроцесса производства и увеличения размера кристалла, выглядят впечатляющими. Большую роль сыграло конструктивное исполнение архитектуры Excavator, ряд его блоков, такие как система управления операциями с плавающей запятой и контроллер кеша, были изменены с тем, чтобы уменьшить занимаемую ими площадь при 28-нм топологических нормах и потребление энергии. По видимости, инженеры черпали вдохновение у команды по разработке графического процессора. В итоге площадь ядер (14,48 мм²) архитектуры Excavator меньше чем у ядер Steamroller процессора предыдущего поколения. В целом структура процессора содержит 690 млн. транзисторов, "втиснутых" в одну секцию APU, остальные транзисторы приходятся на долю графических ядер.

Благодаря увеличению объема L1 кеша ядра процессора в два раза (до 32 Кбайт против 16 Кбайт у Kaveri) число исполняемых команд за такт возросло на 5%.

Увеличение плотности транзисторов позволило разместить на освободившейся площади кристалла больше графических и мультимедийных блоков. Активную поддержку мультимедиа обеспечивают высокопроизводительный аппаратный декодер H.265 и увеличение вдвое числа компрессоров видеосигнала. Carrizo – первый APU компании AMD с аппаратной поддержкой стандарта H.265 (Intel до сих пор полагается на применение двух схем для реализации функции декодирования). В результате разрешающая способность графики составляет 4K, продлен срок службы батареи и снижены требования к ширине полосы при просмотре сходных видеопотоков. Для оптимизации значения подаваемой энергии в графическом GSN-процессоре используется отдельная шина питания. К тому же компании удалось на 18% уменьшить токи утечки при высоких значениях напряжения процессора и реализовать восемь GSN-кластеров (512 потоковых процессоров) при потребляемой мощности 20 Вт (в процессоре Kaveri при той же мощности без ухудшения производительности удалось применить лишь шесть кластеров).

Наличие дополнительной площади кристалла в результате увеличения плотности транзисторов

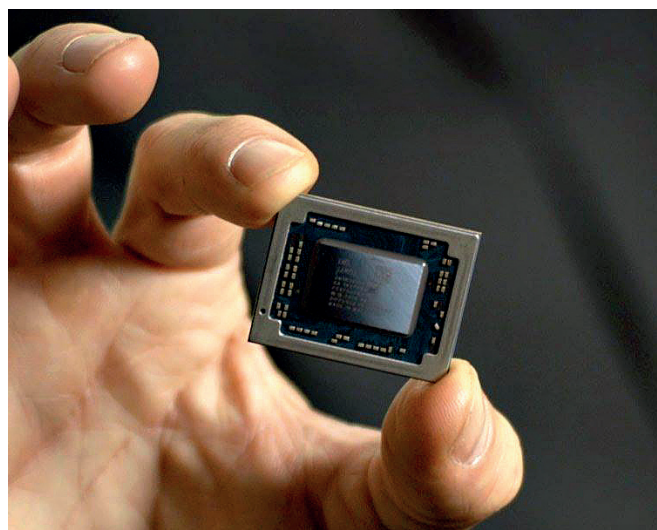


Рис.4. APU-процессор Carrizo

позволило AMD впервые интегрировать южный мост на одном кристалле с процессором Carrizo (следует отметить, что Intel в процессорах для ультрабуков и планшетов Broadwell-Y/U по-прежнему использует две микросхемы, смонтированные в одном корпусе). Теперь южный мост изготавливается по той же 28-нм технологии, что и процессор и занимает 5,5% площади кристалла. Интеграция с APU позволила сократить энергопотребление и рабочее напряжение моста, а также более точно контролировать питание различных цепей схемы и уменьшить длину двунаправленных последовательно-параллельных шин HyperTransport. Правда, энергопотребление южного моста входит в тепловой пакет APU.

Благодаря дополнительному бюджету транзисторов процессор Carrizo стал первым в промышленности APU, согласованный со спецификацией гетерогенных систем HSA 1.0. Концепция HSA была представлена осенью 2013 года некоммерческой организацией HSA Foundation, сформированной компаниями AMD, ARM, Texas Instruments и VediaTek с целью создания открытых стандартов для гетерогенных вычислительных систем и формирования соответствующей экосистемы. Стандарт позволяет объединять на низком уровне разнородные по своей природе вычислительные блоки: процессорные ядра универсальной скалярной архитектуры x86 и ядра графического процессора, ориентированные на параллельные вычисления и векторные операции.

Поддержка HSA обеспечивает для процессорных и графических ядер Carrizo единую область оперативной памяти с разделяемым адресным

пространством. Для однокристальных систем HSA стала ключевой технологией, позволяющей снизить энергопотребление без ущерба для производительности. По сравнению с Kaveri, Carrizo потребляет примерно на треть меньше энергии (не более 1,5 Вт в режиме покоя). Экономия центрального процессора составляет 40%, графического – 20%.

Для Carrizo также предусмотрено состояние с низким уровнем энергопотребления S0i3, в котором деактивируется большая часть блоков процессора. Как было показано на демонстрировавшемся в ходе доклада слайде, в состоянии S0i3 активными блоками процессора оставались лишь вспомогательный управляющий процессор, южный мост и небольшой сегмент портов ввода-вывода, а потребление составляло всего ~50 мВт. Разработчики также сократили время переключения процессора из состояния покоя: переход процессора с архитектурой Excavator из состояния S0i3 в активное занимает менее секунды. В APU Carrizo используется и такой механизм энергосбережения, как межкадровое управление подачей питания (Inter Frame Power Gating), позволяющий на несколько миллисекунд выключать центральный процессор, если кадровый буфер заполнен.

Специалистами AMD разработан ряд методов оптимизации напряжения центрального и графического процессоров APU Carrizo. В частности, предложен принцип адаптации напряжения компонентов, согласно которому при высоких уровнях шума/напряжения энергопотребление снижается за счет уменьшения рабочей частоты, после чего при установлении допустимого уровня шума восстанавливается прежнее значение частоты. Эта операция, занимающая несколько наносекунд, обеспечивает достаточно низкое энергопотребление процессора, но не приводит к существенной потере производительности. При использовании этого принципа компания оценивает снижение энергопотребления графического процессора до 10% и центрального процессора – до 19%.

Низкое потребление энергии обеспечивает также технология адаптивного питания и динамического изменения частот (Adaptive Voltage-Frequency Scaling, AVFS), которая помимо традиционных датчиков температуры и мощности предусматривает применение специальных запатентованных кремниевых датчиков скорости и напряжения. Дополнительные датчики позволяют адаптировать APU к характеристикам системы, режиму работы платформы и условиям окружающей среды. Каждое Excavator ядро содержит 10 модулей AVFS, регулирующих частоту

и напряжение отдельных компонентов в зависимости от требуемых значений напряжения питания, температуры и других внешних факторов. Компания заявила, что при тепловой мощности 10 Вт частота процессора увеличивается на 29% или при неизменном значении частоты потребляемая энергия снижается на 40–50%. При мощности 20 Вт изменения этих двух показателей практически не отличаются, что свидетельствует о целесообразности применения процессора с архитектурой Excavator в устройствах с малой тепловой мощностью.

Модели APU Carrizo поддерживают память DDR32133 МГц, интерфейс PCIe 3.0 (12 линий), USB 3.0 (четыре порта), SATA III (два разъема), HDMI v.2.0 (до трех устройств) и могут оснащаться криптографическим модулем AMD Secure с поддержкой технологии ARM Trustzone.

Вопросы участников конференции относительно срока службы батарей, частоты APU Carrizo и даты поставки на рынок не получили ответов. Было сказано лишь, что, по-видимому, система на кристалле появится на рынке во втором квартале 2015 года, так что ко времени проведения международной компьютерной выставки Computex 2015 APU уже будет представлен на рынке или, по крайней мере, демонстрироваться на выставке [3–5].

На сессии, посвященной высокопроизводительным процессорам, корпорация IBM – "заслуженный пенсионер" информационной технологии – вновь подтвердила, что она жива и здорова. Об этом свидетельствовало сообщение о создании в январе 2015 года суперкомпьютера следующего поколения – z13. На разработку этой самой сложной в настоящее время компьютерной системы, обеспечивающей масштабирование и высокие экономические показатели наряду с кодированием, анализом в реальном времени и удовлетворением пользовательских ожиданий, касающихся производительности и защиты выполняемых мобильными системами триллионов транзакций, затрачено пять лет и 1 млрд. долл. При этом зарегистрировано 500 патентов и к участию в проекте привлечено более 60 клиентов компании. Поэтому неудивителен интерес участников конференции к представленным на секции микросхемам процессора и контроллера внешней памяти для системы z13.

Микросхемы IBM системы z13

Микросхема процессора zEC13, по утверждению создателей, представляет собой самое совершенное современное устройство, которое превосходит большинство серверных процессоров по быстродействию

на 100%, по объему памяти – на 300%, по полосе пропускания – на 100%. Площадь кристалла микросхемы, содержащей 3,99 млн. транзисторов, составляет 678 мм². Изготовлена микросхема с 17 слоями металлизации по той же 22-нм КМОП-технологии (конечно) на кремнии на изоляторе, что и процессор Power 8. Тактовая частота равна 5,2 ГГц. Частота процессора предыдущего поколения zE12, выполненного по 32-нм технологии, выше – 5,5 ГГц. Но более перспективная конструкция микросхемы, более робастная иерархия кеш-памяти, новая топология межсоединений системы и новая система управления протоколами кеш позволили компенсировать это превосходство тактовой частоты и увеличить число операций, выполняемых за единицу времени.

В зависимости от назначения микропроцессор содержит шесть, семь или восемь высокочастотных ядер (процессорных модулей по терминологии IBM). В отличие от предыдущих процессоров мейнфреймов, монтируемых в многокристальные модули, микросхема процессора z13 упаковывается в однокристалльный модуль.

Ядра выполнены по CISC z/архитектуре* с суперскалярным нестандартным (улучшенным методом динамического исполнения) конвейером команд, выполняющим шесть команд за цикл и выдающим до 10 команд за цикл. Каждое ядро содержит собственные L1 кеш команд емкостью 96 Кбайт, L1 кеш данных емкостью 128 Кбайт, L2 кеш команд и данных (оба емкостью 2 Мбайт). Площадь ячейки (с учетом L2 кеш-памяти) составляет 42 мм². Кроме того, в схему процессора входят совместно используемые L3 кеш емкостью 64 Мбайт, реализованный на основе встроенной динамической оперативной памяти, и дополнительный L1 кеш для выполнения операций сжатия данных и шифрования. Микросхема системы z13 также содержит встроенный многоканальный контроллер DDR3 оперативной памяти для восстановления работоспособности при отказах памяти, два контроллера портов ввода-вывода и два интерфейса PCIe Gen3.

Компьютерная секция системы содержит два набора из трех микросхем процессора и одной схемы контроллера внешней памяти. В дополнение к совместно используемой L3 кеш-памяти емкостью 64 Мбайт микросхема контроллера внешней памяти предоставляет внешнюю L4 кеш-память емкостью 480 Мбайт, используемую тремя

процессорами, входящими в набор секции. Общая емкость L4 кеш-памяти компьютерной секции, формируемой двумя микросхемами контроллера, – 960 Мбайт. В микросхему контроллера внешней памяти также входят встроенная динамическая оперативная память емкостью 18 Мбайт и логика управления/установки соответствия содержимого кеша и оперативной памяти многопроцессорной системы.

Микросхема контроллера внешней памяти изготовлена по той же 22-нм КМОП КНИ-технологии, что и схема процессора, но с 15-слойной металлизацией. Размер кристалла на котором размещено 7,1 млрд. транзисторов, также равен 678 мм². Тактовая частота контроллера вдвое меньше, чем у микросхемы процессора.

По мнению аналитиков компании Linley Group, разработчики микросхем для мейнфреймов IBM по мере освоения развивающихся полупроводниковых технологий продолжают совершенствовать процессоры. Если заключенное IBM соглашение о передаче своих предприятий по производству микросхем (в том числе и завода в East Fishkill, где уже осваивается 14-нм технология) компании GlobalFoundries, будет исполнено в 2015 году, группа разработчиков приступит к созданию 14-нм процессоров zSeries, которые будет выпускать GlobalFoundries [6–9].

На секции, посвященной процессорам, представители IBM также описали систему микросервера на кристалле, разработанного по проекту, предусматривающего уменьшение размеров таких высокопроизводительных систем, как IBM Watson, до размеров коробки из-под пиццы. Проект реализовывался в рамках совместной работы IBM и Института радиоастрономии Нидерландов (ASTRON) по пятилетней программе Dome.

В ходе работ внимание уделялось корпусированию схемы и контролю энергопотребления и терморегулирования с помощью кожуха водяного охлаждения,

* z/архитектура – 64-бит архитектура процессоров IBM для создаваемых мейнфреймов. Впервые была представлена в модели 900 системы zSeries в конце 2000 года.

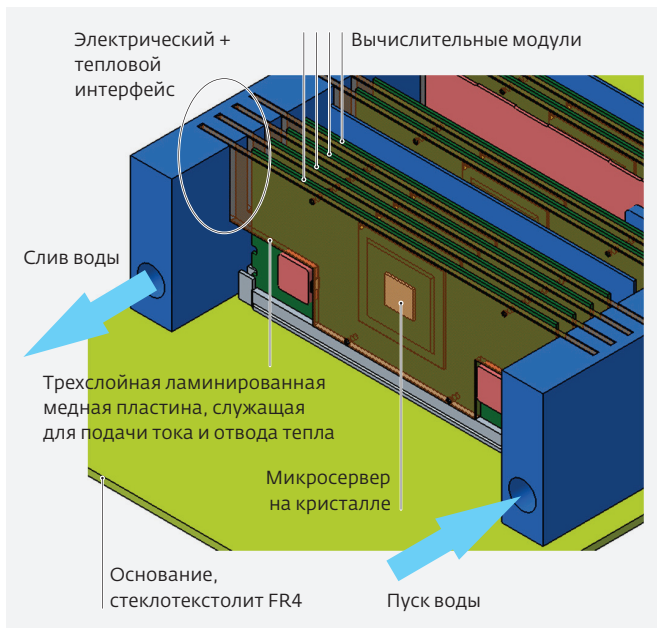


Рис.5. 2U секция, содержащая 128 микросерверов на кристалле

поддерживающего производительность процессора сервера, равной 13,8 Гбайт/с/литр охлаждающей воды. Разработанная КМОП-микросхема 64-бит охлаждаемого горячей водой (~45 °С) микросервера на кристалле, сопоставимая по размеру с модулем памяти, содержит интегрированную серверную материнскую плату (без ДОЗУ, загрузчика NOR-флеш памяти и схем преобразования энергии). Выполнен микросервер на основе 28-нм микросхемы центрального процессора T4240 компании Freescale, содержащей 1264-бит ядер PowerPC на частоту 1,8 ГГц и DDR3 динамическую оперативную память емкостью 48 Гбайт с максимальной пропускной способностью 43,2 Гбайт/с. Ожидается, что потребляемая энергия микросервера на кристалле при температуре перехода 85 °С на частоте 1,8 ГГц составит 36 Вт.

Эталонный тест корпорации SPEC показал, что созданный на основе 28-нм КМОП-схемы микросервер при полной нагрузке по производительности превосходит процессор Xeон модели E3-1230L v3 компании Intel на 41%. Его энергоэффективность более чем в два раза лучше, чем у системы на 22-нм FinFET-микросхеме Xeон. Таким образом, вариант проектирования на системном уровне позволяет реализовать достоинства КМОП-технологии и подтверждает правильность выбора специалистов.

Разработчики планируют использовать схему микросервера на кристалле для обработки Больших данных и разместить 128 таких блоков

(1536 ядер и память емкостью 6 Тбайт) совместно с интерфейсами 10 Гбит/с Ethernet, SATA, and USB в 2U секции размером 427×86,5×940 мм (34,7 L) (рис.5). Производительность должна составить 159 Гбайт/с/литр охлаждающей воды. Микросервер на кристалле способен работать с ОС серверного класса, а также выполнять вычисления в облаке и бизнес-решения [10].

Как показали работы крупнейших производителей компьютерной техники, важнейшие задачи, которые необходимо учитывать при проектировании цифровых устройств, – уменьшение их энергопотребления и токов утечки. Энергоэффективность стала основным определяющим показателем при проектировании как небольших встраиваемых микроконтроллеров, так и многоядерных платформ. Поэтому неудивительно, что цифровым микросхемам с потребляемой энергией до микроватт на конференции ISSCC уделялось большое внимание.

ЭНЕРГОЭФФЕКТИВНЫЕ ЦИФРОВЫЕ МИКРОСХЕМЫ

Новый класс приборов, относящихся к категориям "Интернет вещей" и "Носимая электроника", вскоре кардинально изменит продолжающийся уже несколько лет беспрецедентный рост продаж мобильных систем. Если прогнозы относительно подключения к Интернету вещей десятка миллиардов электронных устройств реальны, то очевидно, что их энергопотребление (как в активном режиме, так и режиме сохранения состояния и данных) должно быть на один-два порядка меньше, чем у современных устройств. Но из-за проблем масштабирования дальнейшее развитие современной технологии не приведет к существенному уменьшению энергопотребления микросхем [11].

Сокращение энергопотребления крайне важно для электронной промышленности. Но как его добиться?

Микросхемы, работающие при напряжении около или под порогового значения

Принцип построения микросхем, работающих при напряжении около и под порогового значения (Near- или Sub-threshold схемы), не нов. Еще в 1970-е годы швейцарские часовщики отметили их достоинство – существенное снижение энергопотребления. Известно, что основные причины потери энергии микросхемы – токи утечки при нерабочем состоянии прибора и сумма потерь на переключениях в рабочем (динамическом) режиме. Поскольку



Рис.6. Микроконтроллер Apollo

обычно энергия, рассеиваемая в динамическом режиме, пропорциональна квадрату рабочего напряжения, то основной параметр, позволяющий снизить поглощаемую энергию (правда, оказывающий и ощутимое, хотя менее серьезное влияние на ток утечки) – рабочее напряжение, значение которого практически не ограничено (по крайней мере, для цифровых схем). В результате появляются возможности реализации инновационных методов уменьшения рабочего напряжения ИС. При около пороговом значении напряжения (NT-режим), равном 0,5 В, достигается 13-кратное снижение энергопотребления, по сравнению с обычной микросхемой с рабочим напряжением 1,8 В. А уменьшение потребляемой энергии при под пороговом значении напряжения (ST-режим) 0,3 В, еще больше – в 36 раз!

Приборы, работающие при около или под пороговым рабочем напряжении, вначале стали применять изготовители кардиостимуляторов и радиометок. Более широкого распространения они не получили из-за проблем, связанных с ухудшением или изменением рабочих характеристик устройств, построенных на их основе, и даже с функциональным сбоем. К тому же в первых конструкциях использовалось небольшое число NT- и SN-транзисторов, параметры которых можно было оптимизировать вручную.

После потери интереса к таким приборам на протяжении нескольких десятилетий в конце 1990-х и начале 2000 годов эта технология вновь привлекла внимание исследователей. К этому времени стало очевидным важное значение энергопотребления микросхем и началось активное изучение методов сокращения этого параметра

коммерческих интегральных схем. Технология проектирования схем, работающих при около или под пороговым значении напряжении, входила в их число. Поэтому неслучайно на секции, посвященной энергоэффективным цифровым схемам, два доклада (компании ARM и Мичиганского университета) были посвящены разработке маломощных NT- и ST-систем. Примечательно, что обе системы, которые можно найти в большинстве микропроцессорах мобильных систем, построены на основе RISC-микроконтроллерного ядра ARM Cortex-M0+, работающего при напряжении 250 мВ.

Для решения задачи обслуживания Интернета вещей с миллиардами подключенных объектов (а многие из них могут представлять собой беспроводные датчики) компания ARM представила ST-подсистему обработки данных беспроводных датчиков типа "интеллектуальная пыль" (wireless sensor nodes, WSN or mote) с потребляемой энергией 11,7 пДж/цикл и напряжением питания 1,2 В. Система, занимающая площадь 1,28 мм², выполнена на основе процессора Cortex M0+ по 65-нм КМОП-технологии. Энергия в режиме сохранения состояния и данных схемы составляет 80 нВт, что на порядок меньше чем у предыдущего поколения ST-процессора с проектными нормами менее 180 нм. При напряжении 250 мВ мощность процессора равна 850 нВт, частота – 29 кГц, при напряжении 900 мВ рабочая частота составляет 66 МГц. Помимо ядра Cortex-M0+, процессор содержит интегрированный регулятор напряжения, максимальный КПД которого составляет 82%, маломощную статическую оперативную память, синтезированное загрузочное постоянное запоминающее устройство, криптографический акселератор AES-128 и специфические интерфейсы [12].

О безаккумуляторном 32-бит Cortex-M0+ процессоре с потребляемой энергией 295 пВт рассказали специалисты Мичиганского университета. В схеме логика, названная логикой динамического подавления утечки, реализована по новому методу, позволившему снизить поглощаемую вентиляем энергию в активном режиме до 10 фВт. В результате для питания процессора достаточно кремниевого солнечного элемента площадью 0,09 мм². Очевидно для питания процессора можно использовать элемент большего размера, работающий при низких уровнях освещенности окружающей среды.

Площадь процессора, в состав которого входит и 256-байт статическое запоминающее устройство с рабочим напряжением 0,55 В, составляет 1,19 мм² [13].

Следует отметить, что внимание специалистов, принимавших участие в конференции, привлекло опубликованное в начале 2015 года сообщение стартап компании Ambiq Micro о выпуске ST-микроконтроллера, названного Аполлон (Apollo) (рис.6), который она рассматривает, как "квантовый прорыв" в мир высокопроизводительных и энергоэффективных микроконтроллеров.

Успех компании Ambiq Micro

Компанию Ambiq Micro основали в 2010 году ученые Мичиганского университета: Скотт Хансон, научный сотрудник университетского политехнического колледжа (ныне вице-президент по конструкторским и технологическим вопросам компании) и профессора факультета электротехники и информатики Дэннис Сильвестер и Дэвид Блэв. Главный аргумент в пользу создания компании: основа электроники будущего – энергоэффективные полупроводниковые приборы. При этом было принято решение не заниматься постепенной модернизацией схем, а добиваться радикального совершенствования энергоэффективности микросхем, причем не только цифровых.

Поставленная задача решена с помощью запатентованной технологии оптимизации потребляемой энергии при под пороговом значении напряжения (Subthreshold Power Optimized Technology, SPOT), позволившей снизить рабочее напряжение микроконтроллера до 0,5 В против 1,8 В в современных приборах. Технология SPOT, на разработку которой потребовалось восемь лет, анализ огромного объема информации, проведение многочисленных испытаний, сотрудничество с компанией Taiwan Semiconductor Manufacturing Company (TSMC) и уйма моделирования, предусматривает применение стандартного КМОП-процесса изготовления микросхем. В микроконтроллере Apollo оптимизировано энергопотребление транзисторов

в активном и спящем режимах микросхемы. Достигнуто это за счет разумного расположения небольшого числа стандартных ST-транзисторов, работающих при напряжении 0,5 В, в двух блоках микросхемы, большого числа NT-транзисторов в других блоках и в определенных блоках – транзисторов с рабочим напряжением выше порогового значения. В результате в активном режиме потребляемый ток составляет 30 мкА/МГц, в спящем – всего 100 нА. И еще. Ядро контроллера Apollo – процессор Cortex-M4F (F означает наличие блока обработки данных с плавающей запятой), обладающий вычислительной мощностью, достаточной для мира Интернета вещей, требования которого к алгоритмической обработке непрерывно повышаются вследствие роста числа подсоединяемых сенсоров, радиостанций и устройств обработки данных. Таким образом, разработчики получили высокую обрабатывающую способность процессора Cortex-M4 при уровнях потребляемой энергии много меньше, чем у Cortex-M0+, считающегося наиболее энергоэффективным современным процессором (см. табл.) [14].

ST-микроконтроллер на основе ядра Cortex-M4F, обрабатывающий один поток команд – много потоков данных, в том числе с плавающей запятой, и сопоставимый по энергопотреблению с Cortex-M0+, может стать встраиваемой микросхемой с чрезвычайно высокой энергоэффективностью и значительно большей производительностью, чем у современных встраиваемых устройств. Таким образом, компания Ambiq доказала, что массовое производство схем, работающих при под пороговом значении напряжения, возможно. В 2013 году фирма выпустила автономные ST-микросхемы часов реального времени с чрезвычайно малым энергопотреблением семейств AM08x5 и AM18x5 с потребляемым током всего 55 нА. Сообщается, что поставки этих микросхем уже составили несколько миллионов единиц.

Результаты тестовых CoreMark испытаний параметров микроконтроллеров Apollo (Ambiq) и SAM D20 (Atmel)

Характеристика	Apollo	SAM D20	Примечание
Ядро	Cortex-M4F	Cortex-M0+	–
Напряжение питания VDD, макс., В	3,8	3,6	–
Энергия в активном режиме, мкА/МГц	35 (840 мкА при 24 МГц)	2374 (99 мкА при 24 МГц)	В 2,8 раза лучше
Ток в режиме сна, нА	100	3800	В 38 раз лучше

Компания намерена поставлять четыре модели микроконтроллера Apollo, которые будут отличаться лишь объемом памяти: флеш – 64–512 Кбайт, оперативное ЗУ – 16–64 Кбайт. Связь с датчиками, радиостанциями, периферийными устройствами и с дополнительным, реализуемым не во всех схемах хост-процессором обеспечивают SPI/I²C-интерфейсы и UART. Кроме того, микросхема содержит 10-разрядный 13-канальный АЦП с частотой дискретизации 1 Мвыб./с, датчик температуры с точностью $\pm 2^\circ\text{C}$, компаратор напряжений, часы реального времени, генераторы синхриимпульсов (НЧ RC, ВЧ RC, кристаллический) и восемь таймеров. Монтируются микросхемы ST-микроконтроллера в 64-выводной (50 – общего назначения) корпус BGA размером 4,5×4,5 мм или в 42-выводной (27 – общего назначения) корпус, сравнимый с размерами кристалла (2,4×2,77 мм).

Массовое производство ST-микроконтроллеров планировалось на весну 2015 года, цена при закупке партии в 10 тыс. штук – от 1,5 долл. [15].

* * *

Энергоэффективность микропроцессов и микроконтроллеров за прошедшие несколько лет значительно улучшилась и обеспечила срок службы батарей, требуемый сегодня конструкторами портативных систем. По мнению президента компании Ambiq Micro Марка Фолейя, энергопотребление полупроводниковых микросхем будет снижаться вдвое каждые два года. Начало этой тенденции уже положено.

ЛИТЕРАТУРА

1. **Sreelekshmy Syamalakumari.** Intel Xeon Processor E5-2600 V3 Product Family Technical Overview. – software.intel.com/en-us/articles/intel-xeon-processor-e5-2600-v3-product-family-technical-overview
2. **RATH J.** Intel's Latest 22nm Xeon for Data Centers Out of the Gate. – www.datacenterknowledge.com/archives/2014/09/08/intel-e5-2600-v3/
3. **Cutress I.** AMD at ISSCC 2015: Carrizo and Excavator Details. – www.anandtech.com/show/8995/amd-at-isscc-2015-carrizo-and-excavator-details
4. AMD Discloses Architecture Details of High-Performance, Energy-Efficient “Carrizo” System-on-Chip. – www.amd.com/en-us/press-releases/Pages/amd-discloses-architecture-2015feb23.aspx
5. **Mujtaba H.** AMD Carrizo APU ISSCC 2015 Presentation Leaked – 5% IPC Gain With x86 Excavator, Die Consists of 3.1 Billion Transistors. – hardware-software.complexdoc.ru/2210057.html
6. IBM z13 (microprocessor). – [www.revolvvy.com/main/index.php?s=IBM%20z13%20\(microprocessor](http://www.revolvvy.com/main/index.php?s=IBM%20z13%20(microprocessor)
7. **Merritt R.** IBM Renews Mainframe With z13. – www.eetimes.com/document.asp?doc_id=1325274
8. **Warnock J., Curran B.; Badar J.; Fredeman G. et al.** 22nm Next-generation IBM System z microprocessor – www.researchgate.net/profile/JD_Warnock/publication/275973029_J_Warnock_22nm_Next-Generation_IBM_System_z_Microprocessor_ISSCC_2015_slidedeck/links/554d636a08ae93634ec5854c.pdf
9. **HALL M.** IBM Z13 HARDWARE VALUE & MARKET DIFFERENTIATION. – [HTTP://MAINFRAMEINSIGHTS.COM/IBM-Z13-HARDWARE-VALUE-MARKET-DIFFERENTIATION/](http://MAINFRAMEINSIGHTS.COM/IBM-Z13-HARDWARE-VALUE-MARKET-DIFFERENTIATION/)
10. **Luijten, R., Pham D., Clauberg R., Cossale M. et al.** Energy-Efficient Microserver Based on a 12-Core 1.8GHz 2:45 PM 188K-CoreMark 28nm Bulk CMOS 64b SoC for Big-Data Applications with 159GB/s/L Memory Bandwidth System Density. – www.deepdyve.com/lp/institute-of-electrical-and-electronics-engineers/4-4-energy-efficient-microserver-based-on-a-12-core-1-8ghz-188k-C2aSM8o78O?articleList=%2Fsearch-related%3Fto%3DdbNlIkGarB%26internal_subject_area_multi%3Dphysical_sciences_and_engineering%26page%3D23
11. **Rabaey J.M.** A Roadmap to Lower Supply Voltages – A System Perspective. – <https://www.deepdyve.com/lp/institute-of-electrical-and-electronics-engineers/sc1-circuit-design-in-advanced-cmos-technologies-how-to-design-with-E4eh3epbWO?articleList=%2Fsearch%3Fauthor%3DDehaene%252C%2BWim>
12. **Myers J., Savanth A., Howard D. et al.** An 80nW retention 11.7pJ/cycle active subthreshold ARM Cortex-M0+ subsystem in 65nm CMOS for WSN applications. – ieeexplore.ieee.org/xpl/login.jsp?tp=&arnumber=7062967&url=http%3A%2F%2Fieeexplore.ieee.org%2Fiel7%2F7054075%2F7062838%2F07062967.pdf%3Farnumber%3D7062967
13. **Clarke P.** ARM MCUs to Shine at ISSCC 2015. – electronics360.globalspec.com/article/4741/arm-mcus-to-shine-at-isscc-2015
14. **Maxfield M.** Ambiq Micro's Apollo MCUs Redefine Ultra-Low-Power Category. – www.eetimes.com/author.asp?section_id=36&doc_id=1325355
15. Ambiq Micro's Apollo microcontrollers redefine 'low power' with up to 10x reduction in energy consumption. – ambiqmicro.com/news/ambiq-micro%E2%80%99s-apollo-microcontrollers-redefine-%E2%80%98low-power%E2%80%99-10x-reduction-energy-consumption