

сти, за счет использования проходных ключей и других схемотехнических приемов. Этот подход также базируется на традиционной технологии [2].

Третье направление - разработка новых технологических процессов и маршрутов изготовления СБИС. Для нового поколения телекоммуникационных систем, включающих в качестве основных составляющих и вычислительные системы, наиболее перспективной является технология КМОП,

потребляемой мощности БИС на КМОП для средств телекоммуникаций и портативных мобильных средств вычислительной техники. Особенно высока активность именно в схемотехническом и технологическом направлениях, поскольку по понятным причинам они наиболее экономичны. Создание новых схемотехнических решений не требует больших временных затрат, дорогостоящих физических и технологических экспериментов и, соответственно, нового технологического оборудования и материалов. Задача решается методом численных экспериментов с помощью САПР [5]. Однако этот путь предполагает наличие у фирмы большого интеллектуального потенциала. В

данном направлении работают мощные американские фирмы IBM, AT&T Bell Lab., Intel Corp., Motorola Corp. и университеты.

Схемотехнический путь тесно связан с технологическим и системным, но имеет свои особенности. Рассмотрим выражение (1) для мощности, потребляемой базовым вентиляем КМОП типа. При  $\Delta U = E_n$  формула (1) приобретает вид

$$P = k C E^2 f + I_c E + I_{ут} E \quad (2).$$

Величина коэффициента переключательной активности  $k$  зависит от вида системы и имеет значение, равное или меньшее единицы. Цель технологического подхода - уменьшение эффективной емкости и токов утечки в стационарном состоянии. Анализ показал, что основная составляющая потребляемой мощности - динамическая. Мощность, обусловленная сквозным током, составляет около 30 процентов. Как видно из выражения (2), уменьшение питающего напряжения обычных КМОП схем - один из самых эффективных путей снижения энергии переключения. Это особенно верно в отношении стандартных КМОП вентиляей, для которых мощность переключения пропорциональна квадрату напряжения питания. Однако существует предел уменьшения питающего напряжения, связанный с технологи-

## Энергопотребление КМОП СБИС: пути решения проблемы

**В** совершенствовании ультрамощных СБИС телекоммуникационных систем можно выделить по крайней мере три направления. Первое - минимизация потребляемой мощности для телекоммуникационных и переносных компьютерных систем за счет их модернизации на системном уровне. Большинство разработок сфокусировано на снижении напряжения питания и тактовой частоты с одновременным распараллеливанием обработки информации. При этом создание систем базируется на КМОП схемотехнике и, соответственно, на существующей технологической базе. Некоторые успехи в этом направлении связаны с использованием чисто системных решений, в частности альтернативных систем синхронизации, таких как самосинхронизация и т.п.. Выигрыш по мощности при этом достигается в основном за счет совершенствования систем [1].

Второе направление можно охарактеризовать как схемотехническое. Использование возможностей САПР СБИС с целью укорочения путей передачи информации в пределах цифровой СБИС позволяет уменьшить потребляемую мощность за счет уменьшения тактовой частоты, но без потери быстродействия. Снижение потребляемой мощности достигается, в частно-

которую большинство экспертов считает безальтернативной. Данное направление рассматривается как основное и, в частности, включает совершенствование процессов фотолитографии с целью уменьшения топологических размеров [3]; разработку технологических способов уменьшения (подгонку) пороговых напряжений  $n$ -и  $p$ -канальных МОП транзисторов [4].

Снижение мощности - комплексная, многоплановая проблема. Ее решение зависит от прогресса в каждом из данных направлений. Все они в качестве теоретической основы используют известную зависимость потребляемой мощности от напряжения питания ( $E$ ), тактовой частоты ( $f$ ) и эффективного значения паразитной емкости ( $C$ ), определяемую формулой:

$$P = k (C \Delta U E f) + I_c E + I_{ут} E, \quad (1),$$

где:  $k$  - фактор переключательной активности элементов;

$C$  - эффективное значение паразитной емкости логического вентиля;

$\Delta U$  - размах логических уровней;

$I_c$  - сквозной ток в переходном процессе;

$I_{ут}$  - ток утечки в стационарных состояниях.

В настоящее время наблюдается высокая научно-исследовательская и патентная активность по всем трем направлениям минимизации

ческим разбросом параметров элементов, особенно с разбросом пороговых напряжений МОП транзисторов [6]. При снижении питания разброс задержек между вентилями увеличивается до тех пор, пока некоторые вентили не перестанут работать правильно. Эта неприятность случается при напряжении питания, лишь слегка превышающем наибольшее из пороговых у  $n$ -МОП и  $p$ -МОП транзисторов. Так как типичное пороговое напряжение лежит в пределах от 0,5 до 1 В, то это устанавливает нижний предел питающего напряжения приблизительно в 1 В для общепринятого КМОП технологического процесса.

Хотя пороговое напряжение может быть подогнано в процессе производства, а пределы его изменения - сужаться за счет улучшения технологии, оба эти пути трудны и дорогостоящи. Существует неконтролируемый технологический разброс порогового напряжения между транзисторами в пределах 0,2 В, являющийся случайной функцией качества полупроводниковой пластины и расположения на ней прибора. Ожидается, что при достижении 0,5-микронной длины канала этот разброс станет еще больше. Например, для VJSIS подложки и JR, BN  $p$ -WELL и  $n$ -WELL двухмикронного технологического процесса он составляет от 0,5 до 1,0В. К несчастью, на горизонте не видно технологии, которая существенно уменьшила бы его величину. Вдобавок произвольная флуктуация порогового напряжения возникает даже между двумя идентичными приборами из-за того, что процесс ионной имплантации, используемый для задания  $U_{пор}$ , плохо поддается контролю.

В относительно малых транзисторах, используемых в логике, произвольное несоответствие  $U_{пор}$  обратноразмерно квадрату длины канала с коэффициентом пропорциональности от 4 до 30 мВ/мкм. При коэффициенте 4 мВ/мкм стандартная девиация  $U_{пор}$  для транзистора 4 мкм на 1 мкм должна быть только 2 мВ. Даже прибор,

случайно выбранный из триллиона, имеет только 10 мВ-ный сдвиг в  $U_{пор}$ . Таким образом, в случае совершенного технологического процесса коэффициент близок к 4 мВ/мкм. Но здесь сравниваются идентичные приборы. В стандартных же цифровых схемах идентичных приборов нет. В отношении несоответствия  $U_{пор}$  это особенно важно. К примеру, вследствие анизотропной природы производственного процесса простой поворот прибора на 90 или даже 180° может привести к драматическому изменению  $U_{пор}$ . Более того, замена диффузионного шаблона на поликремниевый в непосредственной близости от прибора может привести к сдвигу  $U_{пор}$ . Поэтому стиль размещения приборов на ультрамикромощных ИС должен быть значительно модифицирован по сравнению с используемым сегодня.

Один из возможных методов компенсации разброса пороговых напряжений - "электронная подгонка" - предложен относительно недавно в работе [6], хотя подлегирование подложки для сдвига порога в  $n$ -МОП логических схемах используется десятки лет. Автор предлагает модифицировать производственный процесс для достижения малых величин  $U_{пор}$  (около 0,12В) и варьировать подзатворный потенциал на обоих  $n$ -МОП и  $p$ -МОП приборах, чтобы электронным образом скомпенсировать вариацию  $U_{пор}$ , возникающую в технологическом процессе. В этом подходе есть три недостатка. Прежде всего он требует модификации производственного процесса. Кроме того, так как быстрое действие пропорционально питающему напряжению, во многих случаях имеет смысл питать различные блоки ИС разным напряжением. Здесь же все приборы на подложке связаны общей подзатворной коррекцией и, следовательно, имеют одинаковый порог. И, наконец, приборы, имеющие только очень низкое пороговое напряжение, крайне затрудняют понижение мощности схемы, так как большие токи утечки могут протекать, даже когда вентили закрыты.

Последние две проблемы в принципе решаемы путем создания подзатворной коррекции независимо для каждого прибора. Однако достигаемый при этом разброс пороговых напряжений ограничен снизу подзатворным потенциалом и допустимым диапазоном внутренних потенциалов. Другой подход - добавление комплиментарной пары транзисторов с большим пороговым напряжением - используется для достижения энергии переключения 300 фДж на вентиль при питании в 1В. Однако пороговое напряжение в этом случае устанавливается не за счет подзатворного потенциала. Недостаток обоих решений - усложнение технологического процесса и увеличение стоимости.

В работе [6] предложена так называемая методика QuadRail (четыре шины), которая позволяет снизить питающее напряжение при сохранении стандартных КМОП производственных процессов. Суть этого оригинального подхода, позволяющего схемотехнически скомпенсировать разброс порогов МОП транзисторов, - использование двух отдельных пар шин питания-земля с разницей в напряжении между ними, изменяя которую можно сглаживать вариацию порогов у приборов на пластине. Пороговые напряжения приборов, расположенных в карманах, устанавливаются по отношению к приборам, расположенным на подложке, за счет варьирования потенциала их кармана. QuadRail методология дает возможность снизить питающее напряжение до 0,25 В при сохранении стандартного дешевого серийного КМОП производственного процесса. Результаты моделирования и экспериментальных измерений подтверждают работоспособность схем и достижение значения энергии переключения менее 40 фДж, что в 400 раз ниже по сравнению с пятивольтовым КМОП.

В работе [7] описана так называемая схема с пульсирующим потреблением мощности (PPS) КМОП, которая позволяет уменьшить мощность рассеяния обычных КМОП примерно в десять раз (схема 1). Управляющая схема периодически возбуждает шину питания пилообразными сигналами, действующими между шинами  $V_{dd}$  и  $V_{ss}$ . В течение спадающего фронта импульса питания паразитные емкости сохраняют логические состояния интегральной схемы. Все импульсы имеют амплитуду в интервале с границами  $V_{ss}$  (логический ноль) и  $V_{dd}$  (логическая единица). В начале спада на входе инвертора имеет место логический ноль,  $p$ -канальный транзистор выключен из-за того, что напряжения на затворе и истоке одинаковы. Однако когда напряжение превысит пороговое,  $n$ -канальный МОП транзистор открывается и состояние выхода инвертора сохраняется. В то же время при нулевом напряжении, приложенном к входу инвертора, когда напряжение на шине питания возрастает,  $n$ -канальный МОП транзистор всегда закрыт, поскольку напряжение между затвором и истоком равно нулю. При превышении на шине питания порогового напряжения  $p$ -канальный транзистор открывается и напряжение на выходе инвертора будет следовать за напряжением на шине питания. Если два инвертора соединить последовательно, то импульс, приложенный к первому инвертору, пройдет через два инвертора и воспроизведется на выходе третьего. Таким образом, состояние двух или более последовательно соединенных логических элементов может быть определено во время возрастающего

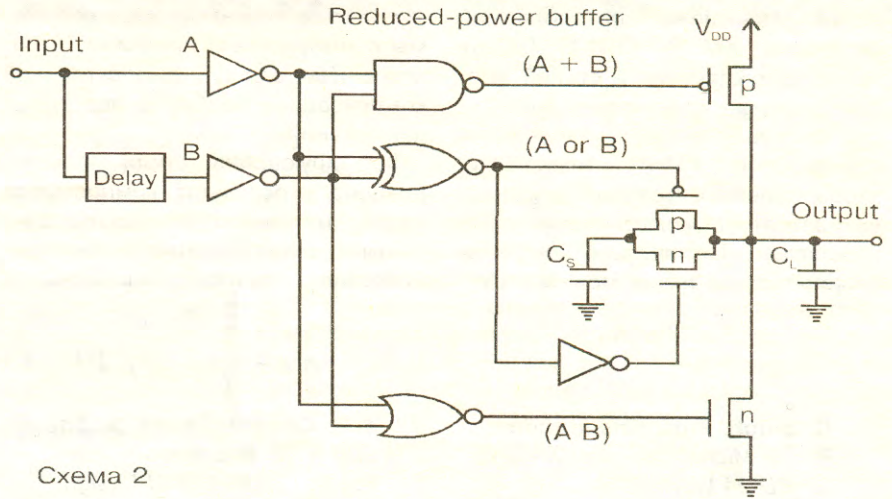


Схема 2

фронта перепада. Когда перепад напряжения достигнет величины  $V_{dd}$ , все инверторы получают возможность работать как обычные КМОП схемы. При уменьшении перепада напряжения до логического нуля состояние поддерживается паразитными емкостями.

Марк Харт, разработчик из Рочестерского университета, предложил техническое решение [7], которое может обеспечить некоторую умеренную экономию мощности в КМОП схемах при переключении больших емкостных нагрузок (схема 2). Это решение нацелено на использование в узлах КМОП схем, которые доминируют по нагрузочной емкости (случай, когда емкость много больше, чем емкость затвора с минимальными размерами). Аналогично системе PPS КМОП оно полностью совместимо с обычной КМОП технологией, что весьма важно для быстрого внедрения.

Каждый раз, когда классический вентиль КМОП переходит из состояния логической единицы в состояние логического нуля, сбрасывается на землю заряд, накапливаемый в паразитной емкости выходного узла. Этот бесполезно потерянный заряд обуславливает динамическую составляющую мощности потребления обычного КМОП вентиля, определяемую как  $P = QL \Delta U$ , где  $QL$  - заряд, накопленный на паразитной емкости в состоянии логической единицы.

В предложенной схеме введен дополнительный буфер с емкостью

$C_s$ . Во время разряда узловой емкости на землю при переходе из состояния логической единицы в состояние логического нуля буфер снимает некоторый заряд с паразитной емкости выходного нуля и сохраняет его на другой емкости  $C_s$ . Во время следующего перехода из состояния логического нуля в состояние логической единицы буферная схема возвращает сохраненный заряд в выходной узел, уменьшая заряд, а следовательно, ток, потребляемый от источника питания. Мощность, сэкономленная буфером, определяется выражением

$$P = Q_s \Delta V_f$$

При передаче заряда из нагрузочной емкости в емкость  $C_s$  без рассеяния мощности на резистивных элементах схемы сохраненный заряд определяется формулой:

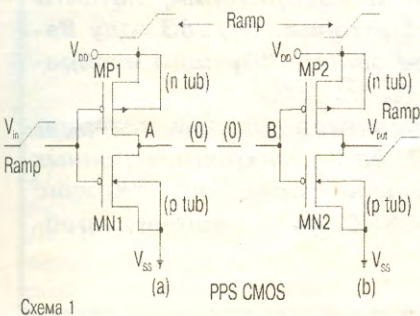
$$Q_s = \frac{C_s C_L \Delta U}{2C_s + C_L}$$

Таким образом, процент экономии мощности составит

$$\mathcal{E} = \frac{C_s}{2C_s + C_L} 100\%$$

Для отношений величин емкостей  $C_s$  и  $C_L$ , равных 1/4, 1, 4, сохраненная мощность будет соответственно 16,7, 33,3, 44,4, и 50 процентов. Результаты моделирования схемы с помощью компьютерной системы SPICE третьего уровня показали 24%-ную экономию мощности.

Рассмотренные схмотехнические решения открывают новые возмож-



ности уменьшения потребляемой мощности КМОП СБИС. Общая черта зарождающихся стилей проектирования - стремление вписаться в существующие недорогие стандартные КМОП технологии, чтобы избежать больших финансовых затрат на модернизацию производства. Технические решения разнообразны, но их можно сгруп-

пировать в несколько классов: схемы с импульсным питанием; с сохранением заряда; с электронной компенсацией разброса пороговых напряжений.

Формирующиеся стили проектирования - результат компромисса между техническими эксплуатационными характеристиками (быстродействие, помехоустойчивость) и

экономическими факторами. Среди известных методов уменьшения потребляемой мощности схемотехнический наиболее выгоден, так как требует затрат только на изобретательство и компьютерное моделирование.

### Литература

1. **D. Singh**, *Prospects for low-Power Microprocessor Design*, IWLDP'94 Workshop Proceedings, p. 1.
2. **L. Mennier**, *Sub. half- $\mu$ m fab evolution: A European Company's View*, *Solid State Technology*, March 1995, p. 136.
3. **M.W. Powell**, *Production bithography down to 150 nm*, *Solid State Technology*, March 1995, p. 56.
4. **A.P. Chandrakasan, S. Sheng and R.W. Brodersen**, *low-Power CMOS Digital Design*, *IEEE Journal of Solid State Circuits*, vol. 27, N4, 1992.
5. **M. Alidina, V. Menteiro, S. Devados**, *Precomputation-based Sequential Logic Optimisation for Low Power*, *Proceedings 1994 International Workshop on Low Power Design*, April 24-27, 1994, Inn. at Napa Valleg, California, p. 63.
6. **L.R. Corley and I. Lys**, *QuadRail: A Design Metodology for Ultra-Low Power ICS*, *Proceedings 1994 International Workshop on Low Power Design*, April 1994.
7. *System-Design Considerations Low. Larger As The Quest For Lower-Power CMOS Continues*, *Electronic Design*, November 7, 1994, p. 36.



**КРЕМЛЕВ**

Вячеслав Яковлевич,  
доктор технических  
наук, профессор

### ПРЕДСТАВЛЯЕМ НАШИХ АВТОРОВ

**Вячеслав Яковлевич** родился в Москве 12 ноября 1939 года. Окончил Московский энергетический институт в 1963 году. После окончания института работал в НИИ молекулярной электроники, где занимался разработкой первых отечественных полупроводниковых интегральных схем. Без отрыва от производства окончил аспирантуру Научного центра. Ученую степень кандидата технических наук получил в 1971 году. С 1984 года по настоящее время работает в Московском институте электронной техники (Технический университет), где защитил докторскую диссертацию и получил ученое звание профессора. Специалист в области элементной базы цифровых ультра БИС и интеллектуальных датчиков.

Имеет более двухсот научных работ и изобретений, патенты США, Японии, Франции, ФРГ и Великобритании. В 1983 году Вячеславу Яковлевичу присвоено почетное звание "Лучший изобретатель г. Москвы".

В этом номере Вячеслав Яковлевич является автором материалов "Тенденции развития элементной базы микроэлектронных телекоммуникационных и вычислительных средств", "Кризис КМОП?" и "Энергопотребление КМОП СБИС: пути решения проблемы"