

СОКРАЩЕНИЕ ВРЕМЕНИ РАЗРАБОТКИ ПРОЕКТА

ЗА СЧЕТ АНАЛИЗА RTL-КОДА НА РАННИХ СТАДИЯХ С ПОМОЩЬЮ DC EXPLORER

Е.Иванова¹, Д.Радченко²

УДК 004.942
БАК 05.27.00

Для того чтобы уложиться в интенсивный график проектирования современных крупных СБИС, разработчикам необходимо решение для быстрого анализа RTL-кода еще до завершения создания RTL-описания и ограничений проекта. Инструмент DC Explorer от Synopsys обеспечивает получение качественных входных данных для логического синтеза и дальнейшей реализации проекта.

DC Explorer позволяет анализировать RTL-код на ранних стадиях, что позволяет улучшить качество кода для процесса синтеза и сократить время реализации проекта (рис.1). Инструмент позволяет составить реалистичное представление по параметрам быстродействия и занимаемой площади при последующем синтезе топологии за более короткое время (в 5–10 раз быстрее, чем обычный инструмент синтеза) с учетом толерантности к незаконченному RTL-коду. Результат по быстродействию и площади коррелирует с результатами запуска в DC Ultra, отличаясь от них не более, чем на 10%.

DC Explorer также позволяет разработчикам эффективно проводить анализ "что если?" для различных конфигураций проекта, чем существенно повышается "сходимость" маршрута проектирования. Инструмент также синтезирует список цепей (netlist), который может быть использован для начального топологического проектирования в инструменте IC Compiler, позволяя создавать и модифицировать планировку кристалла благодаря прямому доступу из среды

Design Vision к функциям планировки кристалла инструмента IC Compiler по одному клику.

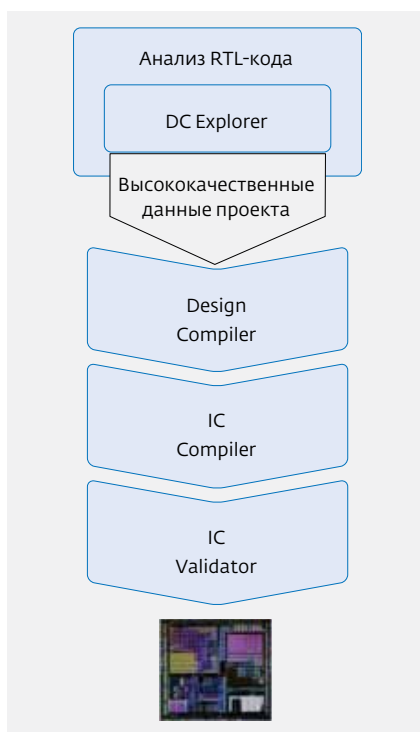


Рис.1.
DC Explorer
ускоряет
разработку
качественного
RTL-кода
и ограничений

¹ ООО "Синопис", генеральный директор, +7 915 386-6565, elena.ivanova@synopsys.com.

² ООО "Синопис", технический директор, +7 915 386-6464, Dmitry.Radchenko@synopsys.com.

Как следствие, повышается продуктивность разработчиков и снижается риск непредвиденных задержек по маршруту проектирования. В процессе работы синтезируется список цепей и создаются отчеты по быстрдействию в формате HTML, которые инженеры могут использовать для анализа и оптимизации ограничений, а также оценить, смогут ли они достичь требуемых параметров. Отчеты также содержат информацию о возможных нестыковках, которые можно устранить до передачи проекта на генерацию окончательного списка цепей.

АНАЛИЗ RTL-КОДА НА РАННИХ СТАДИЯХ РАЗРАБОТКИ ДЛЯ УСКОРЕНИЯ СХОДИМОСТИ ПРОЕКТА

Данные для разработки современных сложных СБИС зачастую приходят из разных источников, и на ранних стадиях проекта различные блоки и IP проекта находятся на разных стадиях согласованности и завершенности (рис.2). Решение данных проблем может занять существенное время, задерживая начало процесса логического синтеза RTL и последующего физического проектирования, увеличивая риск дополнительных итераций проекта.

ТОЛЕРАНТНОСТЬ К НЕПОЛНЫМ ДАННЫМ

DC Explorer позволяет решить эту проблему, предоставляя возможность синтеза неполного RTL-кода и использовать код, содержащий ошибки и несоответствия (см. таблицу). Один из таких примеров показан на рис.3 и демонстрирует описание RTL-модуля top

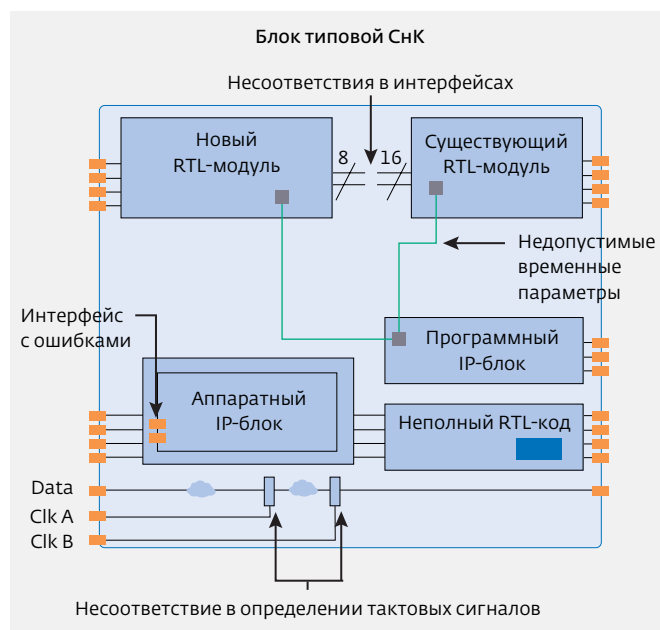


Рис.2. RTL-код и ограничения не согласованы или не завершены на ранней стадии разработки

Ключевые преимущества DC Explorer:

- предоставляет возможность проведения анализа RTL-кода на ранней стадии для выявления и устранения его недостатков и создания качественной отправной точки для инструмента логического синтеза;
- толерантность к незавершенности и ошибкам в RTL-коде;
- анализ RTL-кода на трассируемость до и после синтеза для получения представления о качестве предварительного RTL-кода;
- возможность создания гистограмм, показывающих уровень быстродействия логики модуля за модулем для анализа и возможного улучшения параметров быстродействия;
- перекрестная диагностика RTL-кода, схемы, отчетов по быстродействию, параметров трассируемости и физических представлений проекта;
- время синтеза в 5-10 раз меньше времени полноценного RTL-синтеза для эффективного проведения анализа "что если?";
- результаты синтеза по параметрам быстродействия и площади отличаются от результатов синтеза с использованием инструмента DC Ultra в режиме Topographical не более, чем на 10%;
- опционально может считывать физические ограничения для большей корреляции с результатами запуска DC Ultra в режиме Topographical;
- прямой доступ из среды анализа RTL-кода к возможностям планировки кристалла инструмента IC Compiler;
- скрипты полностью совместимы с инструментом DC Ultra, что позволяет легко интегрировать инструмент DC Explorer в существующий маршрут;
- поддержка UPF для создания энергоэффективных проектов;
- поддержка многоядерной вычислительной платформы позволяет ускорить работу в два раза на четырех ядрах

с блоком foo, в интерфейсе которого используются входной порт wr и выходной порт ovf, не объявленные в самом блоке foo.

В процессе работы подобные ошибки идентифицируются и классифицируются, а затем создается детальный отчет по ним. Эти отчеты позволяют разработчикам RTL-кодов быстро находить и устранять ошибки, ускоряя получение "чистого" RTL-кода.

Несмотря на наличие такого рода ошибок, DC Explorer, в отличие от DC Ultra, не останавливает свою работу,

Примеры несоответствий в проекте, которые выявляются с помощью DC Explorer

Варианты несоответствий в проекте
Отсутствующие ячейки в логической библиотеке
Отсутствующие выводы в ячейках логической библиотеки
Пропущенные выводы в RTL-модулях
Отсутствующие RTL-модули
Несоответствие наименований выводов
Стилистика наименований шин и выводов
Шина vs. разрозненные биты
Отсутствующие выводы в ячейках физической библиотеки
Отсутствующие ячейки в физической библиотеке
Несоответствие направления портов ввода-вывода
Несоответствие ширины портов
Неподключенный интерфейсный порт
Несоответствие наименования портов

а продолжает анализировать код и исполнять соответствующий скрипт или набор команд, оставляя на месте "висячие" порты и сигналы, а затем синтезирует список цепей, пригодный для начального (исследовательского) этапа физического проектирования. Таким образом у разработчиков физического проекта появляется список цепей задолго до того, как появится первая версия "чистого" и полного RTL-кода.

АНАЛИЗ ТРАССИРУЕМОСТИ БЛОКОВ ПРОЕКТА ДО И ПОСЛЕ СИНТЕЗА

Важна также возможность анализировать RTL-код на трассируемость и находить в нем фрагменты кода, потенциально сложные для будущей трассировки части исходного RTL-кода. Получая такую информацию на ранних этапах проектирования, разработчики могут принять меры к изменению кода и устранению проблемных его частей до начала полноценного этапа реализации проекта. DC Explorer также проводит анализ трассируемости после

В RTL-описании блока содержится больше выводов, чем в блоке

RTL-блок

```
module top (s, ra, di, wr, do, ovf);
  input wr;
  input [3:0] di, s, ra;
  output [3:0] do;
  output ovf;
  foo U1 (.ra(ra), .di(di), .wr(wr)
    .s(s), .do(do), .ovf(ovf));
endmodule
```

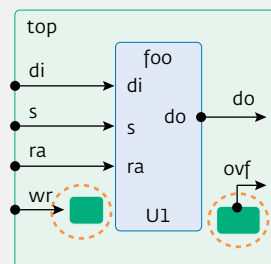


Рис.3. Пример RTL-кода, в котором больше выводов, чем в блоке, который он описывает

окончания синтеза, так как многие потенциально сложные для трассировки фрагменты кода могут быть успешно оптимизированы с использованием инновационных алгоритмов улучшения трассируемости, реализованных в DC Graphical.

АНАЛИЗ RTL-КОДОВ И ПЕРЕКРЕСТНЫЙ АНАЛИЗ

На основе анализа RTL-кода создаются цветные гистограммы распределения быстродействия в различных модулях проекта. Эта диагностика основана на анализе RTL-кода, библиотек стандартных ячеек, макроблоков, файлов ограничений и позволяет получить информацию о том, насколько велика вероятность того, что имеющийся RTL-код после синтеза будет функционировать с требуемым быстродействием (рис.4). Подобный анализ позволяет идентифицировать логические модули (блоки),

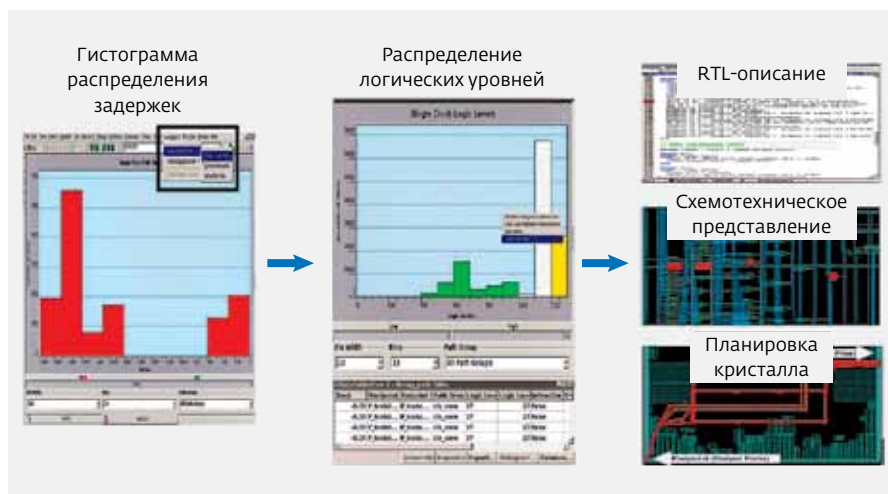


Рис.4. Уровни логических гистограмм для проектных данных высокого качества

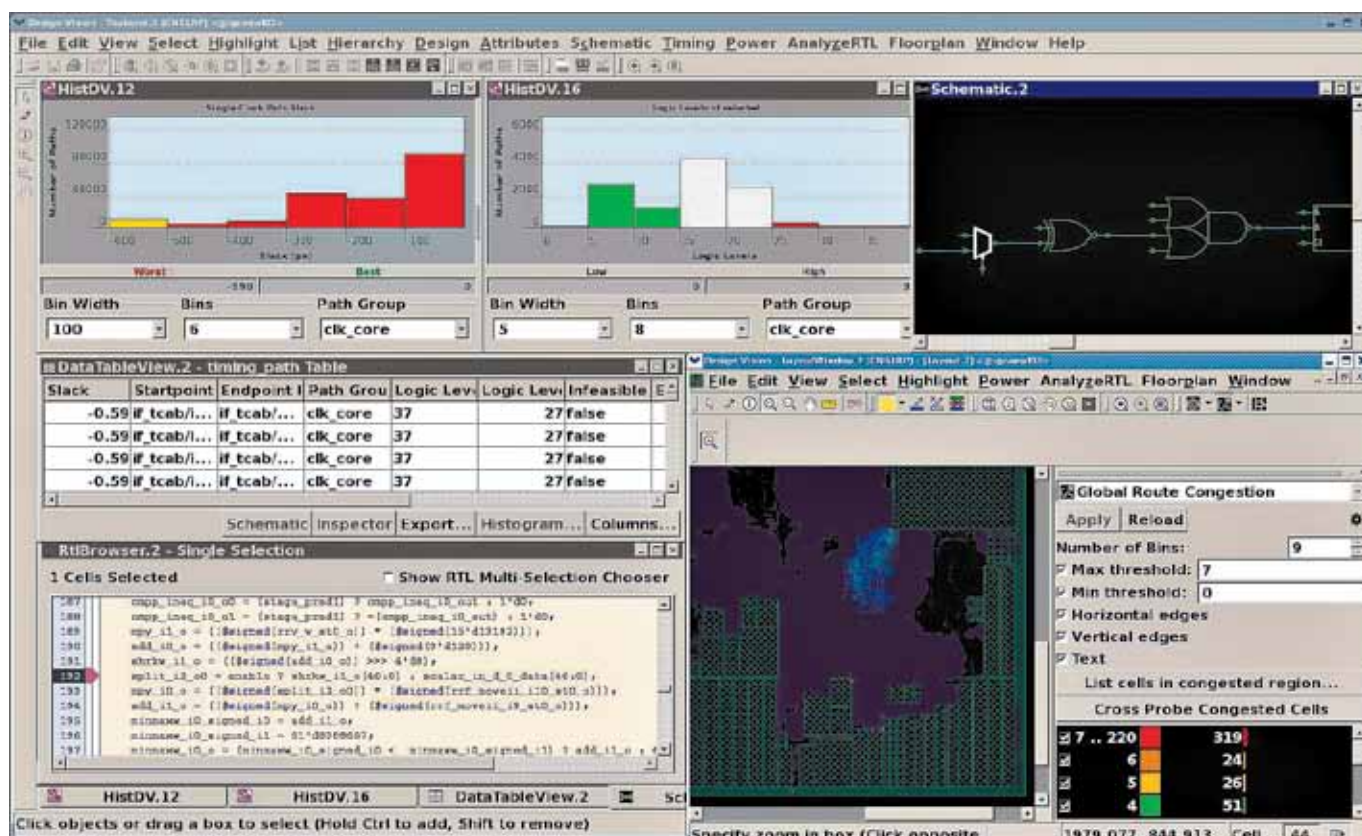


Рис.5. Перекрестный анализ по всем параметрам быстродействия

которые могут стать причиной пониженного быстродействия схемы. Анализируя эту информацию, разработчик может понять, какого рода изменения требуется внести в проект (изменения в исходном RTL-коде, ограничения и/или планировке кристалла) для достижения требуемой производительности разрабатываемой схемы.

Перекрестный анализ (cross-probing) между различными представлениями проекта (исходный RTL-код, синтезированный список цепей, диаграммы распределения задержек, окна результатов анализа трассируемости и др.) позволяют достоверно определять фрагменты исходных RTL-кодов, требующие изменений на ранних стадиях проектирования и, как результат, существенно повысить качество исходных RTL-кодов, а также существенно сократить время реализации проекта после "заморозки" RTL-кода (рис.5).

НАЧАЛЬНЫЙ (ИССЛЕДОВАТЕЛЬСКИЙ) ЭТАП ФИЗИЧЕСКОГО ПРОЕКТИРОВАНИЯ

Ввиду того что результатом работы инструмента DC Explorer является в том числе, список цепей в формате DDC (бинарный формат Synopsys для передачи

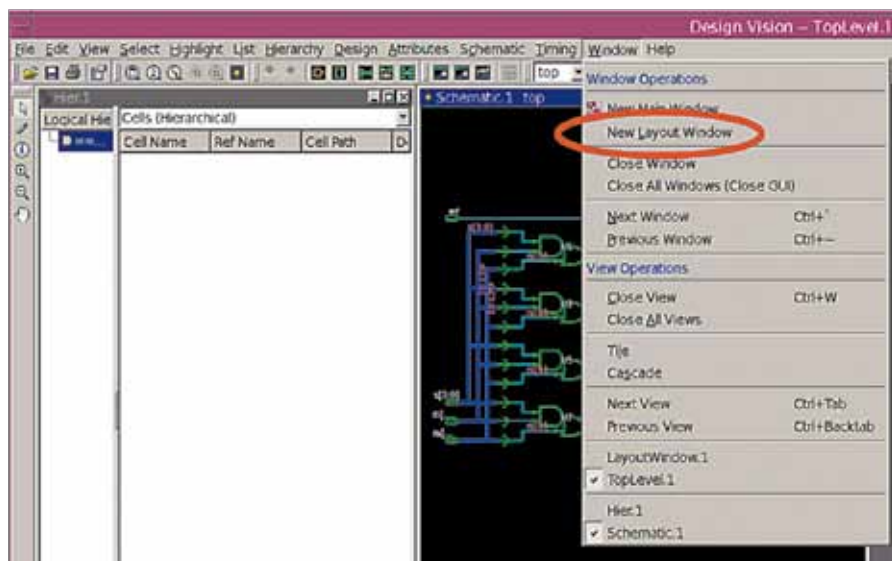


Рис.6. Доступ к возможностям планировки IC Compiler из среды DC Explorer

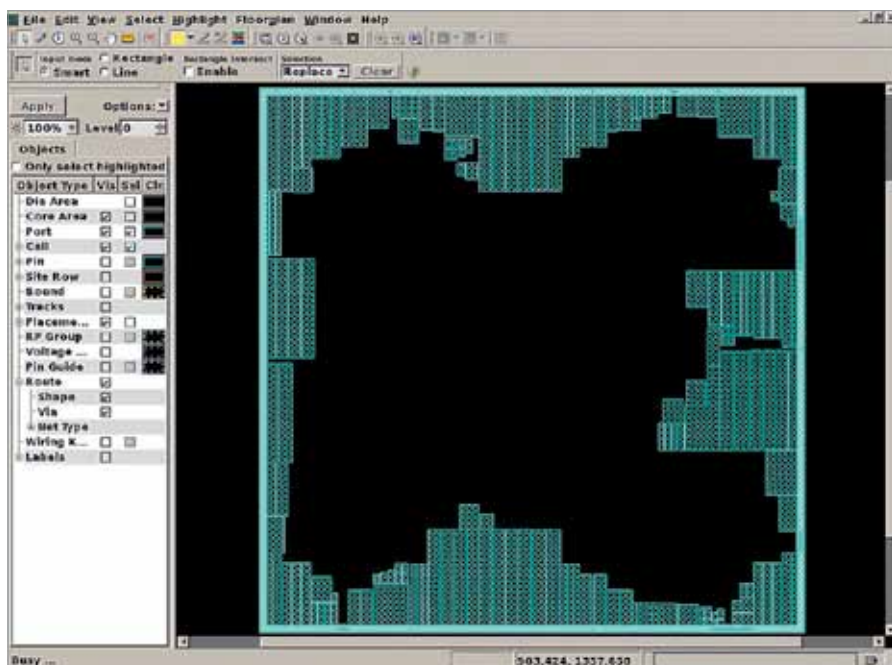


Рис.7. Модификации планировки считываются в DC Explorer для большей корреляции с DC Ultra (Topographical)

проектов от этапа синтеза к этапу физического проектирования) или ASCII (Verilog, SDC), разработчики могут использовать его для начала работ по физическому проектированию в том числе для определения блоков физической иерархии, создания пробной планировки кристалла, пробного размещения блоков и предварительного анализа параметров быстродействия и трассируемости с целью определения "узких мест" и их устранения на ранних этапах проектирования. В DC Explorer есть возможность доступа к функциям физического проектирования инструмента IC Compiler, не покидая графический пользовательский интерфейс Design Vision. С помощью этого интерфейса разра-

ботчики могут создавать планировку кристалла, загружать файлы физических ограничений, модифицировать их, проводить повторный анализ полученных результатов, не покидая среды инструмента DC Explorer (рис.6 и 7).

ВЫСОКОЭФФЕКТИВНЫЙ АНАЛИЗ "ЧТО ЕСЛИ?"

Инструмент DC Explorer выполняет синтез с оптимизацией по параметрам быстродействия, площади, динамической и статической потребляемой мощности в среднем от 5 до 10 раз быстрее, чем обычные инструменты логического синтеза (рис.8 и 9). Высокая скорость синтеза сложных и крупных проектов позволяет проводить высокоэффективный анализ "что если?" как исходного RTL-кода, так и ограничений проекта с целью оценки влияния возможных изменений кодов и огра-

ничений на достижение требуемых результатов проектирования.

РАННИЙ АНАЛИЗ ВОЗМОЖНЫХ РЕЗУЛЬТАТОВ

Ввиду того, что качество результатов, получаемых при использовании DC Explorer находится в пределах 5–10% от наилучшего возможного результата при использовании инструмента DC Ultra (Topographical), этот инструмент позволяет разработчикам получить оценку возможных параметров быстродействия, площади и потребляемой мощности проекта на ранних этапах проектирования (рис.10 и 11). Для анализа результатов, полученных при синтезе, инструмент DC Explorer создает

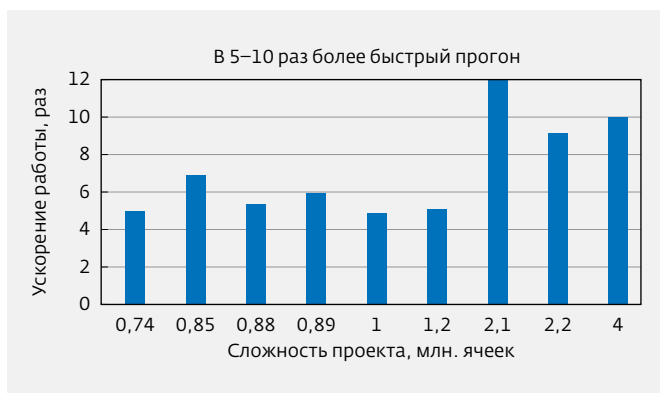


Рис.8. DC Explorer работает в 5–10 раз быстрее, чем RTL-синтез

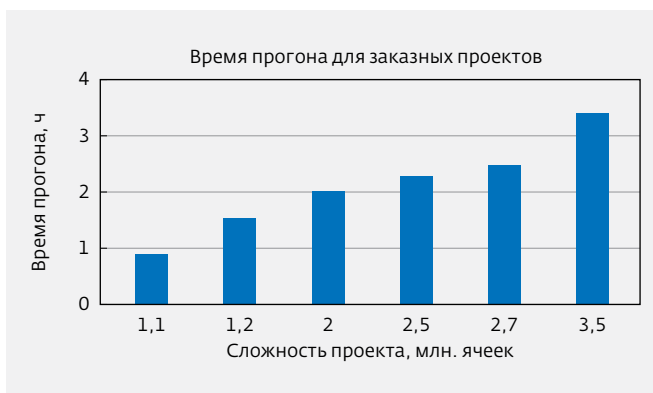


Рис.9. Быстрые прогоны DC Explorer позволяют сделать множество итераций в день для больших проектов

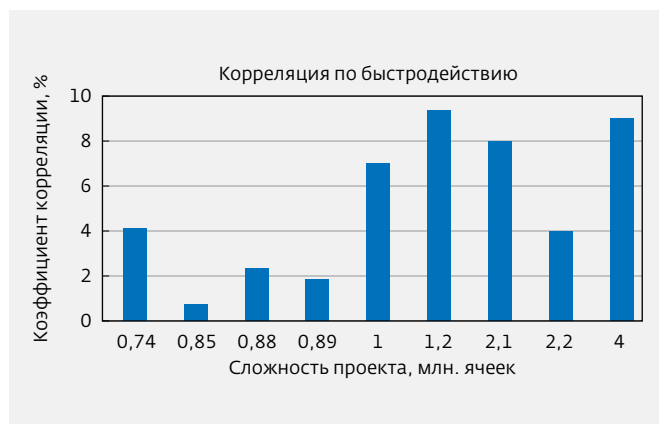


Рис.10. DC Explorer дает результат по параметрам быстродействия, отличающийся от DC Ultra (Topographical) не более, чем на 10%

развернутые отчеты в формате HTML (рис.12), позволяющие упростить анализ результатов и повысить продуктивность работы разработчиков. Так, например, отчеты по быстродействию могут быть отсортированы по времени наихудшего пути для того, чтобы "увидеть" наиболее критичные пути сигналов в проекте. Отчеты также могут быть отсортированы по группам путей (например, входные и выходные пути, ложные пути или мультитак-

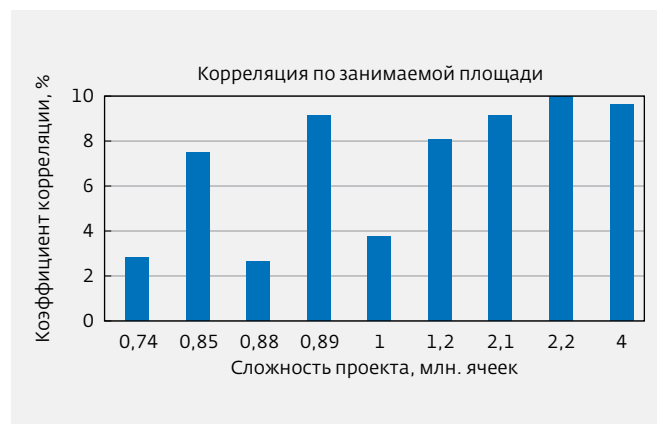


Рис.11. DC Explorer дает результат по параметрам занимаемой площади, отличающийся от DC Ultra (Topographical) не более, чем на 10%

товые пути). Все это делается по нажатию кнопки мыши в графической среде Design Vision или же в любом веб-браузере. Используя анализ результатов синтеза ранних версий RTL-кода, разработчики получают важную информацию о проекте, имеют возможность внесения необходимых изменений в проект на стадии разработки RTL-кода и существенно сокращают время реализации проекта в дальнейшем.

Create Exceptions
☒ Append ☐ Overwrite

☐ False Paths ☐ Multicycle Paths ☐ Max Delay ☒ Input Delay ☐ Output Delay
 Start/Endpoints: ☒ From-To ☐ Through-To ☐ From Only ☐ To Only ☐ Through Only
 Delays: ☒ Rising and Falling ☐ Rising ☐ Falling
 Add Delay: ☐ Clock Fall: ☐

Input file: /remote/cac895feenaCTRdes1/snapshottest1.tim.max.rpt
 Filters: -wms .0 -zero_path .0 -fanout 40 -logic_levels 50
 And Columns: none
 Sort Column: wms (ascending)
 Number of Paths: 59

Exceptions	Path Group	Start Point	End Point	WNS	Zero Path	Path Delay	Input Delay
	clk	REGS1/c_regCK	REGS2/int1_regD	-0.8740	-0.2760	0.2760	undefined
	clk	REGS1/a_regCK	REGS2/int1_regD	-0.8740	-0.2760	0.2760	undefined
	clk	REGS1/c_regCK	REGS2/int1_regD	-0.7860	-0.2760	0.2760	undefined
	clk	en	REGS1/a_regE	-0.6740	-0.6740	0.3240	0.3500
2.0	clk	en	REGS1/a_regE	-0.6740	-0.6740	0.3240	0.3500

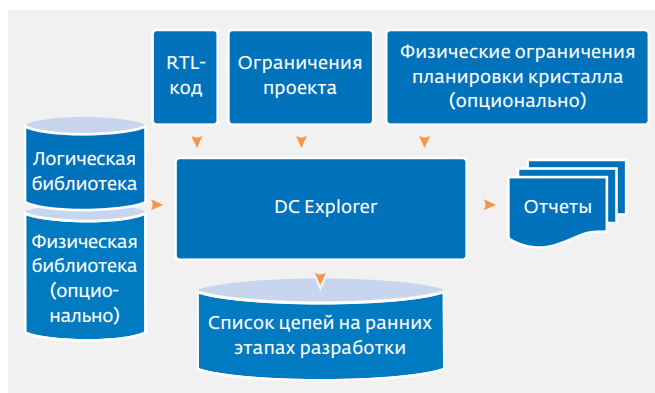


Рис.13. Входные и выходные данные для DC Explorer

Рис.12. DC Explorer генерирует отчеты по быстродействию в формате HTML

ПРОСТОТА ИСПОЛЬЗОВАНИЯ

Скрипты, написанные для инструмента DC Explorer, являются полностью совместимым с инструментом Design Compiler и могут быть использованы как на ранней (исследовательской), так и на основной стадии реализации проекта. Входные данные и ограничения, используемые инструментом DC Explorer, а также форматы результатов работы идентичны таковым

для инструмента Design Compiler (рис.13). Это позволяет мгновенно встраивать инструмент DC Explorer в любой маршрут проектирования, использующий инструмент Design Compiler. Информация о физических библиотеках и планировке кристалла является опциональной.

Так же, как и Design Compiler, инструмент DC Explorer поддерживает многоядерную обработку данных. При использовании четырехъядерных процессоров можно достичь двукратного выигрыша во времени логического синтеза.

