

# МИКРОЭЛЕКТРОНИКА НА СОВРЕМЕННОМ ЭТАПЕ: ТЕНДЕНЦИИ РАЗВИТИЯ И ПРОГНОЗЫ ПО МАТЕРИАЛАМ МЕЖДУНАРОДНЫХ ФОРУМОВ

## ЧАСТЬ 1

М.Макушин<sup>1</sup>, В.Мартынов, д.т.н., проф.<sup>2</sup>

УДК 621.382  
ВАК 05.27.00

Недавние международные мероприятия, такие как Конференция по электронным приборам (IEDM, декабрь 2016 года), Симпозиум по промышленной политике (ISS, январь 2017 года) и Конференция по твердотельным ИС (ISSCC, февраль 2017 года), показали некоторое замедление действия так называемого Закона Мура (отдельные эксперты говорят о прекращении его действия на уровне 28-нм топологий). Среди других тем, которым участники конференций уделили большое внимание, можно отметить вопросы применения кремния на технологическом уровне менее 11/9 нм, использования новых приборных структур (FinFET, FD-SOI) и приборов (STT-MRAM), EUV-литографии и перспективных материалов.

**Н**а конференции ISS-2017 был представлен широкий обзор перспектив и возможностей развития полупроводниковой отрасли, подтверждены три ранее выявленные тенденции: глобализация, изменение климата и действия Закона Мура<sup>3</sup>. Объем сделок слияний/поглощений в 2016 году в мировой полупроводниковой промышленности достиг 130 млрд. долл., а в Китае, где производство ИС быстро растет в том числе и за счет таких

сделок, объем производства в 2020 году, по прогнозам, превысит 20% от мирового.

Определено пять областей конечного применения полупроводниковой продукции, которые будут способствовать росту продаж: Интернет вещей, автомобильная электроника, 5G (мобильные сети 5-го поколения), расширенная (augmented) и виртуальная реальность, искусственный интеллект.

**Прогнозируется, что с 2016 по 2025 год объем продаж полупроводниковых приборов для Интернета вещей увеличится с 15 млрд. до 62 млрд. долл., автомобильной электроники – с 32 млрд. до 51 млрд. долл., 5G – с 0 до 20 млрд. долл., расширенной/виртуальной реальности – с 4 млрд. до 131 млрд. долл., искусственного интеллекта – с 5 млрд. до 50 млрд. долл.**

Основой для значительного роста продаж в этих областях служат решения, названные "правильной технологией для правильного применения". К ним относятся плавниковые полевые транзисторы (FinFET), технология

<sup>1</sup> АО "ЦНИИ "Электроника", mmackushin@gmail.com.

<sup>2</sup> АО "ЦНИИ "Электроника".

<sup>3</sup> Moore's Law (так называемый Закон Мура) – эмпирическое наблюдение, а не природный (физический) закон – удвоение числа транзисторов на кристалле каждые 18 месяцев без увеличения удельной стоимости функций для конечного потребителя. Сформулирован в конце 70-х годов 20 века Гордоном Муром – одним из основателей и ведущих специалистов корпорации Intel.

полностью обедненного кремния-на-изоляторе (FD-SOI) и правильно подобранные для конкретных применений уровни топологических норм.

## ТЕНДЕНЦИИ РАЗВИТИЯ МИКРОЭЛЕКТРОНИКИ И ПРОГНОЗЫ

**Объем продаж.** Представители Intel отметили, что при детальном анализе инноваций, производительности и стагнации экономики выяснилось, что **темпы роста производительности не дают ожидаемых преимуществ от внедрения цифровых технологий.** Причины расхождения между ожидаемым и реальным эффектом их внедрения нужно изучать.

При подведении итогов 2016 года аналитическая корпорация **Gartner** улучшила свои оценки темпов роста доходов от продаж ИС с 0,9 до 1,5%, и **объем продаж ИС в корпорации оценивается в 340 млрд. долл.** Это объясняется повышением средних продажных цен (СПЦ) ИС к концу года, увеличением стоимостной составляющей полупроводниковых приборов в конечных электронных системах и обновлением товарно-материальных запасов. Что касается перспектив на 2017 год, то прогноз темпов роста продаж изменился с 5,5 до 7,7%. Среди сегментов с наибольшим темпом роста названы неоптические датчики, схемы памяти, оптоэлектроника и ИС для автомобильной электроники (за счет беспилотных транспортных средств, средств автоматизированного вождения и электрификации трансмиссии).

Представители **VLSI Research** оценили **рост продаж оборудования** для полупроводниковой промышленности в **10% (от общего объема продаж) за 2016 год (до 54 млрд. долл.)** и прогнозируют **8%-ный рост в 2017 году (до 58 млрд. долл.)**. Спрос на оборудование достиг "дна" (самых низких показателей) в апреле 2016-го, а с июля минувшего года начал расти. Дефицит поставок ряда типов полупроводниковых приборов стимулирует спрос на оборудование в 2017 году. "Горячими точками" станут облачные вычисления, автомобильная электроника, продажа смартфонов в КНР, начало цикла замещения ПК, рост цен на ДОЗУ и флеш-память для твердотельных накопителей (SSD).

Значительное увеличение издержек производства при масштабировании технологических процессов ниже 16/14 нм приводит к тому, что только немногие крупные фирмы могут позволить себе производство ИС с топологиями менее 14 нм. В основном это интегрированные производители (IDM) – Intel, Samsung, Toshiba и т.п., а также ряд фирм-разработчиков ИС (fabless) типа Qualcomm, способных проектировать подобные ИС с дальнейшим изготовлением продукции на кремниевых заводах (foundry, контрактное производство ИС). В этих условиях все больший интерес вызывают методы 2,5D- и 3D-корпусирования, позволяющие соз-

давать многокристальные модули и сборки из разнородных (по топологии и функциям) кристаллов ИС. Во многих применениях такой подход может оказаться рентабельнее традиционного масштабирования [1].

**Переходу на пластины диаметром 450 мм** большое внимание уделялось на ISS-2017. Отмечалось, что переход на пластины большего диаметра на протяжении всей истории полупроводниковой промышленности был обусловлен прежде всего экономическими соображениями. Так, на этапе обработки 300-мм пластин было установлено, что, несмотря на удорожание технологического процесса, материалов и оборудования, удельная стоимость одной ИС ДОЗУ (по сравнению с 200-мм пластиной при условии одинаковых топологий, конструкций и емкости прибора) снижается на 25% за счет большего (в 2,5 раза) числа кристаллов ИС на пластине. А поскольку при переходе на 300-мм пластины одновременно стали возможными меньшие топологические размеры (что позволило снизить площадь кристаллов ИС), то удельная стоимость ИС уменьшилась на 40%.

**Что касается 450-мм пластин, то в ближайшие пять-десять лет перехода к ним не будет, говорилось на конференции.** Консорциум по 450-мм проблематике **Global 450 Consortium (G450C)** – совместная программа НИОКР корпораций Intel, TSMC, GlobalFoundries, IBM, Samsung и Политехнического института Университета штата Нью-Йорк – завершил первый этап работы в конце прошлого года, а начинать второй этап программы члены консорциума сочли пока нецелесообразным.

Корпорация **Applied Materials** – один из крупнейших в мире поставщиков полупроводникового оборудования – заявила о приостановке своей программы разработки 450-мм систем из-за снижения интереса к ним.

Представители **Политехнического института Университета штата Нью-Йорк** отметили, что программа G450C была призвана определить жизнеспособность перехода на 450-мм пластины с технической точки зрения. В этом отношении поставленные перед консорциумом задачи полностью выполнены. Все участники удовлетворены тем, что в случае необходимости они будут готовы к переходу на обработку пластин диаметром 450 мм.

Во время выполнения обязательной программы (Phase 1) были получены ценные результаты, включая разработку необходимых стандартов [2].

**FinFET на малых топологиях.** На конференциях IEDM-2016 и ISSCC-2017 был представлен обзор сложных проблем развития приборных структур как с технической, так и с экономической точек зрения. В настоящее время в разработке находятся нанополотна и нанопроволочные FinFET, однако расходы, связанные с их разработкой, стремительно растут. Возможным выходом

из положения могут стать новые варианты в области корпусирования. Уже несколько изготовителей представили 10-нм процессы, начинается освоение 7-нм процессов, а ряд фирм приступил к НИОКР в области 5-нм процессов.

Так, недавно корпорация **TSMC** объявила о планах строительства (стоимостью 15,7 млрд. долл.) на Тайване нового завода по обработке пластин. Предполагается, что в 2020 и в 2022 годах, соответственно, предприятие начнет выпускать ИС на основе 5-нм и 3-нм технологических процессов. К освоению технологий менее 5 нм также планируют приступить **GlobalFoundries**, **Intel** и **Samsung**. Отмечается, что в области 5-нм и 3-нм процессов немало сложных проблем. Независимо от маршрутных карт развития полупроводниковых приборов, принятых поставщиками ИС, действие Закона Мура продолжает замедляться на каждом новом топологическом уровне – из-за резкого повышения сложности и дороговизны процесса.

Маршрутные карты, разумеется, могут меняться. Но пока **Intel** планирует освоить 10-нм процесс во второй половине 2017 года, а 7-нм процесс – в начале 2020-го. Производство ИС по 5-нм технологии Intel наметила на начало 2023 года, **то есть вместо традиционных двух лет смена технологических поколений (согласно Закону Мура) будет происходить за 2,5–3 года.**

Кроме того, Intel планирует расширить возможности 7-нм процесса за счет FinFET. В 2020 году и TSMC планирует начать производство 5-нм ИС на FinFET. На деле, однако, 5-нм процесс TSMC по характеристикам будет эквивалентен 7-нм процессу компании Intel.

Что касается перспектив развития маршрутных карт после 2020 года, то делать прогнозы трудно. В ближайшее время изготовители ИС намерены оценить

несколько типов транзисторов следующего поколения, которые должны привести к появлению истинной или полномасштабной 5-нм технологии. (Возможно, компания TSMC заявит даже о 3-нм технологии, но с точки зрения спецификаций эта технология будет ближе к 5-нм процессу.)

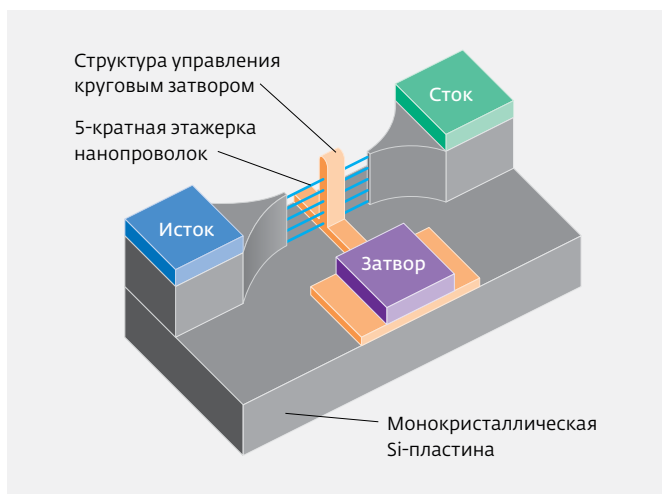
Основные претенденты на полномасштабную 5-нм технологию – FinFET с новыми материалами, FET с круговыми затворами (gate-all-around, GAA), получившие название нанопластинных транзисторов. Одна из основных структур представлена на рис.1. Кроме того, другой жизнеспособный вариант – вертикальная интеграция и освоение технологий 2,5D- и 3D-корпусирования. Подходы представляются перспективными, так как несколько технических и экономических "строительных блоков" классического масштабирования ИС на уровне 5 нм сталкиваются с большими проблемами.

Аналитики корпорации **Gartner** считают, что 5-нм технологические процессы будут разработаны и освоены, но поточно-массовое производство начнется не раньше 2020 года. Даже если это и случится, то лишь немногие фирмы окажутся способными позволить себе их выпуск – чересчур дорого. По сравнению с поколением 16/14 нм современное 5-нм технологическое поколение будет отличаться в 2,5–3 раза большими производственными издержками. Помимо этого, повышение стоимости проектирования будет ограничивать использование 5-нм ИС в большинстве применений. Действительно, по оценкам Gartner, проектирование сложной системы на кристалле по 5-нм технологии обойдется в сумму от 500 млн. долл., что значительно больше 271 млн. долл. на проектирование 7-нм ИС. Цена по сравнению с проектированием прибора по 28-нм технологии выше более чем в девять раз.

Еще труднее прогнозировать, что случится на уровне полноразмерной 3-нм технологии, появление которой ожидается через десять лет. Некоторые специалисты считают, что затраты будут запредельными.

В то же время объем обрабатываемых и передаваемых данных растет такими темпами, что дальнейшее масштабирование ИС и повышение их производительности не может не продолжаться. В противном случае системные решения и технологические платформы не справятся с растущим трафиком. Таким образом, полупроводниковая промышленность продолжает развиваться, но придется осваивать новые технологические процессы, структуры и приборы, такие как FinFET, нанопроволоки и схемы 2,5D- и 3D-интеграции.

Разумеется, не все фирмы смогут продолжить гонку масштабирования. Многие останутся на уровне технологий 22 нм и выше. Важным обстоятельством в данном случае является рентабельность производства. В сегментах, использующих планарную технологию (топо-



**Рис.1.** Структура FET с круговым затвором. *Источник: Федеральная политехническая школа Лозанны*

логии 20–22 нм), увеличивается число новых приложений и применений.

Продолжать масштабирование в направлении 10, 7 и 5 нм смогут немногие крупные производители ИС с большими финансовыми ресурсами. На протяжении долгих лет производители осуществляли масштабирование параметров транзисторов в рамках каждого поколения. На очередном этапе фактор масштабирования составлял примерно 0,7х, что в результате обеспечивало удвоение плотности расположения транзисторов. При этом в рамках очередного поколения производительность повышалась в среднем на 20%, или на 40% снижалась потребляемая мощность при сохранении той же рабочей частоты.

Intel следовала традиционному масштабированию до уровня 14-нм топологии. TSMC и ряд других фирм уже на 16-нм топологиях стали использовать FinFET. Однако ряд спецификаций, таких как полушаг поликремниевых контактов (CPP) и полушаг металлической разводки, напоминал параметры 20-нм технологии. CPP – один из ключевых параметров транзистора – определяет расстояние между контактом истока, затвором и контактом стока.

Существуют две спецификации для почти одних и тех же технологических поколений. Если Intel предпочитает полный набор спецификаций, то TSMC скло-

няется к сокращенному. Фирмы намерены и впредь придерживаться выбранных подходов, что создает все большую неразбериху на рынке. Кроме того, Intel, Samsung и TSMC находятся на разных этапах освоения 10-нм процессов. Когда в 2017 году TSMC начнет опытное производство 7-нм схем, они по характеристикам (плотности размещения элементов и производительности) будут схожи с 10-нм ИС компании Intel.

С учетом этих тенденций 5-нм ИС TSMC будут напоминать 7-нм ИС Intel, а 3-нм схемы – 5-нм продукцию конкурента. Однако такая путаница в размерах – вопрос второстепенный, поскольку меркнет на фоне технических и экономических трудностей освоения 5-нм и меньших технологий.

Например, 14-нм процесс Intel характеризуется CPP=70 нм и шагом элементов в 52 нм. По данным Национального университета Сингапура, CPP полной 5-нм технологии будет иметь значения от 32 нм до 42 нм, а шаг металлической разводки составит 24 нм. На топологиях 3 нм СНН будет равен 20 нм, а шаг металлической разводки – 18 нм.

**Перспективы развития FinFET.** Для достижения подобных размеров изготовители ИС будут вынуждены добиваться новых серьезных прорывов в технологических процессах на заводах по обработке пластин. На топологиях 7 нм и/или 5 нм, например, возможно,

придется освоить EUV<sup>\*</sup>-литографию, чтобы упростить процесс формирования рисунка. Кроме того, производителям ИС потребуются разрабатывать новые методы формирования межсоединений и тонких схем разводки в приборах. И это лишь верхушка айсберга.

В результате расходы на производство 5-нм ИС и ИС с меньшими топологиями станут астрономическими. Выход – ускорение процесса масштабирования для снижения издержек производства, увеличение плотности размещения транзисторов на единицу площади.

Существует несколько способов размещения большего числа транзисторов в современных ИС, которые могут позволить продлить использование FinFET на топологии 7 нм и, возможно, на 5 нм.

Рассмотрим их подробнее. Изготовленные по технологиям 22-нм и 16/14-нм FinFET отличаются от стандартных планарных приборов. В FinFET управление током осуществляется затвором, расположенным на трех сторонах плавника (fin). Чтобы можно было применять FinFET на меньших топологиях, необходимо:

- уменьшить число плавников на транзисторе;
- сделать оставшиеся плавники выше;
- добавить в схему материалы с низкой диэлектрической проницаемостью и воздушные спейсеры;
- использовать новые материалы для формирования канала транзистора.

**Один из способов продлить использование FinFET – реинжиниринг.** Сегодня 14-нм FinFET может состоять из стандартных 9Т-ячеек (9-трековых ячеек) с общим числом плавников до четырех на одном и том же транзисторе. Высота каждого плавника до 50 нм. При масштабировании до 7 нм производители ИС могут снизить размер ячейки с девяти до шести треков. Соответственно, количество плавников на транзисторе уменьшается с четырех до двух, а высота увеличивается до 65–70 нм. На топологиях 5 нм размер ячейки уже не шесть, а пять треков. Она может иметь только один плавник высотой 90–100 нм. По мере снижения размера ячейки увеличивается высота плавника, которая становится достаточной для обеспечения приемлемого тока возбуждения.

Пятитрековая ячейка с одним плавником позволяет добиться CPP=42 нм и шага металлизации 32 нм. Этим достигается 16%-ное уменьшение площади без масштабирования шага и 34%-ный выигрыш по энергии для 6Т-ячеек.

Однако более высокие плавники могут стать паразитной емкостью, которая повлияет на производительность. Снижения емкости можно добиться введением в FinFET-схему спейсеров с малой диэлектрической про-

ницаемостью. Согласно другому подходу, компании **IBM** и **GlobalFoundries** вводят частичные воздушные зазоры, которые могут располагаться между затворами и модулем силицидной металлизации в FinFET. Экспериментально доказано, что частичный воздушный спейсер снижает значение C<sub>gs</sub> (емкость затвор – исток) на 15–20% и эффективную емкость на 10–15% при 10-нм основных размерах.

**Технология FD-SOI на малых топологиях.** Еще одна серьезная проблема заключается в том, что кремний, традиционно служивший материалом для канала транзистора, не обеспечивает удовлетворительной подвижности носителей заряда. В качестве решения проблемы корпорация Samsung недавно продемонстрировала 5-нм FinFET на напряженном кремнии (SiGe) для р-канальных FET и растянутом кремнии для п-канальных FET.

SiGe буферный слой (с ослабленным напряжением) вводится как заглубленный стрессор. В результате напряженный кремний и напряженный SiGe повышают подвижность электронов на 40%, а дырок – на 10% по сравнению с ненапряженным кремнием.

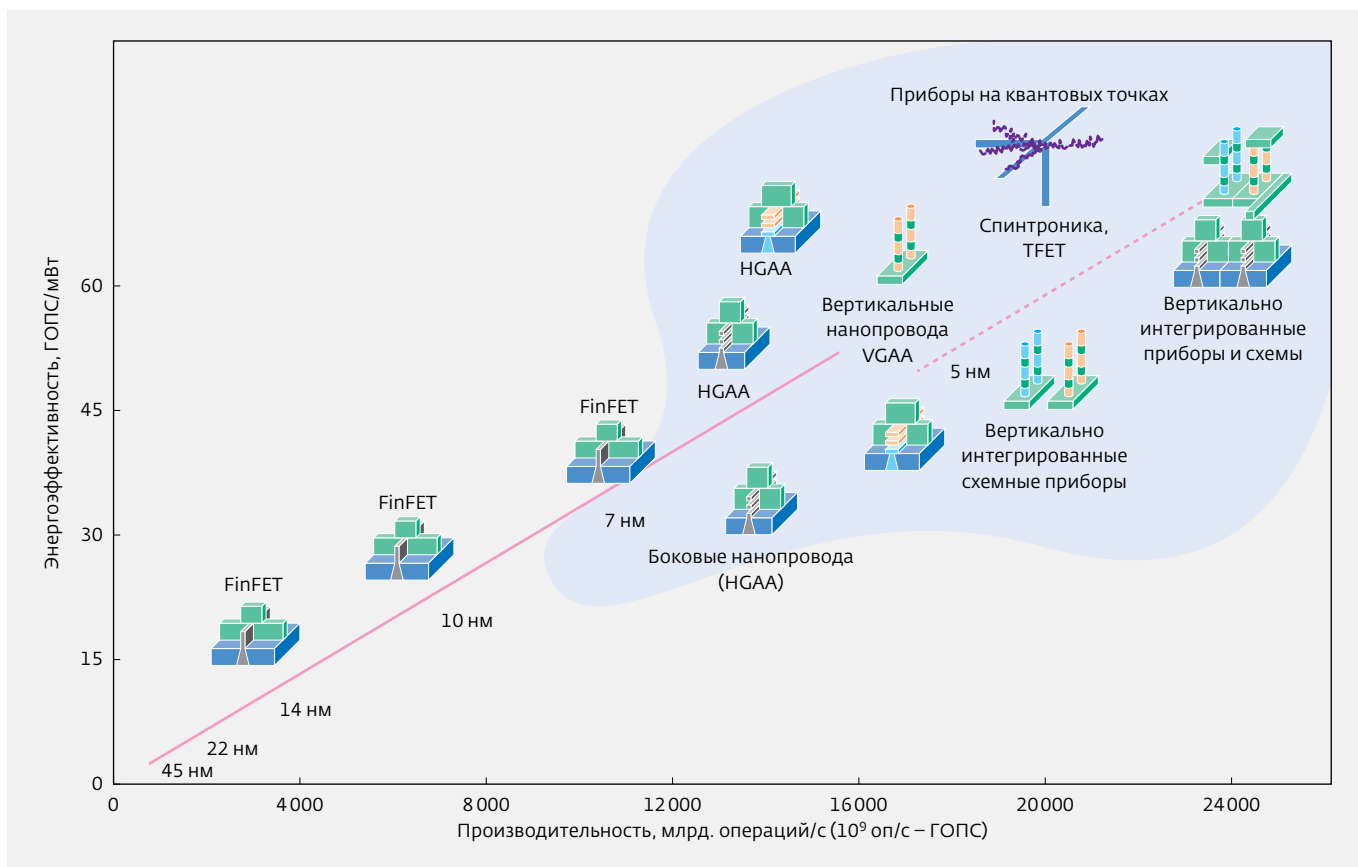
Таким образом, теоретически использование FinFET-технологии может быть продлено до 5-нм топологических норм. Однако по-прежнему остается ряд проблем. Одна из них – необходимость поддерживать крутизну подпорогового напряжения на уровне менее 70 мВ на десятичный разряд. Эту сложную задачу еще предстоит решить.

**Нанопроволоки.** Предполагается, что основная проблема, с которой столкнется полупроводниковая промышленность при переходе к 7-нм технологиям, – снижение контактного сопротивления. На этих топологиях время задержки распространения сигнала, обусловленное паразитными сопротивлением и емкостью, как ожидается, будет значительно превышать задержку, присутствующую собственно транзистору. Проблему можно решить путем применения:

- новых материалов, таких как кобальт, для заполнения контактов;
- спейсеров с пониженной диэлектрической проницаемостью (low-k);
- интегрированных решений (схемы воздушного зазора и замещения контакта).

Многие специалисты считают, что хотя FinFET, как ожидается, будут масштабироваться до 7-нм топологий, их дни сочтены. Если масштабировать до 7-нм технологий с историческим 0,7х-фактором, то с FinFET возникают проблемы, так как масштабировать нужно не только длину затвора, но ширину плавника. А изменение параметров сформированных 5-нм плавников из-за квантовых ограничений вызовет большие проблемы с производительностью. Для запуска масштабирования приборов следующего поколения потребуются

\* EUV (extreme ultraviolet) – наиболее коротковолновая часть ультрафиолетовой области спектра (предельной УФ-области спектра). Длина волны излучения EUV-степперов – 13,5 нм.



**Рис.2.** Маршрутная карта повышения производительности и энергоэффективности: приборные архитектуры. *Источник: IMEC*

новые подходы, например приборы с круговым затвором (gate-all-around, GAA).

Здесь возникает еще одна проблема: достижение 7-нм топологического уровня потребует очень продвинутой fin-технологии в сочетании с перспективными решениями по формированию рисунка. Что касается перехода к 5-нм топологиям, то ожидается, что плавник по-прежнему будет эталонной технологией наряду с введением новых материалов (SiGe) и высокой концентрацией Ge в каналах для повышения подвижности носителей заряда. Кроме того, возможно применение материалов типа A<sup>III</sup>B<sup>V</sup> (особенно на 5-нм уровне).

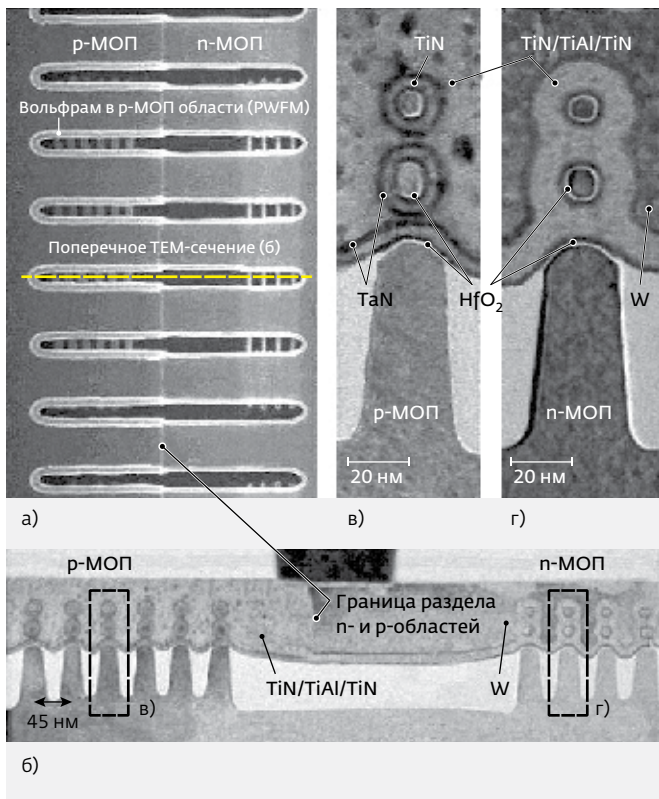
Заглядывая вперед, отметим, что специалисты компаний полупроводниковой промышленности рассматривают альтернативу плавникам, так как есть инженерные ограничения по величине изготовления структур с минимальными размерами. Существует вероятность, что на 5-нм топологическом уровне на смену традиционным плавникам придут другие структуры, например GAA (известная также как боковой или горизонтальный нанопровод, HGAA), обладающая улучшенными параметрами с точки зрения управления затвором и током утечки. Это означает возможность достижения большей

производительности при меньших напряжении питания и пороговом напряжении.

После освоения HGAA-структур отрасль может пойти по пути применения структур на вертикальных нанопроводах (VGAA), но у них есть несколько конкурирующих структур (рис.2). Так что у производителей появится выбор.

Как только ширина плавника приближается или становится меньше 5 нм, сильнее проявляются квантовые эффекты. По мере того как плавник становится тоньше, увеличивается ширина запрещенной энергетической зоны, пороговое напряжение повышается, что может привести к выходу прибора из строя. Поэтому промышленность рассматривает несколько вариантов транзисторных архитектур следующего поколения для полномасштабной 5-нм технологии (как уже говорилось, TSMC заявляет о 3-нм технологии, хотя разрабатываемый процесс ближе к 5-нм технологии).

В настоящее время горизонтальные FET с круговым затвором и нанолитовые FET активно используются при освоении 5-нм технологии. Другие подходы, такие как FinFET на материалах групп A<sup>III</sup>B<sup>V</sup>, туннельные FET и вертикальные нанопроволоки, сегодня нереализуемы.

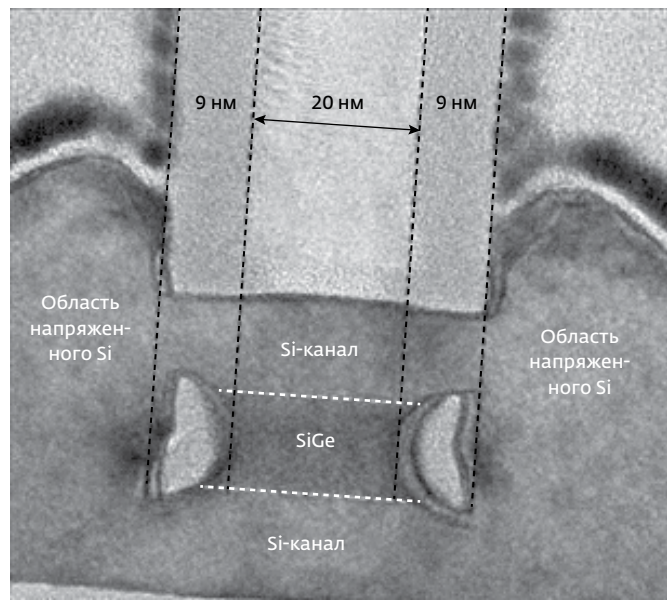


**Рис.3.** Схема интеграции для Si GAA КМОП-технологии ИМЕС: а – вид сверху (растровый электронный микроскоп) на n-канальный FET после травления; б-г – поперечные сечения (просвечивающий электронный микроскоп) p- и n-канальных FET в конце процесса (длина затвора 30 нм). *Источник: ИМЕС*

FET с круговым затвором (GAA), иногда называемые горизонтальными нанопроводными FET, – это дальнейшее развитие FinFET. В случае кругового затвора плавник делается выше, чтобы его можно было разделить на три или более нанопровода [3].

Межуниверситетский центр микроэлектроники ИМЕС (Лёвен, Бельгия) недавно продемонстрировал полевые транзисторы с круговым затвором на основе вертикально этажированных нанопроводов диаметром 8 нм, служащих каналами. А затвор окружает их с четырех сторон (рис.3) [4].

В структуре с окружающим затвором наблюдается некоторое улучшение управления электростатикой, что позволяет сделать шаг дальнейшего масштабирования. Также обеспечивается небольшое повышение производительности по сравнению с FinFET. Но несколько проблем остается: ток возбуждения и паразитная емкость. Плавник в FinFET имел достаточную площадь поверхности, которая обеспечивала неплохой ток возбуждения. В случае с круговым затвором разработчики имеют дело с нанопроводами. Площадь их поверхности меньше,



**Рис.4.** Изображение этажированного FET на нанопроводах после интеграции внутренних спейсеров, полученное на просвечивающем электронном микроскопе. *Источник: CEA-Leti*

соответственно, ток возбуждения на единицу площади недостаточен. Но важнее то, что паразитные явления становятся слишком значимыми относительно проводящей поверхности.

Таким образом, паразитная емкость на уровне 5-нм топологий – серьезная проблема. Емкость создает внешнее сопротивление в различных частях прибора: переходе, силицидном барьере Шоттки, модуле контакт/сквозное межсоединение нулевого уровня/первый слой металлизации. При этом на высоту барьера Шоттки может приходиться до 32% деградации тока возбуждения [3].

Для уменьшения паразитной емкости специалисты Leti<sup>\*</sup> и другие разработчики предложили идею введения в круговой затвор спейсеров с низкой диэлектрической проницаемостью. А для повышения производительности в p-канальном FET предусмотрено соединение SiGe (рис.4) [5].

Достаточно ли этого? Основное и самое общее по круговым затворам опасение заключается в том, что нанопровода – будь они вертикально или горизонтально ориентированы – не совсем подходят для реальных технологий.

Недавно специалисты IBM Research (Цюрих, Швейцария) предложили более приемлемое, с их точки зрения, решение – этажированный нанолитовой FET (находя-

<sup>\*</sup> CEA-Leti – европейский центр исследований в области микроэлектроники, курируемый французским атомным ведомством.

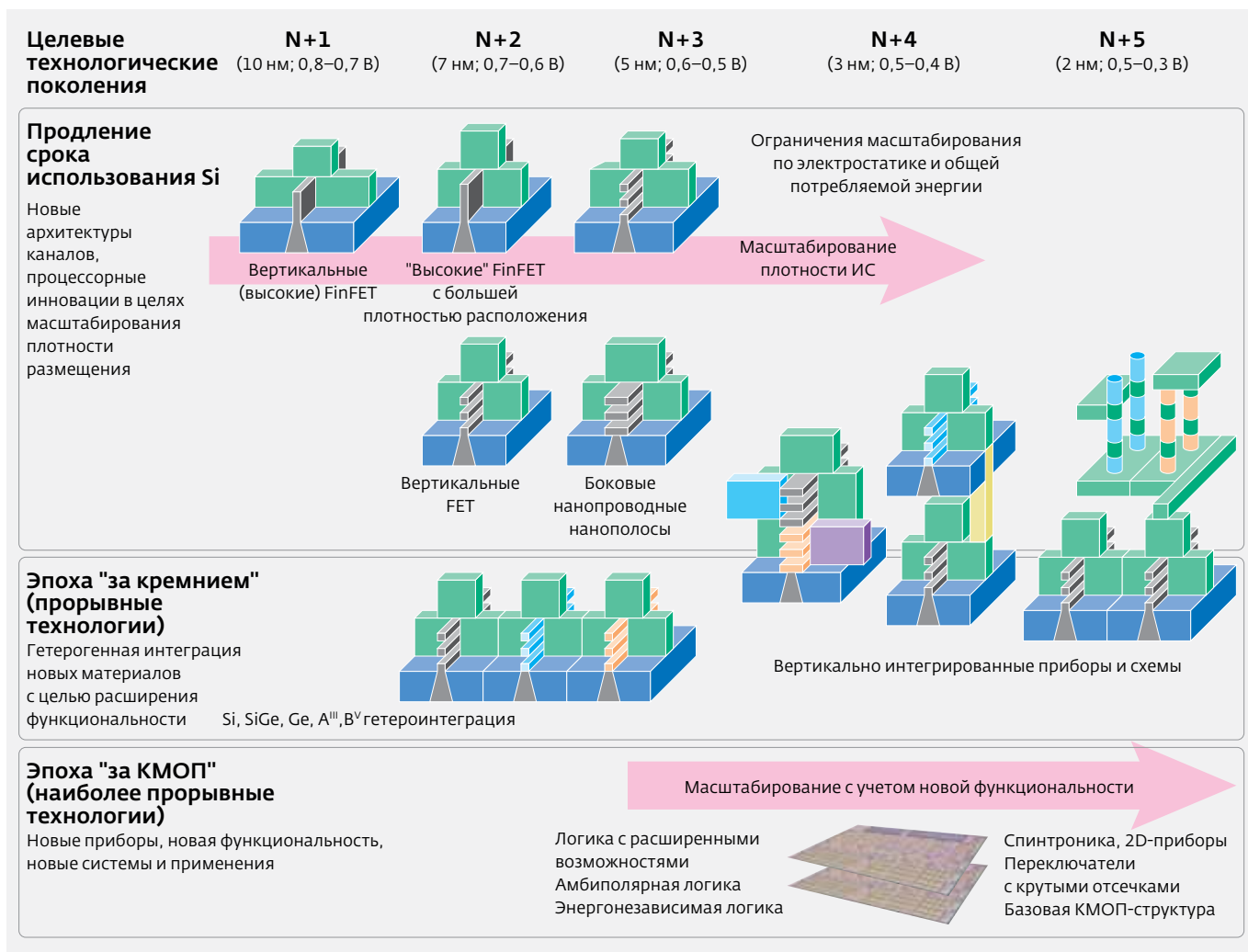


Рис.5. Маршрутная карта развития микроэлектронных технологий от Silicon Catalyst до топологий 5 нм и менее

щийся на стадии НИОКР). В нанолитовом FET, напоминающем горизонтальный нанопроводной FET, провода намного шире и толще. По сути, листы – просто провода с разным аспектным отношением. Благодаря этому нанолитовые FET обеспечивают лучшие электростатику и ток возбуждения.

FET с круговым затвором и нанолитовые FET перспективны, но на их пути от НИОКР в лабораторных условиях до реального производства все еще много препятствий. Так, технология нанопроводов может быть доведена до 3 нм, но вопрос в степени варибельности и технологичности (т.е. пригодности в производстве) таких структур.

Фирма Silicon Catalyst представила прогноз относительно сроков возможного продления применения кремния в полупроводниковой промышленности (до поколения N+5 – 2 нм), а также развития периодов после КМОП (рис.5). Финансируемая венчурным капиталом фирма предоставляет стартапам услуги по обучению и повыше-

нию квалификации специалистов, аренде рабочих площадей, бизнес- и проводные услуги. По оценкам сотрудников Silicon Catalyst, при достижении уровня менее 5 нм настанет время прорывных технологий, предусматривающих вертикальное многослойное построение конструкций и использование новых материалов.

Одна из перспективных технологий микроэлектроники – полностью обедненный кремний (FD-SOI). Однако у специалистов отрасли сложилось мнение, что данный технологический процесс может эффективно действовать до топологий 14 нм, а на 7 нм и менее окажется нефункциональным.

CEA-Leti представил свою маршрутную карту развития полупроводниковых приборов до топологий 5 нм и менее (рис.6). В ней учтены наработки CEA-Leti по технологии FD-SOI и собственной технологии монолитной 3D интеграции Coolcube.

**Вертикальные структуры.** Если промышленности не удастся решить проблемы дальнейшего масшта-



бирования, придется воспользоваться другими вариантами. Вместо традиционного масштабирования отрасль может пойти по пути использования вертикальной интеграции. Уже предлагается ряд 2,5D-, 3D-подходов. Некоторое время опробовались подходы 2,5D-этажирования кристаллов с использованием интерпозеров\* и TSV\*\*-подхода. Наряду с этим Intel развивал технологию встраиваемых многокристалльных мостовых межсоединений (EMIB). В EMIB модуль может состоять из различных кристаллов. Подключение кристаллов друг к другу в модуле будет осуществляться тонкими кремниевыми проводами, расположенными на их границах.

Помимо этого существует много других подходов. Например, Leti работает над монолитной 3D-технологией, когда транзисторы этажируются один над другим последовательно. Межсоединение слоев осуществляется за счет тонких межслойных переходов. Проблема только в том, что все слои должны обрабатываться с минимальным тепловым воздействием. Находящаяся на стадии НИОКР монолитная 3D-интеграция – также перспективный подход. Предполагается, что она актуальна для гетерогенной интеграции различных функций – аналоговые функциональные блоки накладываются на цифровые с очень высокой плотностью межсоединений.

Leti и другие исследовательские учреждения изучают перспективы чиплетов – дискретных компонентов системы-на-кристалле. Они разработаны в качестве отдельных блоков для включения в многокристалльный модуль, поэтому не требуют размещения на одном кристалле. Чиплеты обеспечивают значительную гибкость

\* interposer – промежуточная плата для 2,5–3-мерных технологий, на которой располагаются кристаллы ИС и сквозь которую формируются TSV, на ее обратной стороне установлены SMD-элементы (приборы, монтируемые на поверхности) для соединения с основной пластиной / подложкой многокристалльного / электронного модуля.

\*\* TSV – through-silicon via – технология TSV, технология формирования межсоединений сквозь подложку ИС и /или сквозь кремниевую пластину, одна из технологий трехмерного корпусирования, предполагающая этажерочное расположение кристаллов / ядер кристаллов для экономии занимаемого пространства, снижения потребляемой мощности, повышения производительности и скорости внутрисхемной связи.

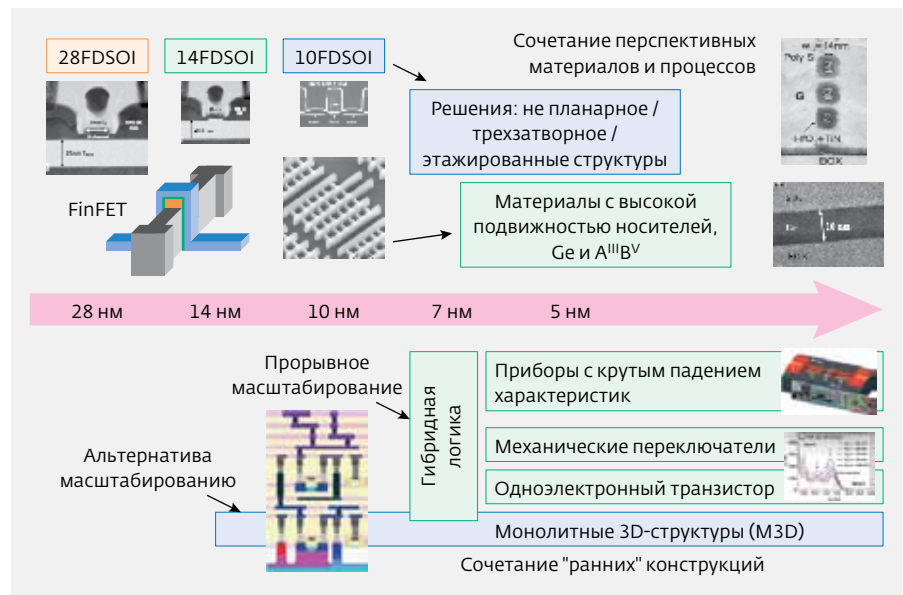


Рис.6. CEA-Leti: анализ и оценка перспективных структур, сочетания материалов и процессов, 2,5D- и 3D-структур с топологиями от 28 до 5 нм и менее

при выборе необходимой интеллектуальной собственности (СФ-блоков). То есть у разработчиков больше вариантов с функциональным разбиением.

Какие транзисторы и /или 2,5D-, 3D-технологии будут доминировать на уровне топологий 5 нм и менее, покажет время [3].

Во второй части статьи рассмотрим результаты поиска новых приборных структур и материалов, пригодных для 5/7-нм технологий, уделим внимание перспективной технологии магниторезистивной памяти, EUV-литографии с высокой числовой апертурой и новым материалам.

### ЛИТЕРАТУРА

1. SEMI ISS2017 uncovers new growth, forecast upgrades. Solid State Technology. The Pulse, January 10. 2017.
2. McGrath D. No Sign of 450 mm on the Horizon // EE Times. 1/13/2017.
3. Happich J. Uncertainty Grows For 5 nm, 3 nm // EE Times. 12/7/2016.
4. Happich J. Imec Stacks Gate-all-Around Si Nanowires Vertically in CMOS MOSFETs // EE Times. 12/7/2016.
5. Happich J. Leti's 5nm Node to Stack Si Nanowires // EE Times. 12/7/2016.
6. Lammers D. MRAM Takes Center Stage at IEDM 2016 // Solid State Technology. The Pulse. December 14. 2016.
7. Korczynski E. High-NA EUV Lithography Investment // Solid State Technology. The Pulse. December 5. 2016.
8. Physicists decipher electronic properties of materials in work that may change transistors // Solid State Technology. Wafer News. December 05. 2012.