

# Платформа для проектирования радиационно-стойких СнК космического применения DARE65T

М. Какоулин<sup>1</sup>, С. Редант<sup>2</sup>, Г. Тес<sup>2</sup>, С. Верхаеген<sup>2</sup>, Г. Францискатто<sup>2</sup>,  
Б. Чехаб<sup>2</sup>, Г. Поллиссард<sup>2</sup>, Л. Берти<sup>2</sup>

УДК 004.94 | ВАК 05.27.00

Разработка аппаратуры космического назначения требует применения компонентов, которые наряду с высокой производительностью и низким энергопотреблением должны отвечать повышенным требованиям по надежности и стойкости к внешним воздействующим факторам космического пространства. Современная платформа для проектирования систем-на-кристалле (СнК) DARE65T обеспечивает не только низкое энергопотребление и высокую плотность упаковки элементов СБИС, но и стойкость к накопленной дозе на уровне не менее 100 крад, стойкость к возникновению тиристорного эффекта на уровне не менее 60 МэВ·см<sup>2</sup>/мг. Кроме того, DARE65T гарантирует высокую стойкость к воздействию тяжелых заряженных частиц (ТЗЧ). Рассмотрим методы повышения радиационной стойкости проектируемых СБИС, реализованные на платформе DARE65T, а также ее основные параметры и функциональные особенности.

**В** последнее десятилетие развитие технологий СБИС космического применения позволило существенно миниатюризировать аппаратуру, что привело к уменьшению ее массы, потребляемой мощности, количества компонентов на плате и одновременно повышению тестопригодности, надежности и производительности. Современные технологии космического приборостроения в области оптической и радиочастотной передачи данных, развитие малых и телекоммуникационных спутников постоянно повышают требования к производительности электронных компонентов. В то же время надежность и срок службы космических аппаратов во многом определяются строгими требованиями к уровню стойкости ЭКБ к внешним воздействующим факторам, в том числе стойкости к накопленной дозе (TID) и воздействию тяжелых заряженных частиц (SEE).

Разработчики космической аппаратуры при выборе ЭКБ находятся в постоянном поиске оптимального решения в системе координат – габариты, масса, производительность, радиационная стойкость, надежность. Поэтому технологии изготовления ЭКБ космического назначения развиваются в направлении не только расширения технологических возможностей (опций), но и уменьшения проектных норм.

Новая платформа DARE65T для проектирования радиационно-стойких СнК, разработанная с учетом перечисленных факторов, создана на основе стандартного КМОП-процесса компании TSMC с проектными нормами 65 нм (TSMC 65 nm LP 1,2 V/2,5 V). В состав платформы входят два типа библиотек стандартных ячеек: оптимизированных по быстродействию и по энергопотреблению. Кроме того, она включает в себя аналоговые СФ-блоки и блоки СОЗУ, что позволяет создавать сложные аналого-цифровые радиационно-стойкие СнК.

Выше упоминались требования, которые космическое приборостроение предъявляет к производительности. Но производительность означает не только тактовую частоту, но и высокоскоростные интерфейсы. Наряду с классическими требованиями реализации LVDS-схем для построения интерфейса SpaceWire существует потребность в DDR-интерфейсах и высокоскоростных последовательных каналах, таких как RapidIO, PCIe или JESD204. DARE65T отвечает данным требованиям – в его состав входят не только LVDS-схемы ввода-вывода, но и SSTL-схемы. Рассмотрим подробнее функциональные возможности платформы.

## МЕТОДЫ ПОВЫШЕНИЯ РАДИАЦИОННОЙ СТОЙКОСТИ, ИСПОЛЬЗОВАННЫЕ ПРИ СОЗДАНИИ DARE65T

Как уже отмечалось, платформа создана на базе стандартного технологического процесса. Такой подход позволил

<sup>1</sup> IMEC (Бельгия), michael.kakoulin@imec.be.

<sup>2</sup> IMEC (Бельгия).

предложить недорогое решение для производства радиационно-стойких СБИС с учетом малых объемов их производства. Выбранный технологический процесс предоставляет возможности для увеличения радиационной стойкости, например, опцию Deep-N-Well (глубокий n-карман), что можно использовать для повышения уровня возникновения тиристорного эффекта.

### Стойкость к воздействию эффектов накопленной дозы (TID)

Наиболее интересные результаты испытаний тестовых структур, изготовленных в рамках техпроцесса TSMC 65 nm, на стойкость к эффектам накопленной дозы представлены в [1] (рис. 1–4). Исходя из приведенных на рис. 1–4 данных можно сделать вывод, что кольцевые транзисторы (ELT-транзисторы), как инструмент повышения стойкости к эффектам накопленной дозы, могут быть заменены на обычные n- и p-канальные МОП-транзисторы с ограничением по минимальным геометрическим размерам затвора, особенно его ширины. При этом можно установить два уровня ограничений: один для цифровых, второй, более высокий (жесткий), для аналоговых схем.

В [1] также содержатся результаты испытаний 2,5-V транзисторов (транзисторов интерфейса ввода-вывода) на стойкость к эффектам накопленной дозы, на основе которых можно сделать выводы, аналогичные 1,2-V транзисторам. Таким образом, ограничения минимальной

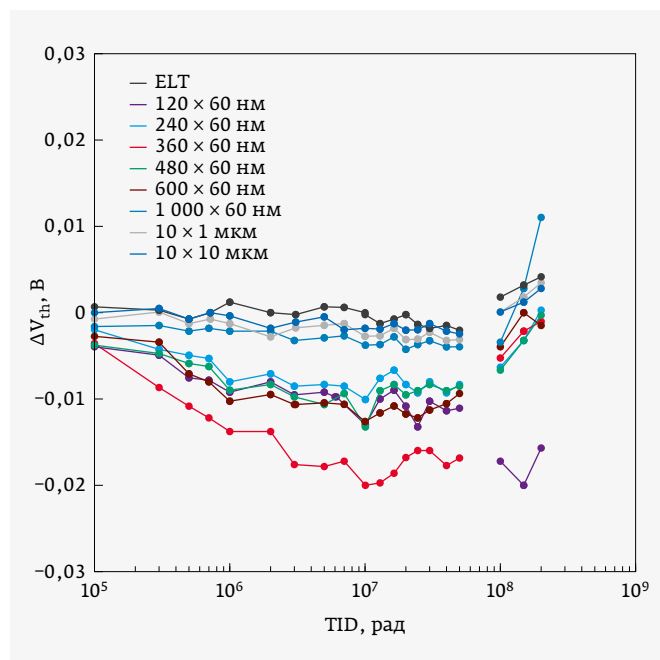


Рис. 1. Изменение порогового напряжения  $\Delta V_{th}$  1,2-V n-канальных МОП-транзисторов в зависимости от уровня накопленной дозы TID [1]

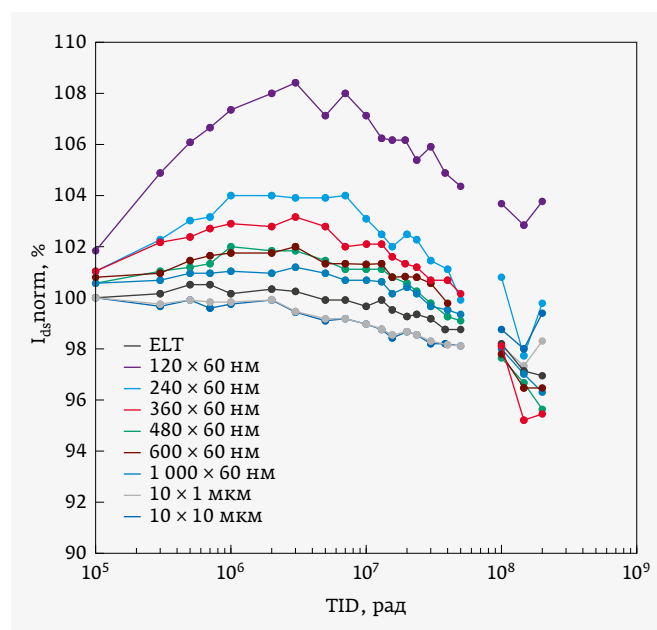


Рис. 2. Максимальный ток стока  $I_{ds}$  ( $V_{gs}=V_{ds}=1,2$  В) n-канальных МОП-транзисторов, приведенный к величине до облучения [1]

ширины затворов 1,2-V и 2,5-V транзисторов используются при проектировании библиотек DARE65T для достижения уровней стойкости к эффектам накопленной дозы на уровне 100–300 крад.

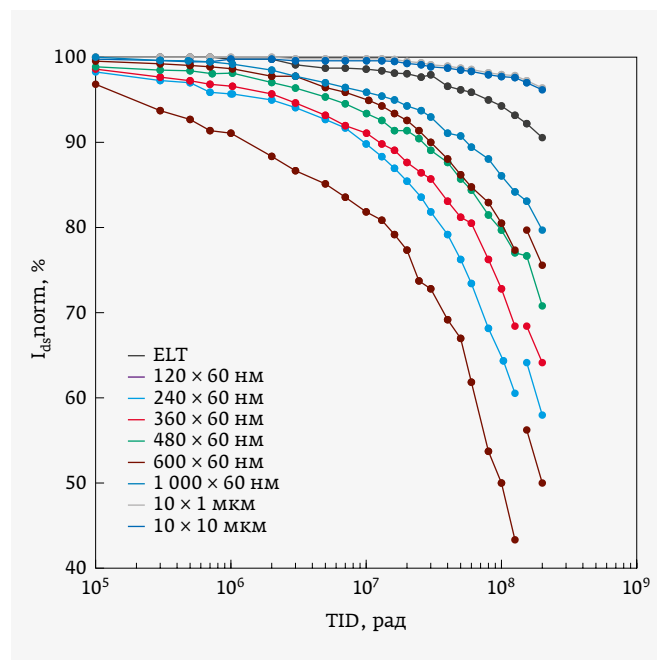
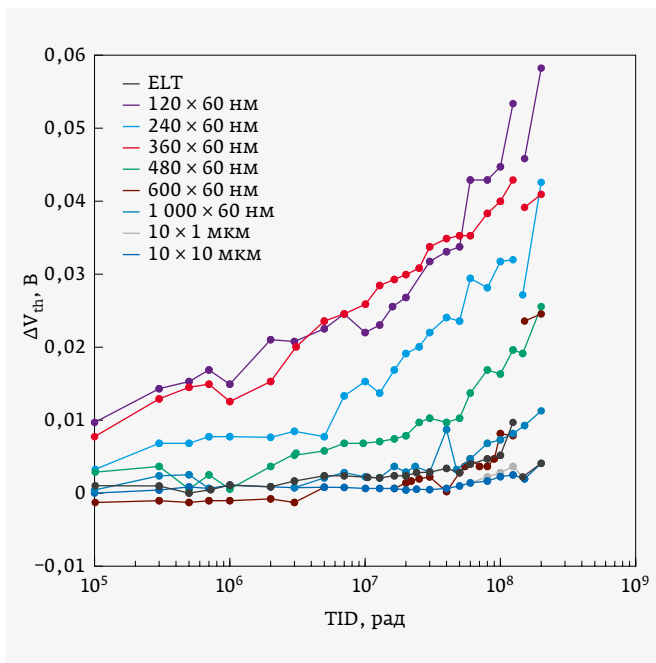


Рис. 3. Максимальный ток стока  $I_{ds}$  ( $V_{gs}=V_{ds}=1,2$  В) p-канальных МОП-транзисторов, приведенный к величине до облучения [1]



**Рис. 4.** Изменение порогового напряжения  $\Delta V_{th,1,2}$ -В р-канальных МОП-транзисторов в зависимости от уровня накопленной дозы TID [1]

### Стойкость к воздействию ТЗЧ (тиристорный эффект)

Как известно, размещенные рядом диффузионная область типа  $n^+$  и диффузионная область типа  $p^+$  в кармане  $n$ -типа образуют паразитный тиристор. При разработке технологического процесса уровни легирования выбирают в том числе с расчетом исключения проявления тиристорного эффекта (включения паразитного тиристора). Тем не менее поток носителей заряда, вызванный попаданием ТЗЧ, может вызвать включение паразитного тиристора и привести к его защелкиванию. В [2] собраны результаты испытаний тестовых структур, изготовленных по выбранному технологическому маршруту (TSMC 65 nm LP 1,2 V/2,5 V), на стойкость к возникновению тиристорного эффекта при воздействии ТЗЧ. Результаты представлены как для структур с защитными кольцами, так и без них. Эксперименты проведены для четырех различных конструктивных исполнений СОЗУ:

- 6T – стандартное исполнение СОЗУ на основе 6-транзисторной ячейки (ячейка из стандартного компилятора памяти);
- 6T\_GR – исполнение СОЗУ на основе 6-транзисторной ячейки с охранными кольцами  $n^+$  и  $p^+$ -типа;
- DICE\_GR – DICE-ячейка с замкнутыми охранными кольцами  $n^+$  и  $p^+$ -типа;
- DICE – DICE-ячейка с разорванными охранными кольцами  $n^+$  и  $p^+$ -типа (в целях уменьшения площади ячейки).

Согласно результатам испытаний тиристорный эффект (ТЭ) не обнаружен для всех видов конструктивных исполнений СОЗУ при нормальных условиях, вплоть до эффективных значений ЛПЭ (линейной потери энергии) 60 МэВ·см<sup>2</sup>/мг. ТЭ обнаружен только у стандартного исполнения 6T при значении ЛПЭ 60 МэВ·см<sup>2</sup>/мг и повышенной температуре среды.

Как следует из результатов экспериментов, данный тиристорный эффект может быть предотвращен путем реализации в топологии охранных колец  $n^+$  и  $p^+$ -типа, подключенных соответственно к питанию и «земле». Именно такой способ предотвращения ТЭ использован для проектирования схем DARE65T. Необходимо отметить, что охранные кольца вокруг активных структур дополнительно позволяют снизить влияние эффекта накопленной дозы, который проявляется при захвате положительного заряда в STI-изоляции [3].

Дополнительный метод уменьшения уровня ТЭ – повышение плотности контактов к активным областям. Для этого при проектировании схем стандартных ячеек и памяти используются как минимум двойные контакты к сток/истоковым областям транзисторов.

В [2] содержатся также интересные результаты испытаний структур с разорванными охранными кольцами, которые могут быть использованы для проектирования блоков СОЗУ с повышенной плотностью упаковки.

### Стойкость к воздействию ТЗЧ (одиночные сбои)

В статье [2] представлены результаты испытаний тестовых структур для определения уровня одиночных сбоев (ОС, SEU) при воздействии ТЗЧ, приведены сечения насыщения одиночных сбоев для четырех различных конструктивных исполнений СОЗУ, описанных выше. На рис. 5 показана зависимость сечения насыщения ОС от значений ЛПЭ для четырех типов блоков СОЗУ. Уровень сечения насыщения ОС структур DICE and DICE\_GR как минимум на три порядка ниже, чем показатели структур СОЗУ 6T and 6T\_GR.

Исходя из приведенных результатов при проектировании DARE65T используются следующие методы парирования ОС:

- ограничение минимального расстояния между активными структурами DICE-триггеров и элементов СОЗУ (для парирования двойных сбоев);
- запрет «горячих» (hot) МОП-транзисторов (в которых карман транзистора не подключен к питанию или «земле»);
- увеличение нагрузочной способности (drive strength) элементов стандартных ячеек, особенно при проектировании ячеек с повышенной стойкостью к переходным ионизационным реакциям (SET hardening);
- фильтр ячейки переходных ионизационных реакций (SET);

- DICE-триггеры в составе библиотек стандартных ячеек.

## БИБЛИОТЕКИ ПЛАТФОРМЫ DARE65T

Как уже отмечалось, DARE65T – это аналого-цифровая платформа, состоящая из библиотек стандартных цифровых ячеек, классических и высокоскоростных ячеек ввода-вывода, аналоговых СФ-блоков и блоков памяти, предназначенная для проектирования радиационно-стойких СБИС космического применения.

Общие параметры DARE65T:

- рабочий температурный диапазон: от –55 до 125 °С;
- напряжения питания стандартных цифровых ячеек: 1,2 В ±10%;
- напряжение питания схем ввода-вывода: 1,8; 2,5; 3,3 В ±10%.

## Аналоговый дизайн-кит DARE65T

Аналоговый дизайн-кит – DARE65T\_ADK – это набор программ автоматизированных проверок выбранных правил проектирования для парирования радиационных эффектов при проектировании схем на транзисторном уровне. DARE65T\_ADK должен использоваться совместно со стандартным PDK TSMC TS65LP. DARE65T\_ADK, интегрированный с ПО Virtuoso (Cadence), состоит из трех основных компонентов:

- проверка схемотехнических правил проектирования;
- проверка топологических правил проектирования;
- среда моделирования эффектов переходных ионизационных реакций, вызванных попаданием ТЗЧ (SET simulation).

Схемотехнические и топологические проверки обеспечивают автоматизированную верификацию правил проектирования и методов повышения радиационной стойкости, перечисленных выше. Так, схемотехнические проверки выдают сообщения об ошибке [4] в следующих случаях:

- ширина канала 1,2-В транзистора меньше минимально разрешенной;
- ширина канала 2,5-В транзистора меньше минимально разрешенной;
- использованы «горячие» (hot) n- или p-канальные МОП-транзисторы.

Схемотехнические проверки выдают предупреждения еще в некоторых случаях [4]: если, например, применена несогласованная модель транзистора или полупроводниковый прибор не из списка рекомендованных (DARE65 использует не весь набор полупроводниковых приборов, изготавливаемых в рамках процесса TSMC 65 LP, а только рекомендованные к применению).

Топологические проверки, реализованные на основе ПО Calibre, выдают сообщения об ошибке, например в следующих случаях [4]:

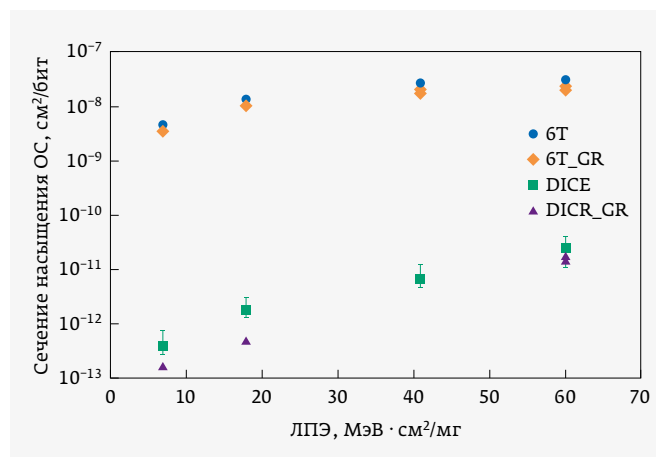


Рис. 5. Сечение насыщения ОС в зависимости от значения ЛПЭ для четырех типов структур СОЗУ [2]

- поликремний пересекает области NTAP или PTAP;
- n-карманы, подключенные к различным цепям, не изолированы охранным кольцом типа p<sup>+</sup>;
- активные области типа n<sup>+</sup> с утечками к n-карману;
- p-карманы не изолированы охранным кольцом типа n<sup>+</sup>.

Еще один важный аспект при проектировании аналоговых и аналого-цифровых схем космического применения – проверка узлов схем на влияние эффектов переходных ионизационных реакций, вызванных попаданием ТЗЧ (SET simulation). В DARE65T\_ADK входит набор библиотечных элементов, упрощающих проведение такого моделирования в среде Virtuoso ADE [5]. Данный набор состоит из следующих элементов [5]:

- SET striker (Verilog-A-модель) – имитатор воздействия ТЗЧ, который позволяет эмулировать одиночную переходную ионизационную реакцию в узле схемы;
- Deepprobe – позволяет упростить сохранение и отображение напряжений и токов в цепи или узле микросхемы;
- Periodic SET striker – имитатор воздействия ТЗЧ с определенным периодом, который позволяет также сократить количество используемых элементов SET striker.

В [5] более детально описывается применение вышеописанного набора библиотечных элементов платформы DARE65T.

## Библиотека стандартных цифровых ячеек DARE65T\_CORE

Библиотека стандартных цифровых ячеек объединяет в себе ряд комбинационных ячеек, комбинационных ячеек с увеличенной стойкостью к переходным ионизационным реакциям, стойких и нестойких к ОС триггеров.

Таблица 1. Параметры библиотеки DARE65T\_CORE

Параметр	Значение
Количество ячеек	102
Усредненная плотность	344 тыс. вентиляей/мм <sup>2</sup>
Шаг сетки	0,2 мкм
Высота ячеек	12 шагов сетки
Поддержка нескольких пороговых напряжений	SVt, HVt, LVt

Библиотека разработана с учетом оптимального соотношения стойкости к ОС и занимаемой площади. Основные показатели библиотеки приведены в табл. 1.

Библиотека DARE65T\_CORE характеризуется производительностью, аналогичной стандартной библиотеке TSMC 65 nm LP 9Track, с приемлемым увеличением площади. Например, у ячейки DARE65 NAND2 аналогичное время задержки при площади, в полтора раза превышающей площадь ячейки стандартной библиотеки TSMC 65 nm LP 9Track. У элемента EXORD1 одинаковые время задержки и площадь по сравнению со стандартной библиотекой. В состав DARE65\_CORE входят как триггеры, стойкие только к ТЭ и эффекту накопленной дозы, так и стойкие ко всем трем факторам, включая ОС (DICE-триггер). Триггер, стойкий только к ТЭ и эффекту накопленной дозы, больше в два раза по площади по сравнению с элементом стандартной библиотеки, в то время как DICE-триггер в 2,5 раза больше нестойкого к ОС триггера при аналогичной производительности. Такое увеличение площади объясняется, в частности, необходимостью соблюдения минимального расстояния между активными областями чувствительных элементов триггера. На рис. 6 приводится сравнение площади DICE-триггера и обычного триггера библиотеки DARE65T\_CORE.

Библиотека цифровых ячеек DARE65T, подобно стандартным библиотекам, состоит из трех наборов ячеек с различными пороговыми напряжениями (SVt, LVt, HVt). Разработаны два варианта библиотек стандартных цифровых ячеек, оптимизированные с точки зрения пониженной потребляемой мощности (в основном статической) и повышенной производительности. В табл. 2 приведены все типы ячеек, входящих в состав библиотеки DARE65T\_CORE.

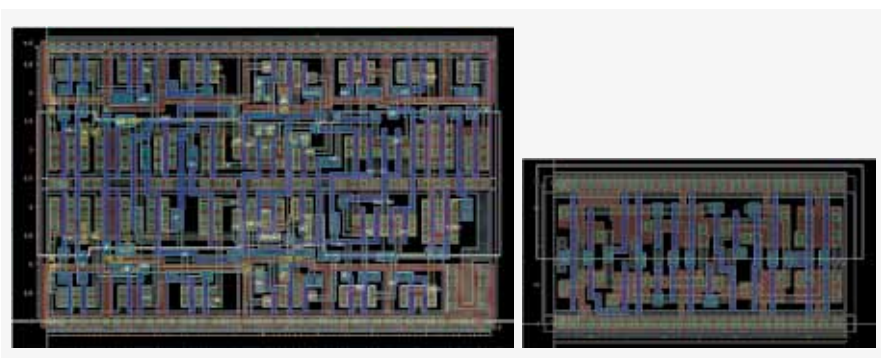


Рис. 6. DICE-триггер (слева) и обычный триггер (справа) библиотеки DARE65T\_CORE

## Библиотека CO3Y DARE65T\_SRAM

В рамках платформы DARE65T создан набор блоков одно- (SPRAM) и двухпортовой (DPRAM) памяти CO3Y. Библиотека DARE65T\_SRAM, разработанная на основе классических ячеек памяти с увеличенной стойкостью к ТЭ и эффекту накопленной дозы, оптимизирована по занимаемой площади и потребляемой мощности.

Блоки памяти предусматривают предотвращение множественных сбоях в одном слове памяти (MBU), что стало возможным благодаря размещению на определенном минимально допустимом расстоянии соседних логических разрядов слов памяти. Так, например, каждые соседние логические разряды в случае блока с 16-разрядной словарной организацией разнесены друг от друга минимум на 15 мкм. Таким образом, применение на системном уровне СБИС классических корректирующих кодов, исправляющих одну ошибку, позволит избавиться от ОС памяти.

Площадь ячейки SPRAM-памяти – 1,9×1,85 мкм<sup>2</sup>. Как видно на рис. 7, ячейка имеет замкнутые охранные кольца вокруг n-канальных МОП-транзисторов для предотвращения ТЭ и повышения стойкости к эффектам накопленной дозы. Кроме того, исходя из результатов испытаний упомянутых выше тестовых структур в целях уменьшения занимаемой площади может быть разработана ячейка с разорванными охранными кольцами. Это позволит уменьшить занимаемую площадь приблизительно в 1,5 раза без существенного снижения радиационной стойкости.

Ячейка двухпортовой памяти DARE65T DPRAM занимает площадь 1,9×2,75 мкм<sup>2</sup>.

## Библиотека ячеек ввода-вывода DARE65T\_IO

Библиотека ячеек ввода-вывода включает в себя набор цифровых и аналоговых ячеек типа pad limited – данный тип ячеек используется при проектировании СБИС, размеры которых определяются количеством контактных площадок. Как и DARE65T\_CORE, библиотека DARE65T\_IO спроектирована с учетом стойкости к возникновению

ТЭ. Цифровые ячейки ввода-вывода отличаются повышенной стойкостью к эффектам переходных ионизационных реакций, вызванных попаданием ТЗЧ (SET hardened), в целях предотвращения сбоев цифровой части СБИС. Для цифровых ячеек ввода-вывода характерны следующие функциональные особенности:

- «холодный резерв»;
- контроль скорости нарастания / спада фронтов;
- программируемые нагрузочные (pullup, pulldown) резисторы.

В состав DARE65T\_IO входят широкий набор выходных и двунаправленных цифровых ячеек ввода-вывода, оптимизированных для различных выходных токов. Ячейки подключения питания и земли, разрыва колец питания и земли, угловые ячейки также представлены в составе библиотеки, что позволяет создавать микросхемы с независимыми доменами питания.

Библиотека DARE65T\_IO разработана на основе 2,5-В транзисторов с возможностью увеличения питания до 3,3 В. Библиотеки разработаны и оптимизированы для номинальных значений напряжения питания 3,3 В, 2,5 В и 1,8 В.

### Библиотеки DARE65T\_SSTL & LVDS

Для реализации высокоскоростных интерфейсов наряду с ячейками ввода-вывода LVDS-типа в рамках платформы созданы ячейки типа SSTL с напряжением питания 1,8

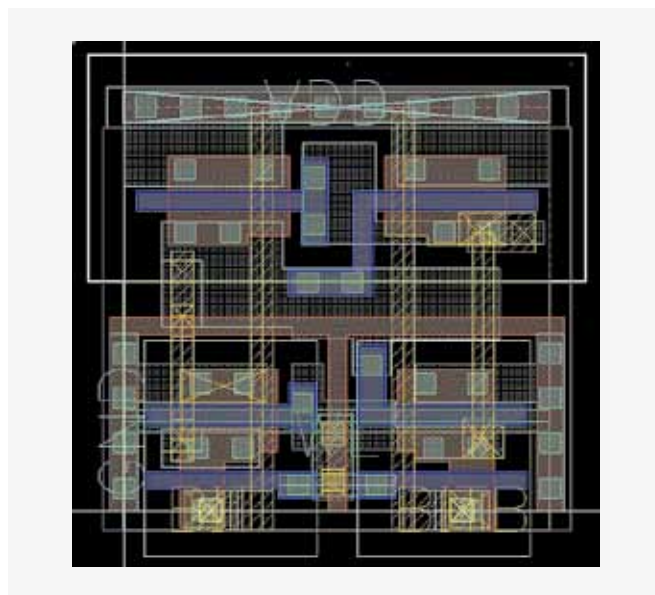


Рис. 7. Ячейка памяти DARE65T SPRAM

и 1,5 В (для проектирования соответственно интерфейсов DDR2 и DDR3).

Библиотека DARE65T\_SSTL состоит из следующих элементов:

- SSTL\_VREF – ячейка опорного напряжения;
- SSTL\_RX\_SE – однополярный SSTL-приемник;

Таблица 2. Типы ячеек библиотеки DARE65T\_CORE

Тип	Количество
Комбинационные ячейки без увеличенной стойкости к переходным ионизационным реакциям	52
Комбинационные ячейки с увеличенной стойкостью к переходным ионизационным реакциям – 25 МэВ·см <sup>2</sup> /мг	7 <sup>1</sup>
Комбинационные ячейки с увеличенной стойкостью к переходным ионизационным реакциям – 40 МэВ·см <sup>2</sup> /мг	7 <sup>1</sup>
Комбинационные ячейки с увеличенной стойкостью к переходным ионизационным реакциям – 60 МэВ·см <sup>2</sup> /мг	7 <sup>1</sup>
Триггеры, не стойкие к ОС	9
Стойкие к ОС триггеры <sup>2</sup>	5
Антенные ячейки	1
Подтяжка к «1» (T1EN) и к «0» (T1EL)	2
Нестойкие к ОС ячейки запрета подачи тактовых сигналов (clock gating)	1
Стойкие к ОС ячейки запрета подачи тактовых сигналов (clock gating)	3
Ячейки фильтров	8

<sup>1</sup> Включая мажоритарный элемент с увеличенной стойкостью к переходным ионизационным реакциям.

<sup>2</sup> Минимальное пороговое значение ЛПЭ стойкости к ОС 60 МэВ·см<sup>2</sup>/мг.

Таблица 3. Первые аналоговые блоки DARE65T

Блок	Основные параметры
DARE65T_PLL	Диапазон выходной частоты 200–1200 МГц Диапазон опорных частот 2,5–32 МГц Напряжение питания 1,2 В
DARE65_IVREF	Напряжения питания 1,2 и 2,5 В Выходное опорное напряжение 0,6 В Выходной опорный ток Точность (до подстройки) $\pm 2,5\%$
DARE65_ADC	Разрешение 10 бит Интегрированный температурный датчик Частота выборки 10 кГц Напряжение питания 1,2 В
DARE65_POR	В разработке

- SSTL\_RX\_DIFF – дифференциальный SSTL-приемник;
- SSTL15\_RXTX\_SE – однополярный приемопередатчик SSTL-15;
- SSTL15\_RXTX\_DIFF – дифференциальный приемопередатчик SSTL-15;
- SSTL15\_ZQ – ячейка автокалибровки входного импеданса SSTL-15;
- SSTL18\_RXTX\_SE – несимметричный приемопередатчик SSTL-18;
- SSTL18\_RXTX\_DIFF – дифференциальный приемопередатчик SSTL-18;
- SSTL\_VDDIV2 – питание ядра;
- SSTL\_VSSIV2 – земля ядра;
- SSTL\_VDDIV8 – питание схем ввода-вывода (1,5 и 1,8 В);
- SSTL\_VSSIV8 – земля схем ввода-вывода;
- SSTL\_POC – ячейка для генерации сброса при включении питания;
- SSTL15\_DLL – программируемая линия задержки.

Все ячейки разработаны в соответствии со стандартами JEDEC: JESD79-2F (DDR2/SSTL18) и JESD79-3F (DDR3/SSTL15). Максимальная скорость передачи данных 800 Мбит/с.

В состав библиотеки DARE65T\_LVDS входят приемник и передатчик, реализованные на основе 2,5-В транзисторов с возможностью увеличения питания до 3,3 В, что позволяет им функционировать при напряжении питания 2,5 и 3,3 В со скоростью передачи данных до 400 Мбит/с (200 МГц).

## ПЕРВЫЕ АНАЛОГОВЫЕ БЛОКИ И ПЕРСПЕКТИВЫ DARE65T

В рамках платформы разработан ряд базовых аналоговых радиационно-стойких СФ-блоков. В табл. 3 перечислены

основные параметры начального набора блоков.

Следующий шаг в создании платформы DARE65T – разработка, изготовление и испытания тестового кристалла, включающего все описанные библиотеки и блоки. Последующие измерения электрических параметров и испытания на определение уровня радиационной стойкости позволят проверить примененные при проектировании платформы технические решения.

Дальнейшие работы по расширению функциональных возможностей платформы подразумевают создание решений в области высокоскоростных интерфейсов. Наиболее интересными представляются следующие варианты развития платформы:

- радиационно-стойкая энергонезависимая память (antifuse или подобные им);
- радиационно-стойкие высокоскоростные интерфейсы (например, RapidIO, PCIe, JESD204 или мультистандартный SerDes);
- DDR2- и DDR3-интерфейсы и контроллеры;
- высокопроизводительные АЦП и ЦАП.

## ЛИТЕРАТУРА

1. **Bonacini, Valerio P., Avramidou R., Ballabriga R., Faccio F., Kloukinas K., Marchioro A.** 2012 JINST 7 P01015. Characterization of a commercial 65 nm CMOS technology for SLHC applications.
2. **Gorbunov M.S., Member, IEEE, Dolotov P.S., Student Member, IEEE, Antonov A.A., Zebrev G.I., Emeliyanov V.V., Member, IEEE, Boruzhdina A.B., Petrov A.G., Ulanova A.V.** Design of 65 nm CMOS SRAM for Space Applications: A Comparative Study (2004, August).
3. **Verhaegen S., Franciscatto G., Berti L.** DARE65. Mitigation Methods and Design Tools Study Report (2017, September).
4. **Verhaegen S.** DARE65T Internal PDK User Manual (2018, April).
5. **Verhaegen S., Sijbers W., Pollissard G., Bertil L., Franciscatto G., Wouters J., Thys G.** DARE SET Simulation Flow Integrated in Virtuoso ADE L/XL Design Environment (2018, May).
6. **Franciscatto G., Geukens E., Thys G., Redant S., Geerts Y., Fossion M., Van Esbeen A.** DARE180X: A 0.18  $\mu\text{m}$  mixed-signal radiation-hardened library for low-power applications.
7. **Verhaegen S., Franciscatto G., Berti L.** DARE65. Mitigation Methods and Design Tools Study Report (2017, September).