

# РЕШЕНИЯ SDR ДЛЯ АППАРАТУРЫ WiMAX ПЛИС, DSP ИЛИ НЕЧТО ИНОЕ?

Термином **Software-Defined Radio (SDR)** обозначают цифровые системы радиосвязи, в которых задачи обработки сигнала решаются в основном программными средствами. Главное преимущество SDR-устройств — добавлять новые опции и протоколы можно с помощью простой замены программного обеспечения (ПО). Однако разработка таких систем требует соответствующей платформы. Традиционные реализации, основанные на FPGA или DSP, уступают инновационному подходу фирмы **ricoChip**: массиву процессорных элементов.

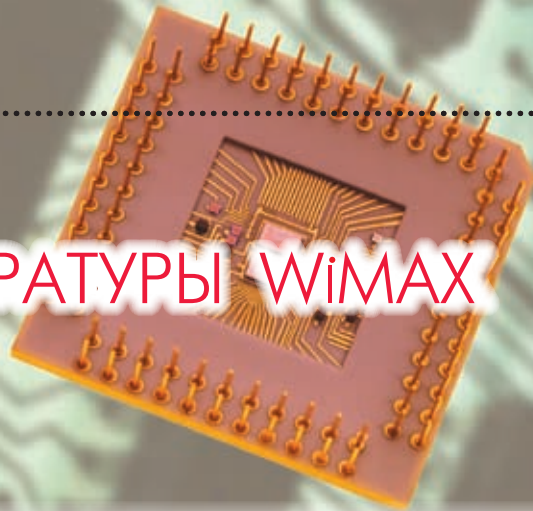
## ТРАДИЦИОННЫЕ SDR-РЕШЕНИЯ

Применение SDR обеспечивает соответствие постоянно развивающимся стандартам, снижает стоимость изделия и затраты на его разработку. Кроме того, повышается гибкость устройств — на одной плате можно создать устройство с поддержкой физических уровней (PHY) различных протоколов беспроводной связи (WCDMA, WiMAX\*, TD-SCDMA).

Неудивительно, что SDR задействуются для реализации PHY беспроводных сетей связи масштаба города [1] WiMAX. Стандарт предусматривает передачу данных посредством OFDM-модуляции с помехоустойчивым каскадным кодированием (сверточный код с декодированием по алгоритму Витерби и код Рида-Соломона). В ближайшем будущем ожидается массовое внедрение адаптивных антенных (AAS) и MIMO (Multiple Input – Multiple Output) систем.

Физический уровень включает прием/передачу данных, модуляцию, синхронизацию, кодирование и т.д. Как правило, применяемые SDR строятся на основе DSP (Texas Instruments TMS320TC6482 [2]) или ПЛИС FPGA (Altera Stratix II [3], Xilinx

\*WiMax (Worldwide interoperability for Microwave Access) — спецификации для беспроводных сетей, которые разрабатываются объединением ведущих телекоммуникационных компаний WiMax Forum и в реализации радиointерфейса опираются на стандарт IEEE 802.16 WirelessMAN-OFDM/OFDMA передачи данных в полосе частот 2–11 ГГц с частотной модуляцией методом ортогональных несущих (Orthogonal Frequency Division Multiplexing, OFDM).



А.Койнов  
akoynov@infinetwireless.com

Virtex4 (5) [4]). В первом случае упрощается процесс написания и отладки ПО, но падает эффективность реализации битовых алгоритмов. Дело в том, что многие архитектуры процессоров общего назначения и DSP оперируют словами фиксированного размера (8, 16, 32 бит и т.д.). Поэтому, при обращениях к битам их нужно извлекать (а затем и упаковывать обратно) операциями сдвига. При этом последовательная структура ядра не позволяет выполнять параллельно несколько битовых операций или других команд. Особенно это влияет на эффективность рекурсивных алгоритмов, таких как декодер Витерби.

На ПЛИС можно гибко распределять ресурсы системы: производить параллельные вычисления, учитывать разрядность входных аргументов и нужную точность на выходе при создании модулей. Однако сроки выполнения проекта на FPGA длительнее по сравнению с DSP-подходом, к тому же программирование на уровне элементарных вычислительных механизмов более трудоемкое и требует особой квалификации.

Оба варианта решений несовершенны, что вынуждает производителей беспроводных систем искать альтернативные подходы к созданию SDR. Один из них — совместное использование DSP и FPGA (рис.1). Например, один из сигнальных процессоров может выполнять подготовку данных к передаче, другой — обеспечивать прием, синхронизацию и восстановление данных. А на FPGA следует реализовать наиболее ресурсоемкие функции приемника и передатчика (алгоритмы декодирования Витерби, шифрование, корреляторы).

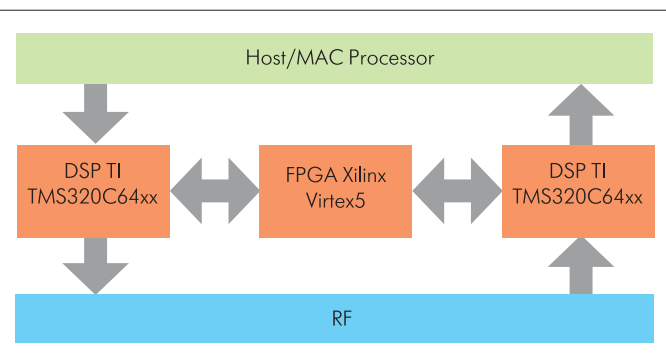


Рис.1. Совместное использование DSP и FPGA

Данный подход представляется работоспособным, но не оптимальным. Во многом увеличение пропускной способности системы зависит от способа обмена данными с FPGA. Кроме того, вся цепочка обработки данных не реализуется в одном программном процессе, а это усложняет ПО.

### АЛЬТЕРНАТИВНОЕ РЕШЕНИЕ ОТ picoChip – АРХИТЕКТУРА picoArray

Другой подход разработки SDR применяет компания picoChip [5], производитель системных решений для абонентских и базовых станций (БС). Аппаратная основа устройств picoChip – цифровые процессоры PC102 (PC20x) на архитектуре picoArray (рис.2), которая изначально проектировалась для реализации физических уровней CDMA, UMTS, WiMAX.

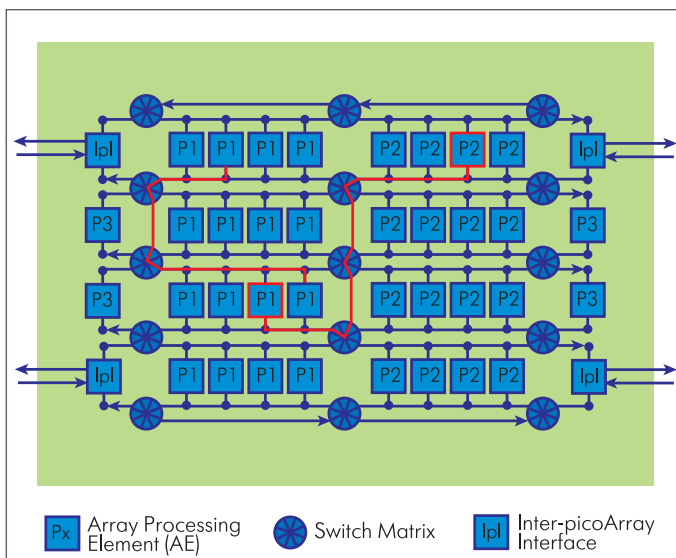


Рис.2. Структура picoArray

Разработчики отказались от универсальных вычислительных средств в SDR и создали многопроцессорную ИС, объединяющую сотни процессорных элементов в единый массив. Элементы оптимизированы для задач цифровой обработки сигналов (ЦОС) и алгоритмов беспроводной связи. Производительность повышается и за счет конвейеров (pipeline) и параллельных вычислений алгоритмов на нескольких элементах. Для описания конфигурации системы в этой архитектуре используют модификацию языка VHDL – Structural VHDL.

Таблица 1. Типы элементов массива picoArray

Элемент массива	Тип элемента массива	Назначение	Память, байт	Число АЕ на кристалле (для PC102)
16-битный процессор	Стандартный (Standard)	Работа с основным потоком данных. Содержит MAC-блок	768	240
	Память (Memory)	Локальное управление и буферизация. Содержит больше памяти и умножитель	8704	64
	Управляющий (Control)	Глобальное управление и буферизация. Содержит наибольший объем памяти и умножитель	65536	4
Сопроцессор	Функциональный ускоритель (Functional Accelerator Unit, FAU)	Аппаратный ускоритель для построения коррелятора или декодера Витерби	–	14

PicoArray – это массив процессоров (Array Elements, АЕ) и аппаратных ускорителей, соединенных широкополосной шиной (picoBus). АЕ представляет собой 16-битный RISC-процессор с длинными словами команд (Long instruction word, LIW) по 64 бит и отдельной памятью данных и программ, портами конфигурации и доступа к picoBus (рис.3).

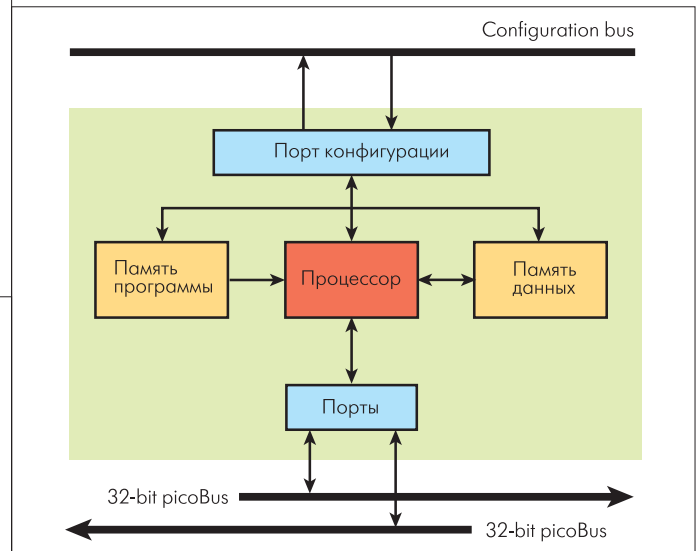


Рис.3. Структура АЕ

Процессоры отличаются функциональными возможностями. Те, что снабжены модулем умножения и большим объемом памяти, оптимизированы для функций управления БС (табл.1).

LIW-ядро процессорного элемента (рис.4) позволяет исполнять до трех инструкций за один такт. Благодаря такой структуре, каждый (из сотен!) АЕ не уступает в производительности DSP TMS320C55xx от Texas Instruments, которые выполняют до 9,6 млрд. операций в секунду (GIPS) при частоте 600 МГц.

АЕ передают данные через picoBus методом временного мультиплексирования (Time Division Duplex, TDD) по 32 бита за временной интервал, с маршрутизацией по принципу коммутации каналов. Разработчик ПО описывает конфигурацию портов АЕ (чтение или запись), соединения между АЕ (в терминологии picoChip – сигналы) и периодичность передачи данных по ним. Далее, на этапе сборки проекта, указанные порты и сигналы сопоставляются с портами

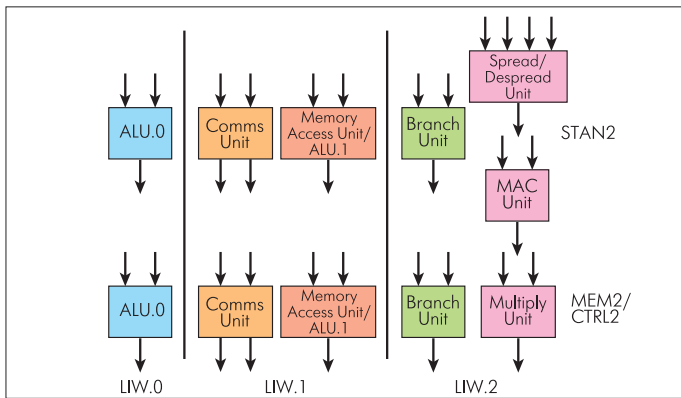


Рис.4. Структура ядра AE

конкретных AE, резервируются временные интервалы picoBus и конфигурируются матрицы переключателей (Switch Matrix). Таким образом, обмен данными регулируется компилятором и определяется при сборке проекта. Шина с подобным статическим планированием не требует арбитража: соответственно, процесс верификации и интеграции системы упрощается по сравнению с традиционными DSP с динамическим планированием. Механизм прерываний не предусмотрен, поэтому работа AE синхронизируется только обменом данных.

Важное преимущество данной платформы – возможность соединить до нескольких десятков picoArray-процессоров с помощью интерфейсов IPI (Inter-picoArray Interface, IPI) и программировать их как единую группу. Правда, объединяют обычно не больше 16 процессорных массивов, поскольку имеются ограничения на время распространения сигнала синхронизации и на количество устройств на плате.

Кажется, что создать ПО для такой системы чрезвычайно сложно. Однако принципиальное отличие от процесса разработки ПО обычных процессорных систем – появление обязательного этапа структурирования, разбиения задачи на блоки и планирования задействования ресурсов (памяти, временных интервалов picoBus и т.п.).

Язык описания системы и ее компонентов предусматривает вставки кода на языке Си и LIW-ассемблере. Для разработки и отладки проектов предоставляется система picoTools (рис.5), в которую входят:

- препроцессор picoElaborator и основанный на GCC компилятор C Compiler;
- утилита picoPartition для распределения программных модулей между микросхемами, составляющими матрицу picoArray, или несколькими picoArray;
- утилита picoPlastic (Place and Switch to IC), которая в автоматическом режиме назначает программным модулям процессоры для исполнения, планирует использование picoBus и взаимодействие с IPI;
- отладчик проекта picoDebugger для мониторинга состояния AE и их сигналов, пошагового выполнения проекта, установки точек останова и т.п. Работает в режимах программного симулятора и аппаратного эмулятора.

Пример описания системы на Structural VHDL

```
entity Example is -- Объявление системы
end;
architecture STRUCTURAL of Example is -- Задание структуры системы
    signal valueChannel: integer32@8; -- Один 32-битный сигнал
begin
    producerObject: entity Producer -- ...соединяет Producer
        port map (channel=>valueChannel);
    consumerObject: entity Consumer -- ...с Consumer
        port map (channel=>valueChannel);
end;
```

Пример написания программ для AE на Си и ассемблере

```
entity Producer is -- Объявление Producer
    port (channel:out integer32@8); -- Модуль имеет 32-битный выходной -- порт
end entity Producer; -- со скоростью, равной 1/8 полосы пропускания -- picoBus

architecture ASM of Producer is -- Описание Producer на ассемблере
begin MEM -- Модуль использует процессор типа MEM
    CODE -- Начало блока с текстом программы
    COPY.0 0,R0 \ COPY.1 1,R1 -- Ассемблер позволяет явно задавать
loopStart: -- инструкции, исполняемые параллельно
    PUT R[0,1],channel \ ADD.0 R0,1,R0 -- Команда PUT отправляет данные в
    BRA loopStart -- порт channel
    ENDCODE; -- Конец блока с текстом программы
end; -- Конец описания Producer
```

Сначала проект (программный код и описание системы в формате VHDL) поступает на препроцессор, далее компилируется и преобразуется в ассемблер AE. После этого происходит распределение (partitioning) программных модулей между массивами системы. На следующем этапе (Place and Switch) программные модули, отведенные данному picoArray, привязываются к конкретным AE. Затем назначаются временные интервалы сигналам AE и конфигурируются матрицы переключателей picoBus. Запуск и отладку проекта можно производить как в программном симуляторе, так и на реальной аппаратной платформе.

ОТ АРХИТЕКТУРЫ – К ПРОЦЕССОРАМ ЦОС...

Коммуникационные процессоры, построенные на архитектуре picoArray, сочетают в одном устройстве вычислительную мощь FPGA с удобством программирования DSP. Другое их достоинство – снижение потребления питания и расходов на инфраструктуру систем WiMax и 3G. Первый процессор с массивным параллелизмом, PC101, производил до 30 млрд.

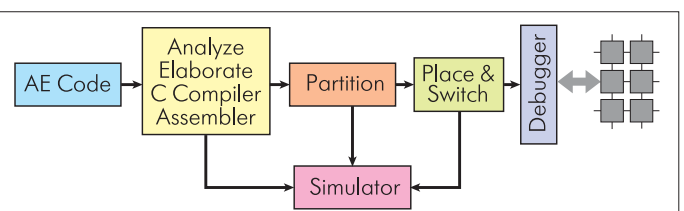


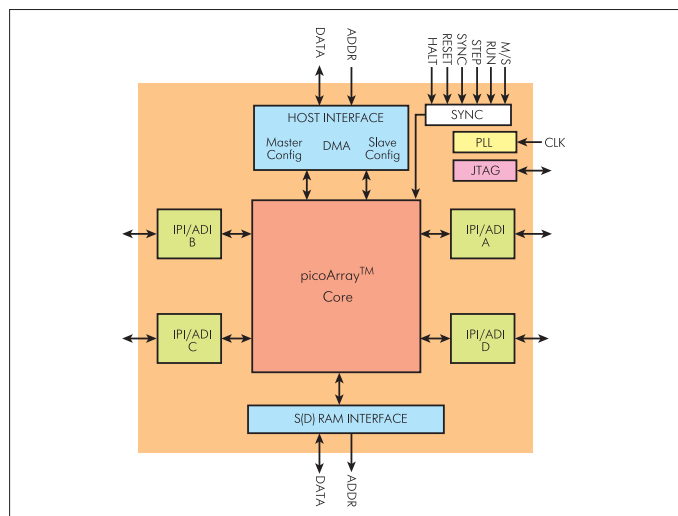
Рис.5. Средства разработки ПО для picoArray



операций умножения с накоплением (MAC-операций) в секунду при частоте 160 МГц. Для разработки PC102 (рис.6) специалисты Synopsys предоставили САПР, оптимизированную для проектов picoChip. Благодаря этому PC102 превосходит по характеристикам своего предшественника.

Периферия PC102 включает:

- host-интерфейс для коммуникации с процессором общего назначения – набор регистров и четыре канала прямого доступа к памяти (Direct Memory Access, DMA);
- интерфейс внешней памяти, можно подключать 8 Мбайт SRAM или 128 Мбайт SDRAM;
- асинхронные интерфейсы (Asynchronous Data Interface, ADI) для подключения АЦП/ЦАП и интерфейсы IPI.



**Рис.6. Структура процессора PC102**

На смену PC102 приходит новая линейка picoArray-процессоров – PC202, PC203, PC205 (табл.2). Основные преимущества – улучшенная номенклатура аппаратных ускорителей и встроенный процессор общего назначения ARM9 (в моделях PC202 и PC205). ARM9, выполняющий сложный управляющий код, позволяет создавать недорогие "одночиповые" абонентские и микробазовые станции (БС на небольшое число абонентов). Причем для реализации базовой конфигурации PHY 802.16e достаточно одного PC203/205 вместо двух PC102.

**Таблица 2. Характеристики picoArray серии PC20x**

Устройство	Число процессоров в picoArray	Число MAC-операций в секунду (GMAC/s)	GIP/s	Частота встроенного процессора ARM9	Аппаратные ускорители	Применение
PC202	248	31	230	280 МГц	БПФ, сверточный турбо кодер/декодер, декодер Витерби, кодер/декодер Рида-Соломона, шифрование (DES, 3DES, AES)	Клиентское оборудование WiMax, БС и точки доступа 3G
PC205	248	31	230	280 МГц	Те же, что и в PC202, но рассчитанные на прохождение потока данных 40 Мбит/с, вместо 8 Мбит/с у PC202	Узлы беспроводных сетей с динамической топологией (Mesh networks), ретрансляторы, микробазовые станции
PC203	248	31	230	Отсутствует	Те же, что и в PC205	Высокопроизводительные базовые станции WCDMA, 802.16.

## Характеристики PC102

- Число 16-битных LIW RISC-процессоров – 308
- Число аппаратных ускорителей – 14
- Частота процессора – 160 МГц
- Пиковая производительность – 197,1 GIPS
- Суммарная пропускная способность шины picoBus – 3,3 Тбит/с
- Максимальное количество MAC-операций в секунду – 38,4 G-MACS
- Скорость picoBus – 5,12 Гбит/с
- Емкость встроенного ОЗУ – 1003 Кбайт
- Емкость внешнего SRAM (SDRAM) – 8 (128) Мбайт
- Скорость доступа к SRAM/SDRAM – 40/80/160 МГц
- Производительность каналов DMA – 4 \* 2,24 Гбит/с
- Производительность интерфейса IPI – 4 \* 2,56 Гбит/с
- Производительность асинхронных интерфейсов ADI – 8 \* 2,4 Гбит/с

## ...И ПОЛНОЦЕННЫМ ТЕЛЕКОММУНИКАЦИОННЫМ ПЛАТФОРМАМ

На основе PC102 и PC20x компания picoChip разработала ряд аппаратных и программных платформ. Диапазон решений широк: от приложений WiMax до фемтосот (домашних БС) и пикосот в сетях WCDMA.

Для реализации физического и нижнего канального (Media Access Control, MAC) уровней WiMax IEEE802.16e-2005 OFDMA поставляется программный прототип (Reference design) PC8530. Кроме обязательных опций стандарта он поддерживает сверточные турбокоды (Convolutional Turbo Code, CTC) и метод контроля ошибок Hybrid ARQ, множество режимов для соединения с различными ВЧ-интерфейсами. Программный интерфейс приложений (Application Programming Interface, API) упрощает интеграцию PHY- и MAC-уровней. Для управления и передачи данных API предусмотрен host-интерфейс. Библиотеки PC8530 содержат верифицированный программный код, оптимизированный для процессоров PC102 и PC203.

Аппаратной платформой для PC8530 является прототип PC7218 – SDR с поддержкой 802.16-2004, 802.16e, WiBro\*. PC7218 включает два процессора PC102 (или один PC203), процессор общего назначения Freescale MPC8560 для опе-

\*WiBro – Wireless Broadband – разработанная в Корее технология широкополосного Интернет-доступа с мобильных телефонов. Предусматривает временное разделение каналов (TDD) и OFDMA для множественного доступа при полосе пропускания 8,75 МГц и HSDPA (High-Speed Downlink Packet Access)



**Таблица 3. Продукция компании picoChip для сетей WCDMA**

Продукт	Дальность	Мобильность	Число пользователей	Применение	Нисходящий поток	Восходящий поток
PC8208 (фемтосоты)	200 м	10 км/ч	4	Жилые помещения, небольшие офисы	7,21 Мб/с 12,2 кб/с (голос)	Ожидается усовершенствование до HSUPA 12,2 кб/с (голос)
PC8218 (пикосоты)	300 м	10 км/ч	32	Точка доступа "hot spot" в отелях, аэропортах, и т.д.	13,98 Мб/с	С возможностью обновления до HSUPA
PC8228 (микросоты)	1000 м	до 120 км/ч с максимальной загрузкой	32	Городские точки доступа "hot spot"	13,98 Мб/с	С возможностью обновления до HSUPA

раций MAC-уровня; криптопроцессор HiFn 7955 (алгоритмы шифрования DES, 3DES, AES), порты Ethernet 10/100/1000. В качестве опционного расширения PC7218 поставляется аналоговая плата для соединения с популярными ВЧ-интерфейсами.

Также PC8530 работает на аппаратной платформе PC7205 – в прототипе системного решения PC6530. В нем реализованы как физический (PC205), так и канальный (программная реализация PC2530) уровни WiMAX IEEE 802.16e. PC6530 идеально подходит для БС с небольшим числом пользователей, обладает улучшенными характеристиками приема. Аппаратное обеспечение (PC7205) включает PC205, модули шифрования, помехоустойчивого кодирования и БПФ, 128 Мбайт SDRAM, порт Ethernet 10/100 и два порта RS232, три аналоговых порта для ВЧ-интерфейсов. Отметим дополнительную опцию синхронизации фемтосоты с помощью IP соединений, соответствующую IEEE 1588 (Precise Time Synchronization as the Basis for Real Time Applications in Automation). С платформой поставляется полный набор средств разработки ПО для ОС Linux. Дополнительно к PC7205 прилагаются платы для создания аналоговых I/Q интерфейсов или подключения готовых ВЧ-решений (Radio Card Connector, RCC): ARCC (PC7110) и Analog Devices AD935X.

Операторов сотовой связи все больше интересуют домашние БС WCDMA, и здесь picoChip – ведущий поставщик прототипов модемов. Так, ПО PC8208 служит для построения базовых передающих станций (Base Transceiver Station, BTS) в жилых и офисных помещениях. Реализованная на нем фемтосота обслуживает до 4 пользователей в радиусе 200 м и обеспечивает скорость 7 Мбит/с по протоколу HSDPA. Более совершенная модификация PC8208 – прототип PC8209 – предоставляет скоростной доступ и по восходящему каналу (HSUPA). Кроме того, picoChip планирует выпустить программные прототипы PC8218 и PC8228 (рассчитанные на два PC203) для пикосот и микросот соответственно (табл.3).

Сейчас компания работает с производителями беспроводных решений над созданием точек доступа в жилых

помещениях не только для сетей WCDMA (Wideband Code Division Multiple Access), но и CDMA2000, GSM, и WiMAX.

Архитектура picoArray, к сожалению, также не лишена недостатков. Так, реализация PHY WiMAX на picoArray не поддерживает профили\* с шириной канала более 10 МГц, во многом из-за невысокой тактовой частоты. Это ограничивает максимальную скорость передачи данных в радиоканале до 37 Мбит/с. Тем не менее, решения picoChip для построения SDR обладают производительностью, ранее недостижимой в данной ценовой и массогабаритной категории. На базе аппаратных и программных решений picoChip созданы системы Airspan, Intel, Ericsson, Nortel, InfiNet Wireless и др. Параллелизм архитектуры picoArray в сочетании с детерминированной шиной и простотой RISC-процессоров гарантирует выполнение приложений с эффективностью на уровне теоретического максимума.

**ЛИТЕРАТУРА**

1. Air Interface for Fixed Broadband Wireless Access Systems. IEEE Std 802.16™-2004.
2. WiMAX Infrastructure Solutions from Texas Instruments, <http://www.ti.com/wimaxwi>
3. Accelerating WiMAX System Design with FPGAs. White Paper. [http://www.altera.com/literature/wp/wp\\_wimax.pdf](http://www.altera.com/literature/wp/wp_wimax.pdf)
4. Xilinx Solutions for WiMAX/WiBro System Design, [http://www.xilinx.com/esp/wireless/bfwa/ieee\\_802\\_16.htm](http://www.xilinx.com/esp/wireless/bfwa/ieee_802_16.htm)
5. picoChip, <http://picochip.com>
6. Койнов А.В. Особенности реализации физического уровня WiMAX на SDR. Опыт использования SDR от picoChip. – В кн.: Материалы Второй Всероссийской научно-практической конференции форума WiMAX.

\* Профиль WirelessMAN-OFDM PHY стандарта IEEE 802.16-2004 – набор параметров приемника и передатчика модема. Включает ширину занимаемой полосы, спектральную маску канала, значения пакетов (burst profiles) с информацией о применяемых модуляциях и помехоустойчивом кодировании.