

СОВРЕМЕННЫЕ ТЕХНОЛОГИИ СХЕМОТЕХНИЧЕСКОГО МОДЕЛИРОВАНИЯ

СИСТЕМА AVOSpice КОМПАНИИ UniqueICs

Система схемотехнического моделирования AVOSpice компании UniqueICs (www.uniqueics.ru), базирующейся в Зеленограде, – один из самых быстрых Spice-симуляторов в мире на сегодняшний день. Технологии и научные разработки, применяемые в этой программе, идут в русле (в чем-то даже опережая) современных тенденций развития средств точного электрического моделирования СБИС. Мы продолжаем следить за этим продуктом*.

Для современной микроэлектроники характерно постоянное усложнение проектируемой элементной базы. Широкое распространение в последнее время получили сложные СБИС типа система на кристалле (SoC) и система в корпусе (SiP). Их доля уже сейчас составляет существенную часть от общего числа проектируемых интегральных схем и в дальнейшем ее рост будет продолжаться. На одном кристалле SoC одновременно могут размещаться большие цифровые блоки управления, аналоговые блоки обработки сигнала, различные датчики. Кроме того, при проектировании таких систем часто уже нельзя пренебрегать влиянием индуктивностей контактных площадок и выводов корпуса ИС. Основные проблемы, с которыми сталкиваются разработчики SoC, – высокая размерность системы и необходимость совместного моделирования блоков, описанных в виде различных математических моделей, в рамках этой системы.

Развитие средств поведенческой и функционально-логической верификации интегральных схем ультрабольшой степени интеграции (УБИС) позволило проектировать устройства, содержащие десятки миллионов транзисторов. Однако такое проектирование не является достаточно точным и, как следствие, результаты могут быть противоречивыми. Это приводит к необходимости оставлять большие "запасы", например по быстродействию. Для схем, разрабатываемых по технологии 90 нм и меньше, такой запас может быть двух-

*ЭЛЕКТРОНИКА:НТБ, 2004, №5, с.72-75, 2005, №4, с.68-69.



С. Кокин,
В. Перминов,
С. Макаров

или трехкратным. Получить работоспособные схемы, работающие на предельных характеристиках, например частотах, можно только применив более точные методы схемотехнического моделирования.

Использование средств схемотехнического моделирования для полной верификации проектов существенно повышает вероятность изготовления УБИС с заданными характеристиками и позволяет выявить области на кристалле, оптимизация которых обеспечит повышение быстродействия и/или улучшение других параметров схем.

РАЗВИТИЕ СРЕДСТВ СХЕМОТЕХНИЧЕСКОГО МОДЕЛИРОВАНИЯ

При оценке средств моделирования обычно выделяют два основных требования – производительность и достоверность получаемых результатов. Первое обусловлено необходимостью проектировать все более сложные изделия в коммерчески приемлемые сроки. Второе – необходимостью безошибочного проектирования, поскольку каждая ошибка разработчика может обойтись в сотни тысяч долларов.

Базовые математические методы и алгоритмы, используемые при автоматизации расчета электрических схем, были разработаны сравнительно давно. Однако поиск новых подходов в этой области идет постоянно при тесном взаимодействии разработчиков САПР и специалистов в области численного моделирования. На ранних этапах развития схемотехнического моделирования основными критериями были экономия машинной памяти и сокращение временных затрат. Со временем мощности вычислительных средств выросли, а стоимость оперативной памяти сильно упала. Однако размеры проектируемых схем также увеличились, и требования к САПР по сути остались прежними. Но изменились приоритеты. Сегодня на первый план, несомненно, вышла задача повышения производительности программ моделирования. Для ее решения в основном используются две группы методов: учет структурных особенностей проектируемых схем и использование упрощенных моделей элементов. Благодаря учету структурных особенностей схем можно значитель-



но повысить скорость моделирования и снизить объем необходимой оперативной памяти, но только для отдельных специальных типов схем, например схем памяти. Использование упрощенных моделей элементов в программах так называемого "FastSpice" быстрого схемотехнического моделирования (NanoSim, UltraSim, HSim) позволяет существенно сократить время моделирования, но приводит к снижению точности получаемых результатов из-за более грубых моделей.

Еще одно направление повышения производительности моделирования – создание специализированных аппаратных вычислителей, в которых наиболее трудоемкие вычисления реализованы на аппаратном уровне. Основная проблема аппаратного подхода – дороговизна, отсутствие универсальности, а также быстрый рост производительности вычислительных систем общего назначения, в результате чего специализированные аппаратные комплексы быстро устаревают. Например, с появлением многоядерных микропроцессоров рост производительности персональных компьютеров (ПК) начал превышать рост производительности рабочих станций. При этом цена ПК в разы и даже десятки раз ниже стоимости сопоставимой по характеристикам рабочей станции. Если алгоритмы и программное обеспечение позволяют распараллелить процесс вычислений с учетом особенностей многоядерной архитектуры, то производительность программ моделирования на ПК может быть существенно увеличена.

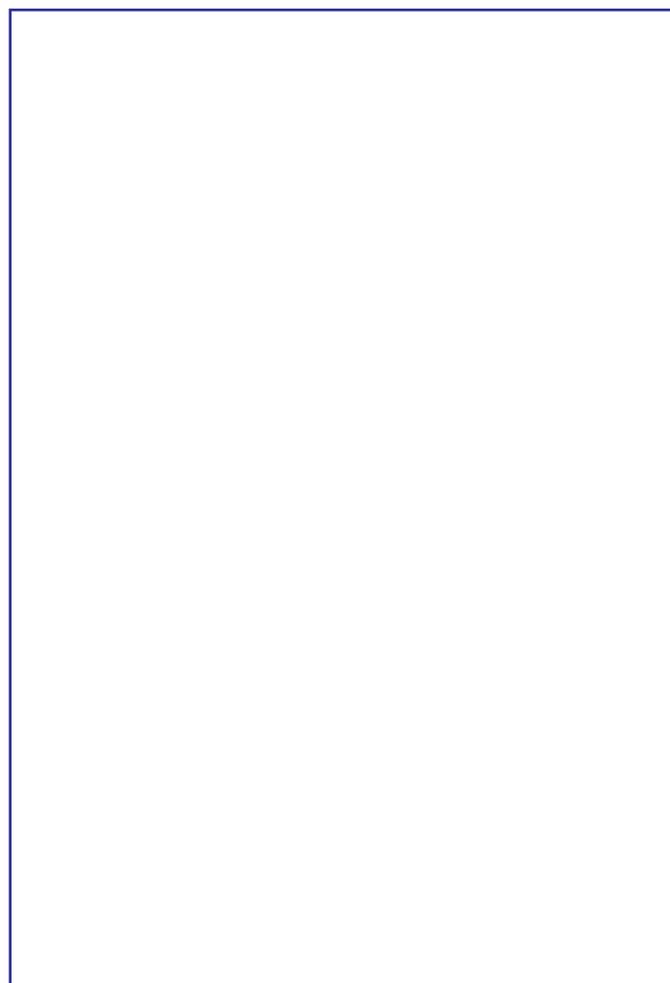
В рамках проекта AVOSpice специалистами компании UniqueICs были переосмыслены существующие тенденции в области разработки программ схемотехнического моделирования и поставлена задача увеличения быстродействия без потери точности. Эта задача была успешно решена благодаря созданию новых алгоритмов решения широкого круга задач схемотехнического моделирования, а также, и это особенно важно, комплексной технологии, объединившей как новые, так и уже известные подходы.

ОСОБЕННОСТИ AVOSpice

В настоящее время программа схемотехнического моделирования AVOSpice может использоваться как в составе САПР AVOCAD (www.avocad.com) компании UniqueICs, так и в виде отдельного модуля, интегрированного в маршруты проектирования крупнейших производителей САПР (Cadence, Synopsys). AVOSpice в первую очередь ориентирована на моделирование современных КМОП ИС во временной области (так называемый TRAN-анализ). Используемые в программе модели, например BSIM4 (<http://www-device.eecs.berkeley.edu/>), позволяют применять AVOSpice для моделирования схем с минимальными топологическими размерами вплоть до 45 нм. В основе AVOSpice лежит новая технология решения сверхбольших систем нелинейных дифференциальных уравнений (ДУ), которая позволяет проводить внутреннюю декомпозицию схемы. Таким образом, задача решения одной

большой системы ДУ сводится к решению набора подсистем меньшей размерности, что значительно увеличивает производительность схемотехнического моделирования без потери точности. Кроме того, декомпозиция позволяет распараллеливать процесс вычисления, максимально используя ресурсы новых многоядерных ПК.

В современных SoC доля транзисторов, работающих в аналоговом режиме, составляет порядка двух процентов. Что касается цифровой части, то здесь в каждый момент времени переключается лишь небольшая часть транзисторов. Если научиться обрабатывать только активные фрагменты схемы, очевидно, можно намного ускорить моделирование. Было сделано много попыток (достаточно успешных) выделять активные части схемы на поведенческом уровне и потом моделировать их на уровне транзисторов. Однако при переходе от одного уровня к другому в процессе моделирования возможна потеря точности, причем не всегда контролируемая. Найти же способ учета поведенческих особенностей в математических методах и алгоритмах, применяемых при схемотехническом моделировании, долгое время не удавалось. Благодаря оригинальным находкам и новым методам, разработчикам AVOSpice удалось решить эту проблему и добиться значительного увеличения производительности без потери точности, характерной для классического схемотехнического моделирования.



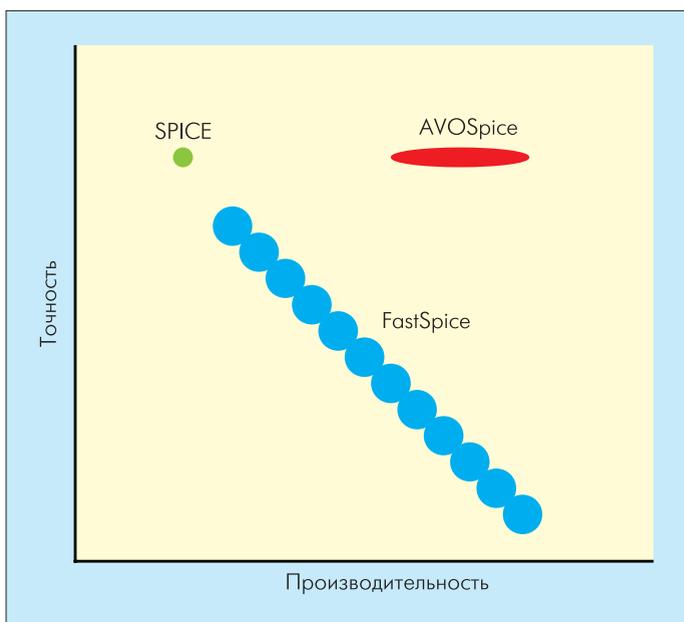
Сравнение производительности схемотехнического моделирования для различных типов ИС (компьютер AMD64 Opteron 2.2 Гц)

Типы схем	SPICE (использование одного ядра процессора)	AVOSpice (использование одного ядра процессора)	Ускорение при использовании одного ядра процессора, раз	AVOSpice (использование четырёх ядер процессора)	Ускорение при использовании четырёх ядер процессора, раз
Генератор (5713 транзисторов)	62 ч	8 ч 08 мин	7	3 ч 16 мин	19
ФАПЧ (1607 транзисторов)	7 ч 09 мин	2 ч 13 мин	3	50 мин	8
10-разрядный АЦП (4933 транзистора)	9 ч 53 мин	3 ч 02 мин	3	1 ч 18 мин	7
USB 1.1 (12141 транзистор)	50 ч	6 ч 46 мин	7	2 ч 41 мин	18
Счетчик (64000 транзисторов)	192 ч	7 мин	1645	4 мин	2880

Разработанные методы решения системы нелинейных дифференциальных уравнений, используемые в программе AVOSpice, позволяют выполнять динамическую декомпозицию (на каждом шаге интегрирования) одной большой системы на подсистемы меньшей размерности. Каждая такая подсистема может обрабатываться отдельно, ресурсами одного из процессорных ядер. Причем для каждой подсистемы может быть выбран собственный оптимальный метод решения, что дает возможность автоматически учитывать латентные состояния транзисторов в ИС. Применение такой технологии позволяет сократить время моделирования схем в десятки и тысячи раз по сравнению с временем, затрачиваемым при использовании традиционных методов схемотехнического моделирования. Поскольку новые методы основаны на тех же принципах, что и традиционные, их применение не снижает точности. Важно также, что используются те же проверенные модели элементов. Место AVOSpice среди других про-

грамм схемотехнического моделирования условно проиллюстрировано на рисунке.

AVOSpice уже более четырех лет применяется для расчетов ИС различных типов, таких как АЦП и ЦАП, генераторов, аналого-цифровых блоков с предельными временными характеристиками. Расчеты таких ИС необходимо вести на транзисторном уровне. В таблице приведено сравнительное время моделирования различных типов ИС, изготовленных по КМОП-технологии 0,25 мкм. Моделирование проводилось на двухпроцессорном компьютере с двухъядерными процессорами AMD. Степень ускорения моделирования по сравнению с известной коммерческой SPICE-программой растет при увеличении размера схемы, причем нелинейно, и может в результате достигать десятков и тысяч раз. Распараллеливание вычислительных процедур на четырехъядерном компьютере позволяет сократить время моделирования в среднем в два с половиной раза.



Место AVOSpice среди программ схемотехнического моделирования

Программа AVOSpice позволяет разработчикам проектировать широкий круг схем с использованием точного моделирования, избегая недостатков, связанных с применением средств смешанного моделирования. Перед ними открываются новые, недоступные ранее возможности. Например, возможность верификации больших фрагментов SoC на транзисторном уровне после этапов проектирования топологии и экстракции параметров паразитных элементов. Особенностью схем, полученных после экстракции из топологического чертежа, является то, что каждый отдельный элемент уже обладает своими индивидуальными параметрами и использование методов моделирования, работающих с усредненными параметрами, может давать неверные результаты при верификации. У разработчиков ИС появляется также возможность проводить параметрическую оптимизацию и развернутый статистический анализ больших фрагментов и функционально законченных блоков схемы. ○