


УЧЕТ ОСОБЕННОСТЕЙ МИКРОЭЛЕКТРОННЫХ НАНОТЕХНОЛОГИЙ

ПРИ ПРОЕКТИРОВАНИИ СБИС

В статье рассматриваются задачи, возникающие перед разработчиками интегральных микросхем при переходе к технологическим нормам менее 100 нм. На основе анализа современных микроэлектронных нанотехнологий автор делает вывод о том, что проектировать СБИС необходимо с учетом особенностей конкретного технологического производственного процесса. Также рассматриваются методы и методология проектирования, ориентированные на специфику производства. Предлагаем первую часть статьи.

Нанометровыми принято считать технологии, в которых минимальный размер элементов меньше 100 нм. Сегодня серийно выпускаются изделия с размерами элементов 90 и 65 нм. Ведется подготовка производства микросхем с размерами элементов 45 нм. Нанометровые технологии позволили преодолеть рубеж сложности в один миллиард транзисторов на кристалле. Рабочие частоты процессоров превысили 6 ГГц, а размеры кристаллов – 300 мм² [1]. Несмотря на снижение напряжения электропитания, общая потребляемая мощность микросхем постоянно растет. Задержки сигналов в линиях связи многократно превысили задержки логических элементов, возросло влияние токов утечки в транзисторах, увеличился технологический разброс их параметров, причем разброс этот вызван естественными термодинамическими вариациями физических и химических процессов. Необходимость проектирования СБИС с учетом таких вариаций – принципиально новая проблема, возникшая при переходе к нанометровым технологиям.

При использовании микронных и субмикронных технологий разброс параметров элементов в основном определяется усредненными характеристиками производственного процесса, поэтому совершенствование процесса производства позволяет достигать очень высоких показателей выхода годных изделий (свыше 95 %). При переходе к нанометровым разме-



рам номинальная толщина подзатворного диэлектрика соответствует шести молекулярным слоям. Очевидно, что могут иметь место и пять, и семь молекул окисла кремния. В области пространственного заряда под затвором длиной 45 нм в среднем должно находиться 60 атомов легирующей смеси, но в реальных структурах это число может отличаться в несколько раз как в большую, так и в меньшую сторону.

Основными технологическими источниками возникновения вариаций параметров являются:

- неоднородность распределения легирующих примесей и структурных дефектов в наноразмерных объемах полупроводника; колебания толщины диэлектрических покрытий в пределах одного-двух молекулярных слоев (~1 нм);
- зернистая структура металлических и поликремниевых пленок;
- неравномерный характер травления и полировки материалов при планаризации пластин;
- дифракционные эффекты и отражение света от подложки при фотолитографии;
- отражение и рассеяние электронов при электронной литографии.

Существуют технологические методы, позволяющие снизить разброс параметров благодаря усовершенствованию физических структур микросхем, производственных процессов и оборудования, однако при нанометровых размерах вариации параметров всегда будут играть значительную роль и их необходимо учитывать при проектировании. Поскольку каждая технологическая операция влияет на характер статистического распределения параметров элементов, проектирование должно быть ориентировано на конкретный производственный маршрут с учетом всех используемых технологических методов уменьшения вариаций параметров элементов.

ВАРИАЦИИ ПАРАМЕТРОВ И ДРУГИЕ ОСОБЕННОСТИ НАНОТЕХНОЛОГИЙ

Уменьшить разброс параметров, связанный с неоднородностями распределения легирующих примесей в структурах КМОП-транзисторов, можно увеличив концентрацию приме-

Д.Адамов

Denis@UniquelCs.com

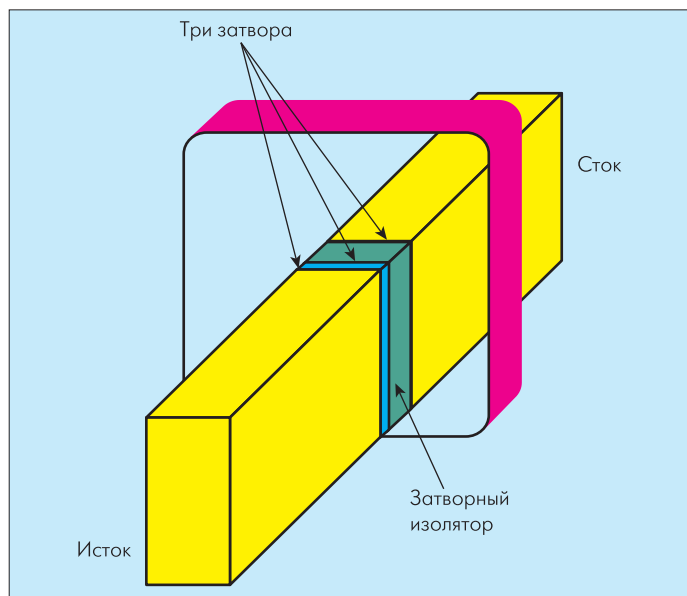


Рис. 1. Структура FinFET

сей в областях истока и стока при снижении концентрации в подзатворной области. Однако увеличение концентрации легирующих примесей в стоке и истоке приводит к росту токов утечки "сток-исток", протекающих в подложке. Поэтому повышение концентрации должно сопровождаться ограничением токов утечки через подложку. Например, можно применить модифицированные структуры МОП-транзисторов, сформированные в тонких кремниевых слоях, которые изолированы от подложки сплошными или локальными диэлектрическими слоями [2]. Также снизить влияние подложки можно применив FinFET-транзисторы [3], сформированные на рельефе кремниевой структуры (рис.1).

Увеличение толщины подзатворного диэлектрика при пропорциональном увеличении его диэлектрической проницаемости позволяет снизить разброс параметров, связанный с колебанием толщины (ток утечки "затвор-сток", пороговое напряжение, максимальная величина тока открытого транзистора). В реальных структурах используется двухслойный диэлектрик. Первый слой – двуокись кремния толщиной около 1 нм, полученная термическим окислением подложки. Второй слой – смесь окислов алюминия и гафния или двуокись гафния, получаемая осаждением из газовой фазы [4].

С уменьшением размеров транзисторов уменьшается и число зерен поликремния в одном затворе (менее 10). Чтобы снизить неоднородность параметров транзисторов, вместо поликремния в области затвора используются соединения тугоплавких металлов (нитрид титана, силициды вольфрама и тантала). Эти соединения, осаждающиеся из газовой фазы, имеют почти аморфную структуру и выдерживают последующую термообработку. Для узких проводников вместо поликристаллического алюминия применяется сплав титана и вольфрама [5]. Чтобы снизить сопротивление проводников, применяют многослойные структуры с проводящим слоем меди.

Создание одного слоя соединений при формировании планарной металлизации включает процессы нанесения изолирующего диэлектрика (SiO_2) и защитного слоя (Si_3N_4), анизотропного травления защитного слоя и диэлектрика, газофазного осаждения барьерного слоя нитрида титана (TiN), гальванического осаждения меди (Cu) и химико-механической полировки. Возникновение неравномерностей в наибольшей степени связано с последними двумя процессами [6, 7]. При гальваническом осаждении меди из-за действия добавляемого в электролит катализатора над узкими углублениями толщина меди будет больше, чем над плоской поверхностью. Над широкими углублениями, где обогащения электролита в процессе осаждения катализатором не происходит, такого увеличения толщины слоя меди не наблюдается (рис.2). Последующий процесс химико-механической полировки должен обеспечить планарную поверхность с неоднородностями по высоте рельефа не более 100 нм, оставив проводники только в углублениях рельефа. Однако при полировке в широких углублениях удаляется металл, который должен остаться в структуре проводников. Чтобы уменьшить этот эффект, помимо совершенствования технологии полировки, требуются специальные ограничения на ширину и взаимное расположение проводников.

В большинстве установок фотолитографии используются источники света с длиной волны 193 нм [8]. Дифракционные эффекты в оптической системе – основная причина искажений рисунка при фотолитографии нанометровых элементов. Однако до определенных пределов формой топологических элементов можно управлять, используя те же дифракционные эффекты [9]. Системы моделирования технологических процессов позволяют рассчитать форму маски, создающую на фоторезисте необходимое распределение световой мощности с учетом дополнительной световой мощности от соседних топологических элементов. На рис.3 показаны варианты переноса изображения с фотошаблона на пластину без применения коррекции искажений (OPC, Optical Proximity Correction) и с ее применением. Введение дополнительных элементов,

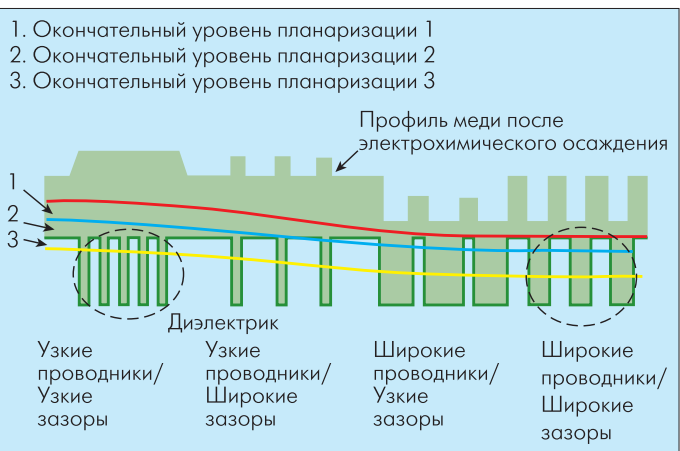


Рис.2. Сечение структуры металлизации до химико-механической полировки и после

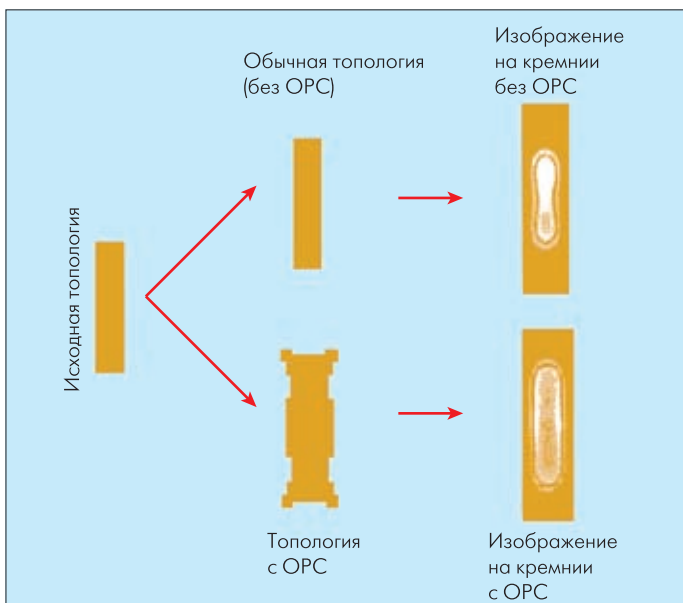


Рис.3. Искажение рисунка при фотолитографии и его коррекция

которые влияют на распределение световой мощности, но не переносятся на фоторезист, называется SRAF (sub-resolution assist features).

Процедуры кооррекции должны быть учтены при проектировании топологии. Сегодня для формирования откорректированного изображения на фотошаблоне применяют два подхода. Первый задействует стандартный набор топологических элементов. У каждого такого элемента существует заранее рассчитанное изображение для формирования маски. При проектировании топологии следует использовать только элементы из заданного набора. Расстояние между ними должно быть достаточным, чтобы не возникало взаимного влияния. Более гибкий подход, основанный на моделировании переноса изображения с фотошаблона на резист и оптимизации рисунка на фотошаблоне. Здесь также есть ограничения на форму, размеры элементов и зазоры между ними, которые должны гарантировать выполнение операций коррекции. Однако число вариантов топологических элементов практически не ограничено, а процесс расчета коррекций учитывает взаимное влияние элементов топологии. В результате обеспечивается более высокая плотность элементов топологии на кристалле. Естественно, дополнительные расчеты требуют времени и значительных вычислительных ресурсов, что повышает стоимость фотошаблонов.

Методы, основанные на коррекции изображений, не позволяют уменьшить расстояние между топологическими элементами до величины 100 нм и менее. Дифракция световых волн приводит к сложению мощностей световых потоков в зазорах между элементами, засветке резиста и слиянию топологических элементов. Для уменьшения зазоров применяется метод фазосдвигающих масок PSM (phase-shift mask). Он позволяет добиться разной длины оптического пути для соседних топологических элементов с помощью травления кварцевой подложки в чередующихся светлых элементах изобра-

жения. Если разница длин оптических путей равна половине длины волны, то мощности световых волн в зазорах между элементами не складываются, а вычитаются (рис.4). Применение PSM еще более усложняет расчет коррекций изображения на фотошаблонах. Этот метод неприменим для такого рисунка топологии, в котором возникает "конфликт фаз", то есть в изображении невозможно обеспечить чередование фаз в светлых элементах. Пример – замкнутый светлый контур с близко расположенными областями.

Рисунок на фотошаблонах обычно формируется с помощью электронной литографии. Хотя электронный луч имеет большую глубину резкости и практически не испытывает дифракции, в процессе экспозиции резиста электроны рассеиваются и отражаются в резисте и подложке [10]. Доза экспозиции резиста зависит от размеров экспонируемого элемента и расстояния до соседних элементов. Взаимное влияние соседних элементов топологии проявляется на расстоянии несколько микрометров. В электронной литографии коррекция искажений рисунка производится не путем изменения формы элемента топологии, а путем изменения дозы экспозиции. Каждый элемент разбивается на более мелкие фрагменты: центральные, краевые, угловые (рис.5). Наименьшая доза облучения требуется в центральной зоне, а наибольшая доза – в угловой. Если рядом расположены другие экспонируемые элементы, то вычисляются корректирующие поправки для уменьшения дозы облучения каждого фрагмента. Чем сложнее рисунок на фотошаблоне, тем мельче фрагменты рисунка, в которых индивидуально устанавливается доза экспозиции резиста. В результате коррекции экспозиции суммарная энергия облучения каждого фрагмента прямым лучом и отраженными электронами должна соответствовать пороговой энергии проявления резиста. В сложных проектах,

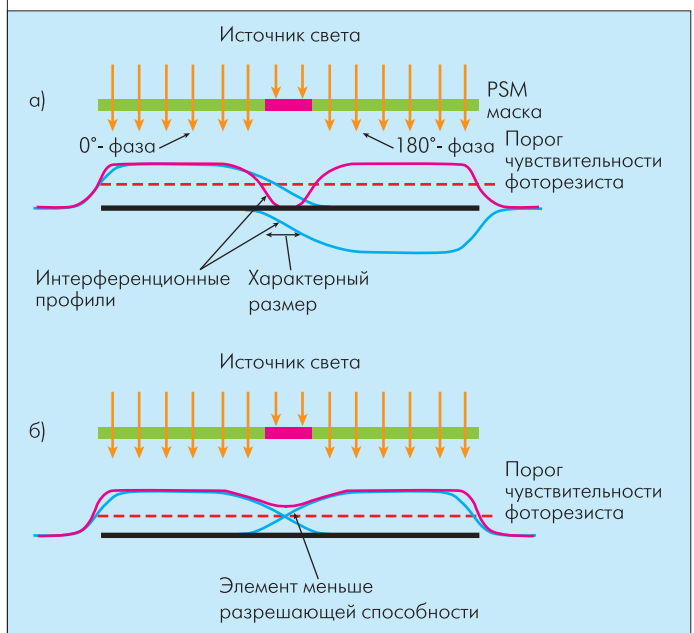


Рис.4. Распределение световой мощности в резисте при использовании фазосдвигающей маски (а) и без нее (б)



Рис.5. Разбиение элемента на фрагменты с разной дозой экспозиции

с учетом всех видов коррекции изображения, объем информации для установки электронной литографии приближается к терабайту.

Электронную литографию применяют и для формирования рисунка топологии непосредственно на полупроводниковых пластинках. При этом большая часть элементов топологии с размерами более 100 нм создается с помощью обычной фотолитографии. И только элементы минимальных размеров (затворы) формируются электронным лучом. Например, в схемах радиотехнического назначения число транзисторов с минимальными размерами сравнительно невелико и время экспозиции пластины электронным лучом составляет всего несколько минут. Благодаря уменьшению числа этапов переноса изображения уменьшается разброс параметров элементов.

СИСТЕМОЕ И СХЕМОТЕХНИЧЕСКОЕ ПРОЕКТИРОВАНИЕ

Традиционный маршрут проектирования ориентирован на унификацию технических решений (параметры элементов, состав библиотек, описания блоков, состав документации и др.). Требования по унификации закреплены в материалах ITRS [11]. Предполагается, что проекты должны легко адаптироваться к любому техпроцессу. При переходе к нанометровым технологиям разработчикам приходится отказываться от унификации проектных решений из-за множества системных ограничений, связанных с высокой степенью интеграции (10^8 – 10^9 элементов), а также с использованием низковольтных КМОП-транзисторов с большими токами утечки и разбросом параметров. Каждый проект следует оптимизировать под конкретный технологический маршрут с учетом характерных для этого маршрута статистических вариаций размеров элементов и их электрических параметров.

Вариации электрических параметров элементов внутри кристалла характеризуются коррелированной и некоррелированной составляющими. В большинстве случаев диапазон корреляции составляет 1–3 мм [12]. Если размер модуля СБИС не превышает 2 мм, внутри модуля сохраняются корреляции статистических параметров элементов и возможна схемотехническая компенсация технологических вариаций. Архитектура СБИС "сеть на кристалле" ориентирована на использование таких физически и программно совместимых модулей. Каждый модуль включает коммутатор, микропроцессор и другие функциональные блоки [1]. Модули об-

разуют матрицу с множеством каналов связи. Каналы связи формируются программированием коммутаторов. Такая архитектура позволяет решать задачи энергосбережения, синхронизации, реализации соединений и непрерывного контроля функционирования.

Проблема энергосбережения включает в себя много аспектов. Один из них – минимизация токов утечки, связанных с технологическим разбросом параметров МОП-транзисторов. Номинальные значения токов утечки "сток-исток" лежат в диапазоне 1–10 нА, причем величина тока экспоненциально зависит от величины порогового напряжения. Поэтому с увеличением разброса пороговых напряжений средние значения также возрастают экспоненциально. В крайних случаях среднее значение может превышать номинальное в десять раз. При уровне сложности микросхемы 10^8 вентилях ток утечки составит 1–10 А, что может превысить весь энергетический бюджет изделия.

Другой важный аспект – минимизация потребления в процессе переключения элементов. Если не предпринимать специальных мер по энергосбережению на этапе системного проектирования, то система на основе микропроцессора, работающая на максимальной частоте, будет потреблять ток 1000 А при напряжении 1,0–1,2 В. Возникнут проблемы с отводом тепла и распределением тока по кристаллу. Наиболее мощные современные микропроцессоры потребляют менее 200 Вт при напряжении питания 1,3 В. В аппаратуре без принудительного охлаждения потребляемая мощность микропроцессора не должна превышать 5 Вт [13]. Существует несколько приемов, позволяющих снизить энергопотребление уже на системном уровне.

Энергопотребление микросхемы в активном режиме определяется частотой переключения элементов, нагруженных на длинные проводники. Самые большие резервы снижения энергопотребления находятся в сфере оптимизации информационных потоков. До 70% площади процессора занято блоками памяти. Длинные проводники также присутствуют в блоках памяти. Обращение процессора к локальным регистрам требует в пять раз меньше энергии, чем обращение к общей памяти. Важнейший резерв энергосбережения – иерархическая распределенная структура памяти и оптимизация обращений к ней.

Задачи мультимедиа и обработки сигналов используют потоковые алгоритмы и допускают организацию параллельных вычислений. Такие вычисления требуют меньше энергии, так как каждый из вычислительных блоков оптимизируется для меньшей производительности вычислений и может быть локализован на меньшей площади при меньшей емкости проводников. Программная реализация алгоритма вычислений в микропроцессоре требует до 500 раз больше энергии в сравнении с оптимизированным цифровым автоматом. Использование динамически конфигурируемых вычислителей с под-

ключением специализированных блоков может многократно снизить потребляемую мощность микросхемы.

Архитектура типа "сеть на кристалле" обеспечивает все преимущества распределенных вычислений в области энергосбережения. Оценки основных параметров локального вычислительного модуля, сделанные для КМОП-технологии фирмы Intel с минимальными размерами 45 нм [14], показывают, что при тактовой частоте 500 МГц и допустимом расхождении фронтов синхросигнала не более 30% от периода геометрическая область, в которой выполняются условия синхронизации, составит 2×2 мм². В такой области можно разместить 30 млн. транзисторов и необходимых сигнальных связей. Этого достаточно для реализации базового процессорного блока с локальной памятью, коммутатора и дополнительных функциональных блоков.

Синхронизация и соединения. Собственные задержки нанометровых логических элементов лежат в диапазоне единиц пикосекунд. При напряжении питания менее 1 В, среднем токе питания до 100 А и рабочих частотах до 6 ГГц без специальных методов электропитания и синхронизации помехи могут сравняться с напряжением питания. Система будет неработоспособна. Наличие помех следует учитывать при разработке цепей питания, проектировании системы синхронизации и расчете задержек в сигнальных цепях. Также нужно помнить о перекрестных помехах, влияние которых возрастает с уменьшением длительности фронтов сигналов и увеличением длины проводников.

В известных проектах с архитектурой "сеть на кристалле" реализуется концепция многочастотного обмена данными. На распределение высокочастотного синхросигнала на кристалле с большой площадью уходит до 30% электрической мощности всей микросистемы. Поэтому между модулями сети распределяется либо синхросигнал низкой опорной частоты, либо общий синхросигнал вообще отсутствует. Обмен данными между блоками идет по асинхронному протоколу. Реализация асинхронного приема информационного потока требует высокой частоты считывания данных с шины, в 2–4 раза превышающей частоту передачи данных.

Для снижения частоты синхросигналов внутри блоков иногда используются внешние шины данных большой ширины (до 128 бит) и синхронные триггеры, срабатывающие как по фронту, так и по срезу синхросигнала. Внутренние синхросигналы формируются в каждом модуле независимым управляемым синтезатором частоты. Система управления сети устанавливает минимально необходимую частоту работы каждого блока, необходимую для выполнения текущей задачи. Совместное управление частотой синхросигнала и напряжением питания позволяет снизить потребляемую мощность более чем в 10 раз.

При передаче данных по многоуровневым шинам на расстоянии в несколько миллиметров между проводниками воз-

никают емкостные и индуктивные связи, возбуждающие перекрестные помехи. Под воздействием перекрестных помех задержка сигнала в шине может измениться более чем вдвое [15]. Для повышения устойчивости передачи данных используют парафазные низковольтные сигналы (0,3–0,4 В), передаваемые по витой паре [16]. Помехи от двух проводников витой пары компенсируют друг друга. Два проводника витой пары периодически пересекаются. Формирование парафазных сигналов, их асинхронный прием и преобразование во внутренние сигналы выполняют специальные физические интерфейсы.

Другой метод повышения устойчивости передачи данных предполагает, что амплитуда напряжения не меняется, а число сигнальных линий увеличивается примерно на четверть. На входе шины данные кодируются так, чтобы минимизировать число переключений в соседних линиях и зафиксировать общее число переключений в шине. Комбинации, приводящие к значительному разбросу задержек, не используются. На выходе шины декодер восстанавливает информацию и проверяет ее на наличие ошибок, отбирая только разрешенные кодовые комбинации.

Непрерывный контроль работоспособности и ее восстановление. Суммарная максимальная мощность всех блоков в современных процессорах значительно больше максимально допустимой мощности микросхемы в целом. Все блоки не могут одновременно работать с максимальным быстродействием, иначе произойдет перегрев кристалла. Но перегрев возможен и в локальной области. Использование архитектуры "сеть на кристалле" позволяет не только оптимизировать общее потребление энергии системы, но и повысить надежность ее работы. Ограничения на допустимые значения температуры могут задаваться для каждого блока отдельно. В каждый блок встраиваются средства контроля, которые управляют режимом работы и следят, чтобы функционирование блока и микросхемы не было нарушено при изменении температуры среды, условий охлаждения или в результате деградации параметров элементов с течением времени.

Средства повышения надежности можно разделить на три группы. Первая группа – логические средства. К ним относятся кодовая защита блоков памяти, кодовая защита каналов связи, мажоритарные вычисления. Логические средства требуют дополнительных вычислительных ресурсов и снижают энергетическую эффективность. Вторая группа включает средства комплексного управления режимами: температурой, напряжением питания, частотой синхросигнала, напряжением смещения карманов. Управление режимами производится на основе показаний разнообразных датчиков. Кроме температуры и напряжений необходимо контролировать усредненные величины токов утечки транзисторов, уровень импульсных помех в цепях питания, задержки логических элементов.



Третья группа – средства, предусматривающие задействование резервов системы в ситуациях, когда средства двух первых групп не обеспечивают безошибочного функционирования. Блоки контроля и управления, относящиеся к первым двум группам, могут работать автономно в составе модулей. Управление резервами требует наличия единого центра управления и связи между встроенными средствами контроля. Центральный блок управления должен контролировать способность встроенных средств компенсировать воздействие различных дестабилизирующих факторов. Если уровень ошибок в работе микросистемы превысит установленный предел, то блок управления должен принять решение об изменении конфигурации "сети на кристалле" и перераспределении ресурсов, которое позволит повысить надежность за счет снижения производительности и энергетической эффективности.

Снижение влияния импульсных помех. Импульсные помехи в микросхемах возникают при переключении логических элементов с большой мощностью. Это могут быть мощные драйверы или большие группы маломощных вентилялей. Источники помех в микросхемах общие. Различают помехи, распространяющиеся по подложке, по цепям электропитания и посредством электромагнитных волн. В цифровых схемах спектр импульсных помех коррелирует с частотой синхросигнала, то есть значительные по мощности импульсы помех периодически появляются в одних и тех же интервалах временной диаграммы работы устройства. Методы снижения влияния помех можно разделить на две группы – уменьшение мощности и спектральной плотности источников помех, а также снижение чувствительности приемников помех.

Наиболее чувствительны к импульсным помехам аналоговые блоки. Основной метод их защиты – высокочастотная изоляция, которая включает гальваническую изоляцию от подложки МОП-транзисторов обоих типов, разделение цепей электропитания аналоговых и цифровых блоков, экранирование линий связи, эффективное заземление изолирующих карманов и подложки, разделение аналоговых и цифровых блоков заземленными защитными областями, а также шунтирование цепей питания конденсаторами большой емкости. Эти приемы позволяют практически исключить влияние электромагнитных помех и помех по питанию, возбуждаемых цифровыми блоками. Помехи в подложке с частотами от сотен мегагерц до единиц гигагерц проходят через емкость изолирующих р-п-переходов и модулируют ток МОП-транзисторов. Без полной диэлектрической изоляции транзисторов трудно ослабить высокочастотные помехи более чем на 80 дБ [17]. В некоторых случаях такого ослабления недостаточно. Особенно нежелательны узкополосные помехи.

При проектировании универсальных аналоговых и аналого-цифровых блоков нельзя заранее определить параметры помех от соседних цифровых блоков в составе микросхе-

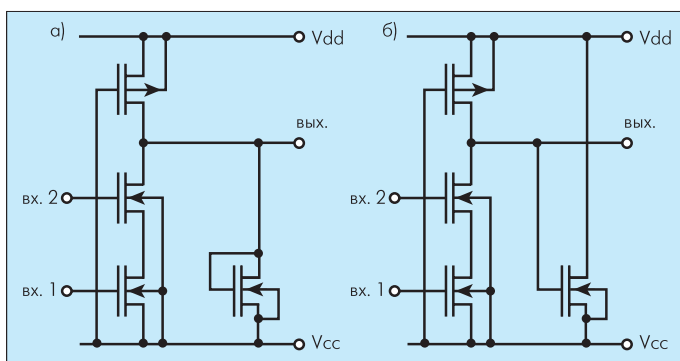


Рис.6. Логические КМОП-элементы с постоянным током питания для чувствительных к помехам блоков: а) элемент И–НЕ с ограничением логического перепада; б) элемент И–НЕ с перехватом тока нагрузки

мы. Для снижения импульсных помех цифровые узлы в составе аналого-цифровых блоков часто реализуются с применением логических вентилялей постоянного тока (рис.6). Влияние помех от соседних цифровых блоков можно снизить, используя разные частоты синхронизации для разных блоков. Снижения спектральной плотности помех легко достичь, применяя синхросигналы с переменным периодом [18].

Уменьшение минимальных допустимых размеров транзисторов сопровождается снижением напряжения питания, что приводит и к снижению динамического диапазона аналоговых блоков. Сохранение заданного отношения "сигнал-шум" требует соответствующего уменьшения шумов и помех. В свою очередь, это требование приводит к увеличению размеров транзисторов, блокировочных конденсаторов, защитных, экранирующих областей и всего аналогового блока в целом. Поэтому в микросхемах с нанометровыми технологическими нормами разработчики стремятся по возможности заменить аналоговые блоки цифровыми.

Хотя чувствительность к импульсным помехам у цифровых схем намного слабее, чем у аналоговых, она значительно возрастает с повышением быстродействия и снижением напряжения питания. Обычно действие помех проявляется в снижении максимальной рабочей частоты, выше которой частота появления ошибок становится недопустимой. Средства борьбы с помехами, принятые для аналоговых блоков, в цифровых схемах не используются, так как требуют многократного увеличения площади на кристалле. Комплексное применение схемотехнических средств позволяет снизить частоту ошибок в вычислениях и повысить рабочую частоту блока до требуемого уровня.

Высокочастотные помехи в подложке быстро затухают с увеличением расстояния между элементами. Для цифровых схем значение имеют только емкостные связи между транзисторами в одном кармане. Хотя степень влияния этих связей на быстродействие вентилялей порядка нескольких процентов, но они постоянны и хорошо моделируются средствами САПР. Из средств борьбы используются только разделение изолирующих карманов и снижение сопротивления в цепях высокочастотного заземления.

Величина импульсных помех в цепях питания пропорциональна модулю реактивного импеданса этих цепей и амплитуде импульсов тока потребления. Первая обязательная задача в борьбе с помехами – расчет или измерение на прототипе частоты электромагнитного резонанса в цепях питания. На резонансной частоте импеданс цепи питания может возрасти в десятки раз. Для микросхем с размером кристалла менее 5×5 мм², частота резонанса находится в гигагерцевом диапазоне, а добротность контура 1–3. Для кристаллов площадью 100 мм² и более резонансная частота понижается до сотен мегагерц с одновременным увеличением добротности резонансного контура. Если частота синхронизации окажется кратной или близкой к резонансной частоте, то помехи резко возрастут. Увеличение емкостей блокировочных конденсаторов может только понизить резонансную частоту. Снижение помех по питанию требует разделения резонансной частоты и частот синхронизации, а также построения распределенной сети вторичных источников электропитания. Вторичные цепи питания во много раз короче, имеют очень высокую резонансную частоту и достаточно низкий реактивный импеданс. Вторичные источники во много раз ослабляют помехи, распространяющиеся в первичных цепях питания.

Если в проекте преследуется цель достичь максимально быстрого действия, то возможно построение адаптивных источников вторичного электропитания. В работе [19] показано, что наибольшая мощность помех в цепях питания сосредоточена в диапазоне от 30 до 300 МГц. Высокие частоты фильтруются блокировочными конденсаторами, а низкие – вторичными источниками питания. Дополнительный блок импульсной коррекции питания содержит источник опорного напряжения, компаратор, импульсные источники тока и блок управления [14]. При понижении напряжения питания на некую пороговую величину корректирующий блок подключает один дополнительный источник тока. Если этого недостаточно, то в следующем такте подключается еще один источник. Время срабатывания блока коррекции менее 1 нс и он успевает компенсировать помехи с частотами в сотни мегагерц. Напряжение питания при этом удерживается в узком диапазоне от номинального значения до порогового.

Уменьшение токов утечки. Для технологии с минимальным размером 90 нм и напряжением питания 1,2 В плотность тока утечки "сток-исток" составляет 10–20 нА на 1 мкм ширины канала. Утечка "затвор-сток" на порядок меньше. При сложности схемы около 100 млн. вентилях суммарный ток утечки составит 1–5 А, а статическая мощность может превысить динамическую. Дальнейшее уменьшение размеров и увеличение числа вентилях невозможно без специальных мер по снижению утечек.

Технологические методы снижения токов утечки наиболее эффективны, но сложны в реализации. В практически реализованных микросхемах снижение токов утечки "сток-исток"

достигается либо с помощью подачи дополнительного напряжения смещения на изолированные карманы, либо с помощью использования МОП-транзисторов с разными пороговыми напряжениями. МОП-транзисторы с пороговыми напряжениями, увеличенными на 120–150 мВ, имеют ток утечки в 10–20 раз меньше, чем транзисторы с номинальными пороговыми напряжениями (0,25–0,3 В). Увеличение порогового напряжения достигается с помощью увеличения толщины подзатворного диэлектрика и изменения профиля легирования кармана. Однако в таких транзисторах снижается нагрузочная способность и быстродействие.

Существует два схемотехнических метода снижения токов утечек. Первый предусматривает дополнительный блок управления питанием, который отключает цепи питания неактивированных фрагментов схемы. В рамках второго метода разрабатывается библиотека логических элементов на основе транзисторов с разными порогами [20]. В каждом вентиле определяются транзисторы, максимально влияющие на утечки схемы. Эти транзисторы реализуются в варианте с увеличенными пороговыми напряжениями. Первый вариант сложнее, но обеспечивает общее снижение утечек до 10 раз. Второй вариант дает общее снижение утечек примерно вдвое при снижении быстродействия на 10–15 %.

Вторая часть статьи будет посвящена оценке быстродействия цифровых блоков, топологическому проектированию микросхем с нанометровыми проектными нормами, а также методологиям проектирования, учитывающим особенности производственного процесса и ориентированным на увеличение выхода годных (DFM и DFY).

Продолжение в следующем номере.

ЛИТЕРАТУРА

1. **Андреев А.** Арифметика создания процессов: 80 ядер лучше восьми? – ЭЛЕКТРОНИКА: НТБ, 2007, №2, с. 82–89.
2. **Адамов Ю.Ф., Горшкова Н.М., Матвеев О.С.** Кремниевые гетероструктуры для наноразмерных транзисторов. – Нано- и микросистемная техника, 2007, №7, с.4–9.
3. **Майская В.** Транзисторы компании Intel с тройным затвором. – ЭЛЕКТРОНИКА: НТБ, 2006, №7, с. 50 – 52.
4. **Casse M.** et. al. Carrier Transport in HfO₂/Metal Gate MOSFETs: Physical Insight Into Critical Parameters. – IEEE Transactions on Electron Devices, 2006, v. 53, N 4, p. 759–768.
5. **Srinivas D., Hillman J., Triggs W., Eichman E.** Advanced metallization for ULSI applications. – Materials research society, 1991, p. 319–327.
6. **Josell D., Wheeler D., Huber W. H., Bonevich J.E., Moffat T. P.** A simple equation for predicting superconformal electrodeposition in submicrometer trenches. – Journal of the Electrochemical Society, 2001,



v. 148, p. C767-C773.

7. **Moffat T., Wheeler D., Huber W., Josell D.**

Superconformal electrodeposition of cooper. – Electrochemical and Solid-State Letters, 2001, v. 4, p. C26–C29.

8. **Flagello D.** et. al. Optimizing and enhancing optical systems to meet low K1 challenges. – Proceedings of SPIE Optical Microlithography, Feb. 2003, v. 5040.

9. **Wong A.** Resolution Enhancement Techniques in Optical Lithography. – SPIE Press. Washington, USA, 2001.

10. **Mural F., Yoda H., Okazaki S., Saitou N., Sakitani Y.**

Dose correction in e-beam lithography. – Journal of Vacuum Science and Technology, 1992, B(6), p. 3072.

11. International Technology Roadmap for Semiconductors, 2005 Edition, 2006 Update. <http://www.itrs.net/reports.html>

12. **Chiang C., Kawa J.** Design for Manufacturability and Yield for Mano-Scale CMOS. – Springer, 2007.

13. **Chin.D.** Nanoelectronics for an Ubiquitous – Information Society. – IEEE International Solid–State Circuits Conference. Digest of Technical Papers, 2005, p. 22–26.

14. **Man H.D.** Ambient Intelligence: Gigascale Dreams and Nanoscale Realities. –IEEE International Solid – State Circuits Conference, Digest of Technical Papers, 2005, p. 29–35.

15. **Cao Y., Yang X., Huang X., Sylvester D.** Switch-Factor Based Loop RLC Modeling for Efficient Timing Analysis. – IEEE Transactions on Very Large-Scale Integration (VLSI) Systems, 2005, v. 13, N 9, p. 1072–1078.

16. **Lee K., Lee S.-J., Yoo H.-J.** Low-Power Network-on-Chip for High-Performance SoC Design. – IEEE Transactions on Very Large-Scale Integration (VLSI) Systems, 2006, v. 14, N 2, p. 148–160.

17. **Sharma A., Birrer P., Arunachalam S., Xu C., Fiez T., Mayaram K.** Accurate Prediction of Substrate Parasitics in Heavily Doped CMOS Processes Using a Calibrated Boundary Element Solver. – IEEE Transactions on Very Large-Scale Integration (VLSI) Systems, 2005, v. 13, N 7, p. 843–851.

18. **Moffat T., Wheeler D., Huber W., Josell D.**

Superconformal electrodeposition of cooper. Electrochemical and Solid-State Letters, 2001, v 4, p. C26–C29.

19. **Kang D.W., Kim Y.-B., Doyle J.T.** A High-Efficiency Fully Digital Synchronous Buck Converter Power Delivery System Based on a Finite-State Machine. – IEEE Transactions on Very Large-Scale Integration (VLSI) Systems, 2006, v. 14, N 3, p. 229–240.

20. **Kim N.S., Blaauw D., Mudge T.** Quantitative Analysis and Optimization Techniques for On-Chip Cache Leakage Power. – IEEE Transactions on Very Large-Scale Integration (VLSI) Systems, 2005, v 13, N 10, p.1147–1156.