

# ПЛИСЫ ВСЯКИЕ НУЖНЫ, ПЛИСЫ ВСЯКИЕ ВАЖНЫ

Как неоднократно отмечалось, \* сектор программируемых логических интегральных схем (ПЛИС) – наиболее быстро развивающийся на мировом рынке логических устройств. Это обусловлено непрерывно растущим числом логических элементов на кристалле, что позволяет реализовывать функции, которые в отсутствие ПЛИС потребовали бы применения отдельных логических и запоминающих устройств. И, что не менее важно, разработчик аппаратуры может за несколько секунд или минут на рабочей станции или линии сборки системы задать требуемую конфигурацию микросхемы ПЛИС, а в ряде случаев выполнить ее реконфигурацию. Сегодня работы в области программируемых пользователем базовых матричных кристаллов (FPGA) сосредоточены на создании изделий для новых развивающихся рынков\*\*, тогда как сектор рынка сетевых приложений (собственно и давший толчок увеличению спроса на FPGA) не пользуется благосклонностью поставщиков. В то же время, продажи сложных программируемых логических микросхем (CPLD) достаточно стабильны, оставаясь на уровне ~500 млн. долл. В мире много аппаратуры, в которой используются устаревшие, практически вышедшие из употребления логические микросхемы, которые могут быть успешно заменены CPLD, позволяющими снизить стоимость, потребляемую мощность и сложность систем. А появившиеся на рынке в последнее время ПЛИС этого типа способствуют такой замене.

## НЕМНОГО ИСТОРИИ

Первые программируемые логические устройства создавались на основе технологии биполярных программируемых ПЗУ с дополнительными логическими возможностями и свойствами. Пробудить интерес к программируемой логике сумела фирма Signetics, выпустившая в 1972 году биполярную микросхему программируемой

\*ЭЛЕКТРОНИКА: НТБ, 2002, №2, с.14; ЭЛЕКТРОНИКА: НТБ, 2004, №4, с.10–19.

\*\*Филатов А. Становление нового сегмента рынка FPGA. Экономические системные решения на FPGA. – Наст. номер, с.20.



В.Майская

логической матрицы типа 82S100. Совершенствование архитектуры привело к созданию фирмой Monolithic Memories Inc. (MMI) в 1975–1976 годах микросхем программируемой матричной логики (PAL), монтируемых в 20- и 24-выводные корпуса и способных заменить до 20 имевшихся в продаже логических вентилях. Одновременно с PAL-микросхемами компания MMI предложила и простой язык программирования – PALASM, позволивший достаточно легко преобразовывать логические уравнения в битовую конфигурацию. Хотя сегодня компании MMI уже нет, ее разработки легли в основу современной агрессивной технологии, пригодной для масштабирования элементов ПЛИС и увеличения их быстродействия. Выпущенная в 1979 году компанией Advanced Micro Devices (AMD) микросхема типа 22V10, в которой использовалось встроенное СППЗУ с программируемыми УФ-излучением ячейками памяти, стала рабочей лошадкой и на протяжении нескольких последующих лет воспроизводилась многими поставщиками ПЛИС. А в 1984-м фирма Altera выпустила первую микросхему CPLD на основе УФ-программируемого СППЗУ, содержащую 300 вентилях. В 1985-м Xilinx предложила хранить конфигурационные данные в ячейках СОЗУ, что позволило изменять логику путем корректировки данных, записанных в ячейки памяти. Микросхема ПЛИС типа XC2010 этой компании, содержащая ~2 тыс. вентилях, положила начало широко распространенному сегодня FPGA. Но и FPGA на основе СОЗУ не единственные конфигурируемые устройства, предлагаемые разработчикам. Во второй половине 90-х годов компания Gatefield, приобретенная в 2000 году фирмой Actel, создала FPGA на базе флэш-технологии. И уже сегодня логическая емкость микросхем ПЛИС с конфигурационной флэш-памятью превышает 1 млн вентилях.

К классу программируемых логических приборов относятся простые и сложные ПЛИС (SPLD и CPLD, соответственно), а также программируемые пользователем базовые матричные кристаллы (FPGA). Последние были рассмотрены ранее \*. Поэтому подробнее остановимся на разработках сложных ПЛИС, или CPLD.

## СЛОЖНЫЕ ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ УСТРОЙСТВА – CPLD

CPLD – это комбинация полностью программируемых матриц вентилях И/ИЛИ и банка макроячеек (МЯ). МЯ образуют функциональные блоки, выполняющие различные комбинаторные или последовательные логические функции. Для получения достаточно высокого быстродействия в CPLD традиционно применялся аналоговый усилитель считывания, но при этом существенно возрастала потребляемая мощность. В CPLD семейства CoolRunner-II компания Xilinx отказалась от биполярного усилителя, создав полностью цифровое ядро, и сумела добиться высокой производительности при

\* ЭЛЕКТРОНИКА: НТБ, 2004, №4, с.10–19.



низкой потребляемой мощности. К тому же это облегчило масштабирование архитектуры и тем самым позволило существенно снизить стоимость CPLD-микросхем и успешно совершенствовать характеристики каждого нового их поколения.

Современные CPLD содержат несколько логических блоков (ЛБ), в каждый из которых могут входить до 54 МЯ на основе программируемых логических матриц (PAL) или простых ПЛИС (SPLD). Каждая МЯ с большой нагрузочной способностью по входу обеспечивает выполнение комбинаторной логики, которая в зависимости от сложности ПЛИС поддерживает от четырех до 16 логических производений – термов. Поскольку каждый ЛБ выполняет определенную функцию, все МЯ такого блока полностью объединены, тогда как сами ЛБ соединяются друг с другом трассировочной матрицей в зависимости от применения микросхемы. В результате 100%-ного использования имеющихся логических блоков добиться нельзя.

На рынке представлены CPLD разнообразных семейств и в самых различных типах корпусов. Значения напряжения питания, рабочий ток, ток в режиме покоя и потребляемая мощность этих устройств также различны. В них используется память различного типа и объема (ПЗУ, ОЗУ, двухпортовое ОЗУ, ассоциативная память, а также память прямого и обратного магазинного типов). Некоторые CPLD содержат блоки ФАПЧ и автоматической подстройки по задержке, обеспечивающие синтез тактовой частоты, что позволяет реализовывать на таких микросхемах DSP-алгоритмы, а также функции системы-на-кристалле (табл. 1).

Сложные ПЛИС все еще иногда применяются в простых приложениях, например для декодирования адреса, но все чаще их можно найти в портативных достаточно дешевых устройствах. Микросхемы CPLD с широкими функциональными возможностями и большим числом блоков ввода/вывода уже вторгаются в области применения FPGA. А поскольку для CPLD время задержки короче и более предсказуемо, чем для FPGA, им отдается предпочтение в тех случаях, когда нужна высокопроизводительная логика и не требуется память большого объема.

Основные поставщики CPLD – компании Altera, Atmel, Cypress Semiconductor, Lattice Semiconductor, STMicroelectronics и Xilinx. Что же они поставляют на современный рынок CPLD-микросхем?

## ALTERA

На протяжении многих лет компания практически не изменяла архитектуру микросхем ведущего семейства CPLD – MAX 7000, добиваясь увеличения быстродействия и числа логических МЯ, а также снижения рабочего напряжения и потребляемой мощности лишь за счет совершенствования методов изготовления и уменьшения размеров элементов схемы. Пожалуй, самое существенное изменение в архитектуре микросхем компании за последние годы – введение внутрисхемного программирования, начиная с серий микросхем на напряжение питания 5 В и меньше. К достоинствам своих CPLD компания относит и технику многовольтного ввода/вывода (MultiVolt I/O), позволяющую подавать на выход и принимать на входе сигналы с уровнем напряжения ниже или выше рабочего напряжения ядра и не требующую применения связующей логики.

Выпущенные компанией Altera в начале 2004 года после почти 15-летнего затишья в разработке новых архитектурных решений дешевые CPLD-микросхемы семейства MAX II следует рассматривать как важный шаг на пути развития этой технологии. При разработке микросхем семейства MAX II компания поставила перед собой цель достичь малой динамической мощности, высокой плотности упаковки элементов, высокого быстродействия, энергонезависимости конфигурационной памяти, низкой стоимости и привычной

для разработчиков систем на ПЛИС среды проектирования. При построении архитектуры новой микросхемы компания приняла неожиданное решение: традиционно используемые в CPLD МЯ на основе программируемой матричной логики заменить присущими FPGA таблицами соответствия (LUT). В сравнении с обычными CPLD новая микросхема характеризуется большей плотностью упаковки, меньшей динамической мощностью и более высокой производительностью. За что и названа "волком в овечьей шкуре". По мнению многих экспертов, микросхемы семейства MAX II довольно трудно отождествлять с привычными CPLD на базе трассировочной матрицы с хорошо предсказуемым временем задержки, хотя они и обладают всеми достоинствами обычных сложных ПЛИС, по крайней мере теми, на которые обращает внимание потребитель: энергонезависимость конфигурационной памяти и мгновенная работоспособность при включении. Разработчики Altera отладили средства маршрутизации, предприняли ряд мер по улучшению предсказуемости времени задержки и продолжают указывать логическую сложность микросхемы по числу МЯ, а не логических элементов. Но новые микросхемы по разъемам не совместимы с CPLD предыдущего семейства MAX.

В семейство MAX II входят четыре типа CPLD-микросхем с энергонезависимой конфигурационной и пользовательской памятью, выполненных по 0,18-мкм технологии компании Taiwan Semiconductor Manufacturing Co. (TSMC) с шестислойной металлизацией. CPLD семейства содержат от 240 до 2210 логических элементов (в четыре раза больше, чем в микросхемах предыдущих семейств), что эквивалентно 128–2210 МЯ, и до 272 выводов (табл. 2). Архитектура микросхем состоит из двумерной матрицы логических матричных блоков (ЛМБ) с 10 логическими элементами (ЛЭ) в каждом, банка

Таблица 1. Характеристики микросхем CPLD основных производителей

Тип изделия (тип конфигурационной памяти)	Рабочее напряжение ядра, В	Корпус и число выводов	Число МЯ	Число МЯ на ЛБ/число входов каждого ЛБ	Объем встроенной памяти, бит	Объем встроенного блока памяти, бит	Другие встроенные функции
<i>Altera</i>							
MAX 3000A (ЭСРПЗУ)	3,3	FBGA 256, PLCC 44, PQFP 208, TQFP 444/100/144	32–512	16/36	–	–	–
MAX 7000AE (ЭСРПЗУ)	3,3	BGA 256, FBGA 100/256, PLCC 44/84, PQFP 208, TQFP 100/144	32–512	16/36	–	–	–
MAX 7000B (ЭСРПЗУ)	2,5	BGA 256, FBGA 100/256, PLCC 44, PQFP 208, TQFP 44/100/144, 0,8-мм μBGA 49/169	32–512	16/36	–	–	–
MAX II (СОЗУ)	1,8; 2,5; 3,3	FBGA 256/324, TQFP 100/144	192–2210	10/26	8192 (флэш-память)	8192	Низкочастотный расположенный на кристалле генератор
<i>Atmel</i>							
ATF15xxAS/ASV (ЭСРПЗУ)	3,3–5	PLCC 44/84, PQFP 100/160, TQFP 44 /100	32–128	16/40	–	–	–
ATF15xxBE (ЭСРПЗУ)	1,8–3,3	BGA 49, FBGA 256, PLCC 44, TQFP 44 /100/144	32–1024	16/40	–	–	SPI-интерфейс
ATF2500C (ЭСРПЗУ)	5	PLCC 44, TQFP 44	24	–	–	–	–
<i>Cypress Semiconductor</i>							
Delta39K (СОЗУ)	2,5–3,3	BGA 388, FBGA 256/484/676, PQFP 208	512–3072	16/36	81920–491520	4096 (двухпортовое СОЗУ и FIFO) 8192 (СОЗУ)	ФАПЧ с расширенным спектром, встроенная память FIFO, двухпортовая арбитражная логика, два регистра в каждом блоке ввода/вывода, логическая цепь переноса
Ultra37000 (ЭСРПЗУ)	3,3–5	BGA256/352, CLCC 44/84, CQFP 160/208, PLCC 44/84, PQFP 208/ TQFP 44/100/160	32–512	16/36	–	–	Специализированные входные выходы с двумя регистрами
<i>STMicroelectronics</i>							
DSM (DSP System Memory) (флэш-память)	3–5,5	PLCC 52, PQFP 52, TQFP 80	16	16/24	1048576–4194304	65536–524288	Программируемый JTAG-интерфейс
FPSD (Flash PSD)	3–5,5	PLCC 52, PQFP 52, TQFP 64/80	16	16/24	1048576–4194304	65536–524288	Программируемый JTAG-интерфейс
Turbo μPSD (флэш-память)	3–5,5	PQFP 52, TQFP 80	16	16/24	524288–2097153	32768–262144	10-MIPS ИШМ-микроконтроллерное ядро, 10-бит АЦП, I <sup>2</sup> C, SPI, IrDA, JTAG
μPSD (флэш-память)	3–5,5	PQFP 52, TQFP 80	16	16/24	524288–2097153	32768–262144	Ядро микропроцессора 8032 с ШИМ, 8-бит АЦП, I <sup>2</sup> C, JTAG
<i>Xilinx</i>							
CoolRunner XPLA3 (ЭСРПЗУ)	3,3	CP 56, CS 48/144/280, FG 324, FT 256, PC 44, PQ 208, Tq 144, VQ 44/100	32–512	16/48	–	–	–
CoolRunner II (ЭСРПЗУ)	1,8	CP 56/132, FG 324, FT 256, PC 44, PQ 208, Tq 144, VQ 44/100	32–512	116/40	–	–	Умножитель и делитель тактовой частоты в два раза
Семейство XC 9500 (флэш-память)		BG 256, CS 48/144/280, PC 44/84, PQ 100/160/208, TQ 100/144, VQ 44/64	36–288	18/36	–	–	–
Семейство XC 9500XL (флэш-память)	3,3	BG 256, CS 48/144/280, FG 256, PC 44/84, PQ 100/208, TQ 100/144, VQ 44/64	36–288	18/54	–	–	–
Семейство XC 9500XV (флэш-память)	2,5	CS 48/144/280, FG 256, PC 44, 44 PQ 208, TQ 100/144, VQ	36–288	18/54	–	–	Два банка данных ввода/вывода для больших логических емкостей

\*По состоянию на конец 2004 года при закупке партии в 10 тыс.шт. в самых дешевых корпусах с самым низким быстродействием и коммерческим диапазоном температур.

энергонезависимой флэш-памяти и JTAG-порт управления и отладки. Самый малый элемент архитектуры микросхемы семейства – логический – содержит четырехходовую LUT, реализующую любую функцию четырех переменных. Кроме того, ЛЭ содержит программируемый регистр и цепь переноса данных. ЛМБ объединены системой межсоединений MultiTrack, содержащей ряды и столбцы меж-

соединений фиксированной протяженности, что обеспечивает получение предсказуемой и малой задержки распространения сигнала между логическими уровнями. Сигналы на выходы поступают от элементов ввода/вывода (ЭВВ), расположенных на концах рядов и столбцов ЛМБ по периферии микросхемы (рис. 1). Каждый ЭВВ содержит двунаправленный буфер ввода/вывода с улучшенными



Другие интересные функции	Цена, долл.*
–	–
JTAG-интерфейс, программируемый в системе	1–17
Программируемый в системе JTAG	1,65–33
Задержка распространения 3,5 нс, программируемый в системе JTAG	1,85–33
Маломощное многовольтное ядро, программируемый в системе JTAG, возможность репрограммирования в системе в реальном времени, триггеры Шмита, управление скоростью нарастания выходного напряжения и уровнем сигнала возбуждения	3–16
–	–
Пять термов производства, D/T триггер или триггер-защелка, синхронизация глобальная и терма производства, независимые цепи обратной связи, обеспечивающие двойные защелки/МЯ, разрешение вывода терма производства и глобального вывода, программируемый удерживающий вывод, выходы с транзисторов с открытым коллектором, поддержка JTAG-интерфейса	0,9–10
–	0,8–20
72 термов суммирования, 416 термов производства, D/T триггеры, синхронизация глобальная и термов производства	3–4
–	–
Малая потребляемая мощность, самозагрузка, CPCI-совместимость, поддержка JTAG-интерфейса, многочисленных стандартов ввода/вывода, в том числе PCI, GTL+, SSTL, HSTL, QDR	17–65
Возможность репрограммирования в системе, 16 термов производства на МЯ, JTAG-интерфейс, программируемое удержание шины	1–30
–	–
Флэш-память с двойным банком данных, до 40 универсальных портов ввода/вывода	2,67–4,78
Флэш-память с двойным банком данных, СОЗУ с аварийным батарейным питанием, до 52 универсальных портов ввода/вывода	4,57–15,85
JTAG-эмуляция, флэш-память с двойным банком данных, СОЗУ, до 46 универсальных портов ввода/вывода	4,35–6,4
Низкоскоростной USB 2.0, флэш-память с двойным банком данных, до 50 универсальных портов ввода/вывода	4,31–7,88
–	–
Малая мощность в режиме покоя, 5-В интерфейс ввода/вывода, возможен вариант бессвинцовой технологии, расширенный диапазон рабочих температур, блокировка выводов	1,35
Высокое быстродействие, сверхнизкая мощность в режиме покоя, улучшенная защита конструкции, гистерезис на входе, возможны варианты бессвинцовой технологии и с расширенным диапазоном рабочих температур, HSTL/SSTL-интерфейс, блокировка выводов	0,85–25,6
Расширенный диапазон рабочих температур, блокировка выводов	1,95–17,55
Варианты бессвинцовой технологии и с расширенным диапазоном рабочих температур, блокировка выводов, большое число вводов/выводов корпуса	0,85–8
Варианты бессвинцовой технологии и с расширенным диапазоном рабочих температур, блокировка выводов, большое число вводов/выводов корпуса	1–9,55

характеристиками. Входной буфер ЭВВ содержит дополнительный триггер Шмита, обеспечивающий помехоустойчивость на входе.

Благодаря LUT-структуре и высокой плотности элементов в CPLD семейства MAX II EPM1270 и EPM2210 достаточно возможностей для реализации логики PCI-шин управления. Так, для реализации целевой функции 32-бит/33-МГц PCI требуется ~40% логических

элементов EPM1270 – меньшей из этих двух микросхем. В результате потребитель может сэкономить до 50% средств на реализацию такого интерфейса в системе в сравнении с конструкциями на базе специализированных микросхем ASSP-типа.

В банке флэш-памяти выделен специализированный конфигурационный блок (Configuration Flash Memory – CFM), в который записывается вся конфигурационная информация СОЗУ. При подаче питания CFM-блок автоматически загружает конфигурационные данные, обеспечивая практически мгновенное (через 200 мкс после установления стабильного напряжения питания) включение микросхемы. Предусмотрена возможность перепрограммирования энергонезависимой конфигурационной памяти при работе логических блоков на основе СОЗУ. Другая, меньшая, часть банка памяти выделена для хранения пользовательских данных. Емкость пользовательской памяти (User Flash Memory – UFM), впервые реализованной в ПЛИС, составляет 8 Кбит. Пользовательская память обеспечивает программируемые соединения портов с логической матрицей для считывания и записи данных. Рядом с UFM-блоком расположены три ряда ЛМБ, а число соседних столбцов для различных микросхем семейства различно (рис.2).

К достоинствам микросхем нового семейства относится также малая потребляемая мощность, которая на порядок меньше, чем у CPLD предыдущих семейств. Ток в режиме простоя составляет 2 мА. Напряжение питания микросхем семейства 1,8–3,3 В. Благодаря многовольтовому интерфейсу микросхемы MAX II могут взаимодействовать с системами на напряжение 1,5; 1,8; 2,5 и 3,3 В.

Приборы нового семейства компании Altera предназначены для "ценочувствительных" универсальных средств упорядочения включения питания, конфигурирования систем, запараллеливания интерфейса.

Появление нового семейства CPLD, очевидно, свидетельствует о решении компании вернуться к изделиям, которые собственно и "сделали" ее, и вложить серьезные технические средства в развитие ПЛИС этого типа. На основе проявленного интереса потребителей к микросхемам нового семейства Altera прогнозирует существенный рост продаж CPLD, которые в конечном итоге могут возрасти с современного уровня в ~500 млн. долл. до 2 млрд. долл. ежегодно. А это значит, что CPLD будут успешно конкурировать с ПЛИС на пережигаемых перемычках и FPGA с энергонезависимой памятью. Правда, вряд ли компания пойдет на "поедание" доли рынка собственных FPGA семейства Cyclone.

## ATMEL

Компания Atmel выпускает как микросхемы промышленного стандарта, так и микросхемы, полностью совместимые сверху вниз с популярными ПЛИС PAL- и CPLD-типов. Микросхемы компании серии ATF1500 на основе ЭСРПЗУ с 32–512 МЯ совместимы по выводам с CPLD MAX 7000 фирмы Altera при расширенных функциональных возможностях и высокой гибкости. Время задержки распространения сигнала составляет 7,5–15 нс для моделей на стандартное 5-В напряжение и 15 нс для моделей на 3,3 В. Все типы микросхем серии поставляются в варианте низкого напряжения питания и малой потребляе-

Таблица 2. Основные характеристики микросхем семейства MAX

Характеристика	ЕРМ240	ЕРМ570	ЕРМ1270	ЕРМ2210
Число логических элементов	240	570	1270	2210
Среднее число эквивалентных макроячеек	192	440	980	1700
Число эквивалентных макроячеек	128–240	240–570	570–1270	1270–2210
Объем памяти UFM, бит	8192	8192	8192	8192
Максимальное число пользовательских выводов	80	160	212	272
$t_{pd}^*$ , нс	4,7	5,5	6,3	7,1
$f_{CNT}$ , МГц	304	304	304	304
$t_{CO}^{**}$ , нс	4,4	4,5	4,6	4,1
Корпус	100-выводной TQFP	100-выводной TQFP 144-выводной TQFP 256-выводной BGA	144-выводной TQFP 256-выводной BGA	256-выводной BGA 324-выводной BGA
Цена, долл. (при закупке партии в 500 тыс. шт.)	1,5	2,3	4,25	7,0

\*Задержка распространения сигнала от входного контакта до выходного через комбинационную логику в худшем случае. \*\*Задержка выходного сигнала относительно глобального тактового сигнала.

сы микросхемы на 200% и тем самым обеспечить реализацию проектов, не "умещающихся" на ПЛИС конкурентов с аналогичным числом МЯ. Напряжение питания составляет 3,3 или 5 В. Микросхемы допускают 10 тыс. циклов программирования при гарантированном сроке хранения запрограммированной конфигурации не менее 20 лет. Предусмотрена защита от воздействия электростатичес-

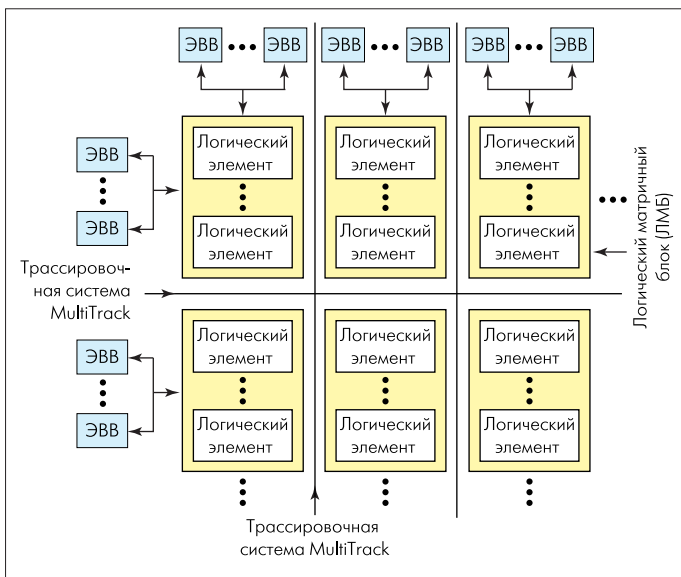


Рис. 1. Блок-схема микросхемы CPLD семейства MAX II

кой мощности (индекс L), в которых для снижения потребляемого тока до 5 мкА используется средство обнаружения изменения уровня сигнала, обеспечивающее автоматический перевод микросхемы в режим покоя в отсутствие изменений на входах или узлах обратной связи. Для всех микросхем предусмотрена возможность внутрисхемного программирования через JTAG-интерфейс.

Принятая компанией технология Logic Doubling (удвоения логики) (рис.3) позволяет увеличить число входов макроячейки и соответственно подаваемых термов с пяти до 40, поддерживать многочисленные независимые цепи обратной связи, раздельное разрешение вывода данных, конфигурируемые D/T-триггеры и триггеры-защелки, а также реализовать опциональный режим защелки для триггеров МЯ. Все это, по утверждению разработчиков, позволило расширить ресур-

кого разряда на напряжение 2 кВ.

Atmel предлагает и инструментарий преобразования POF2JED, позволяющий автоматически переносить на свои ПЛИС конструкции, созданные для микросхем других поставщиков.

**LATTICE SEMICONDUCTOR**

Микросхемы компании подразделяются на три класса.

*Сверхбыстродействующие (SuperFast)* на частоту до 400 МГц – семейство ispMACH 4000 с числом МЯ 32–512, временем задержки сигнала 2,5 нс, даже если используется до 20 термов на МЯ. Микросхемы этого класса сочетают высокое быстродействие с низкой динамической мощностью и поддерживают стандарты ввода/вывода на напряжения 3,3; 2,5 и 1,8 В. Рабочий диапазон температур – 40...130°C. Поставляются в корпусах типа TQFP и BGA с числом контактов от 44 до 256.

На базе архитектуры ПЛИС этого класса созданы так называемые CPLD нулевой потребляемой мощности – микросхемы серии 4000Z, характеризующиеся малыми током в режиме покоя (13–32 мкА) и потребляемой мощностью (25–62 мкВт). Системная частота CPLD серии составляет 267 МГц, время задержки при распространении сигнала от вывода к выводу – 3,5 нс.

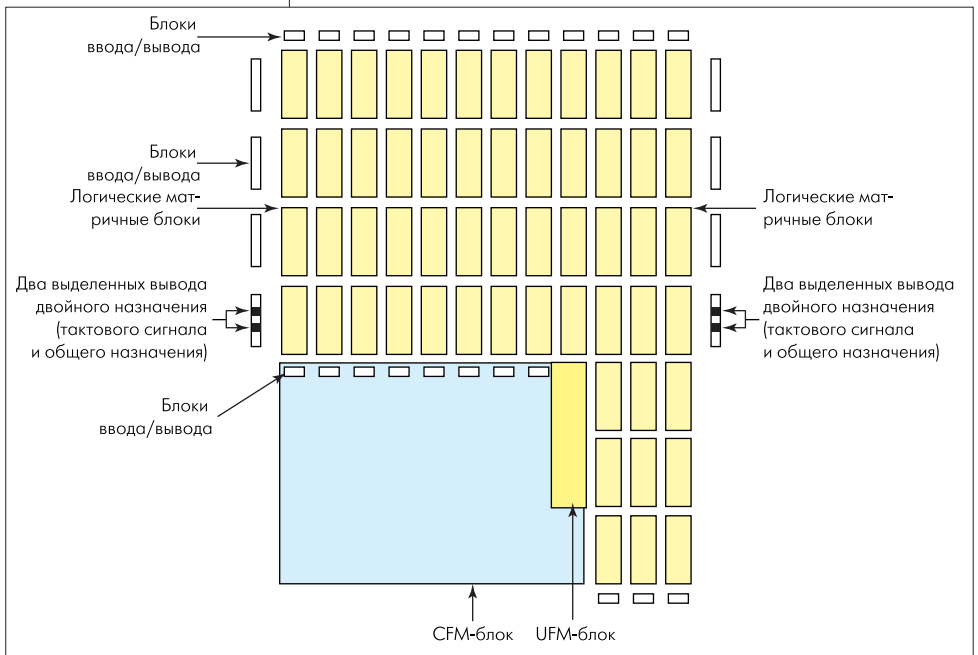
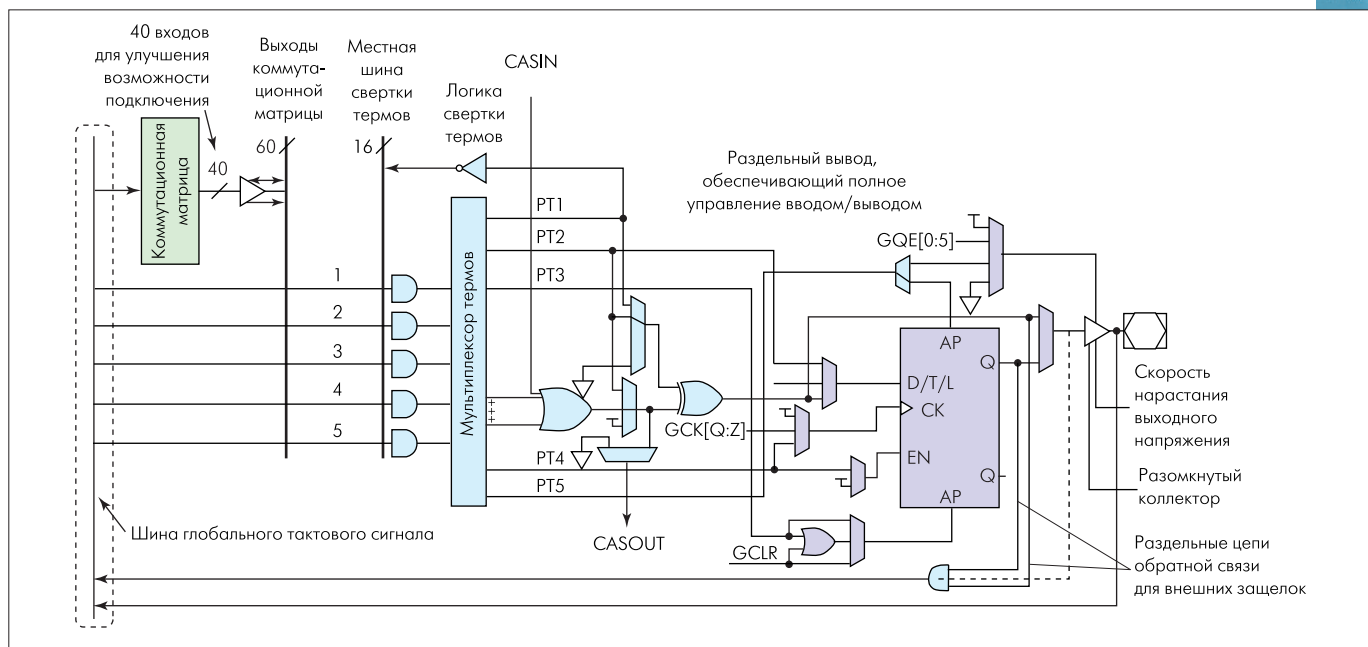


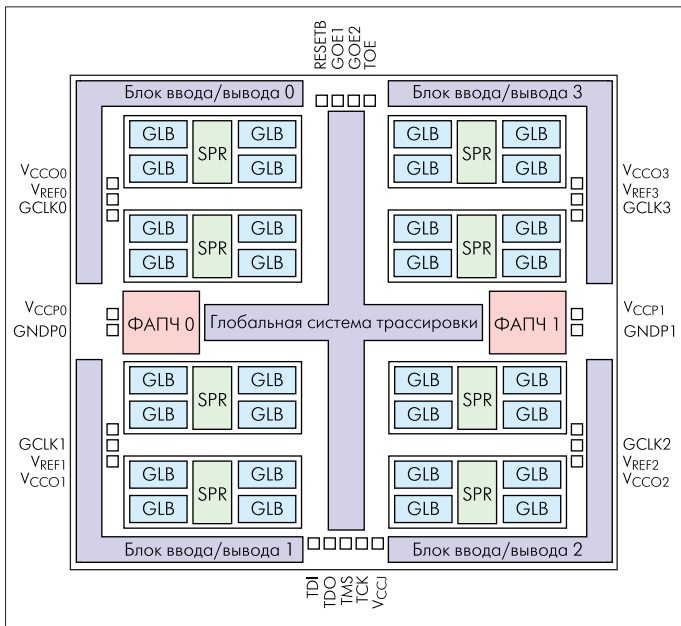
Рис.2. Архитектурный план CPLD семейства MAX II. Приведен план микросхемы ЕРМ570. Планы микросхем ЕРМ1270 и ЕРМ2210 аналогичны, за исключением большего числа ЛМБ. В приборе ЕРМ240 CFM- и UFM-блоки повернуты на 90° и находятся с левой стороны кристалла



**Рис.3. Блок-схема макроячейки, выполненной по технологии Logic Doubling**

Микросхемы со сверхширокой архитектурой (*SuperWide*) – CPLD семейств ispLSI/ispMACH5000 с 68-входовыми ЛБ и числом термов до 163. Они позволяют легко реализовывать сложные логические функции на одном логическом уровне (в обычных CPLD с вдвое меньшим числом входов ЛБ для реализации аналогичных функций требуются два или более уровней). Таким образом, для "широких"

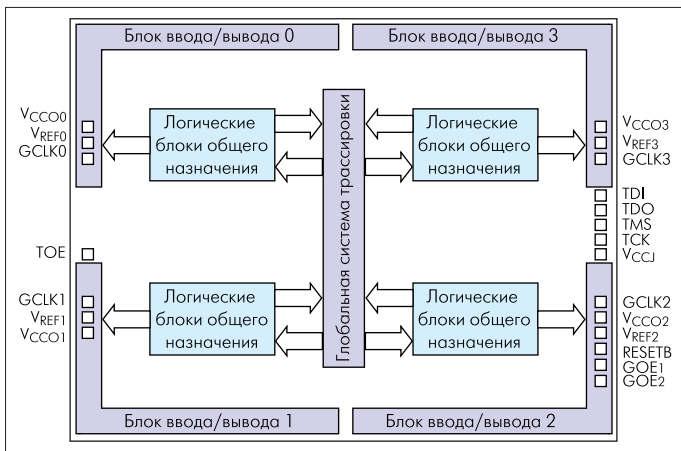
логических функций с более чем 36 входными данными микросхемы семейств ispLSI/ispMACH5000 обеспечивают улучшенное исполнение (до 60%) в сравнении с обычными CPLD. В микросхемах третьего поколения ispMACH5000VG использована иерархическая архитектура трассировочных линий, что позволило увеличить число МЯ до 1024 и число выводов блоков ввода/вывода до 196–384



**Рис.4. Блок-схема CPLD со сверхширокой архитектурой серии ispLSI 5000VG**

(рис.4). В микросхемах семейства четыре ЛБ общего назначения (General Logic Block – GLB), содержащих каждый 32 МЯ, образуют сегмент, внутри которого они объединены трассировочными линиями сегмента (Segment Routing Pool – SRP). Трассировочные линии SRP в свою очередь объединены глобальной трассировочной системой (Global Routing Pool – GRP). Все порты ввода/вывода микросхем представляют собой системные порты ввода/вывода. Они разделены на четыре блока, которые имеют свои источники питания и генераторы опорного напряжения. Порты ввода/вывода могут работать с разнообразными современными интерфейсными стандартами, при этом благодаря наличию генератора опорного напряжения вводы/выводы одного блока могут работать с различными стандартами как на входе, так и на выходе. Кроме того, в микросхеме предусмотрены ФАПЧ подстройки системной синхронизации. Монтируются микросхемы в корпусе fPBGA-типа с числом выводов от 256 до 676. По логической емкости микросхемы серии ispMACH5000VG подобны устройствам следующего класса.

*Сверхбольшие микросхемы (SuperBig)* с числом логических ячеек до 1024. В этот класс вошли выпущенные в конце 2003 года ПЛИС ispXPLD – микросхемы с расширенными возможностями программирования. В ПЛИС этого семейства использована архитектура сверхшироких CPLD семейства ispMACH5000, но с возмож-



**Рис.5. Блок-схема сверхбольшей CPLD серии ispMACH 5000**

ностью конфигурирования различных схем памяти и логики. Достигнуто это за счет применения многофункциональных блоков (Multi-Function Blocks – MFB), объединенных GRP (рис.5). Входящая в блок MFB многофункциональная матрица использует до 68 входов GRP, четыре глобальных тактовых сигнала, сигнал сброса и выдает МЯ выходные данные и определенные сигналы управления. Выходные сигналы могут передаваться внутрисхемным блокам или блокам системного ввода/вывода (sysIO) для вывода данных. Каждый блок MFB может быть сконфигурирован для выполнения следующих шести функций:

- логического устройства с 68 входами, 168 термами и с 32 МЯ;
- двухпортового СОЗУ емкостью до 8 Кбит;
- псевдодвухпортового СОЗУ емкостью 16 Кбит;
- однопортового СОЗУ емкостью 16 Кбит;
- памяти обратного магазинного типа (FIFO) емкостью 16 Кбит;
- ассоциативной памяти емкостью 128x48 бит.

Время задержки распространения сигнала от входа к выходу через комбинационную логику равно 4 нс, задержка тактового импульса – 2,8 нс, время установки – 2,2 нс и рабочая частота – до 300 МГц. Средняя потребляемая мощность в статическом режиме составляет 20–50 мА (при напряжении питания 1,8 В) и 3–60 мА (при 2,5/3,3 В). Напряжение питания микросхем семейства 3,3; 2,5 и 1,8 В.

### XILINX

Не оставляет без внимания рынок CPLD и крупнейший производитель ПЛИС с FPGA-архитектурой, выпускающий несколько семейств таких микросхем, – компания Xilinx. CPLD серий XC9500, CoolRunner, CoolRunner XPLA3 и CoolRunner-II подробно рассмотрены ранее\*. Интерес компании к ПЛИС этого типа связан с совершенствованием технологии и снижением издержек производства, улучшением производительности и надежности, благодаря чему расширяется их применение для реализации конструкций на базе устаревших "дискретных" логических микросхем. В 2003 году доля компании на рынке CPLD составила 21% против 18% в 2002-м. С целью стимулирования дальнейшего роста своей доли на рынке Xilinx выпустила аналитическую сервисную программу CPLD Logic Consolidator, позволяющую сравнивать стоимость реализации конкретного приложения на ПЛИС, в частности популярных серий компании, и дискретных логических устройств. За счет определения экономии затрат на материально-техническое обеспечение CPLD Logic Consolidator предоставляет конструкторам цифровых систем данные для оценки либо экономии, достигаемой при использовании ПЛИС, либо данные для определения направления дальнейших работ по увеличению степени интеграции микросхем. Оценка экономии производится на основе сравнения средней цены дискретных логических микросхем семейства 7400 в самых дешевых пластмассовых корпусах при закупке партии в 10 тыс. шт. и цены CPLD, реализующего оптимальное решение, при продаже аналогичной партии.

Таким образом, помимо экономии средств на приобретение изделий, CPLD позволяют экономить общие затраты на реализацию системы благодаря уменьшению площади печатной платы и числа слоев, требуемых для формирования соединений, а также снижению затрат на установку, испытания и сборку. Возможность перепрограммирования ПЛИС этого типа обеспечивает модернизацию уже готового изделия. А поскольку CPLD поставляются как "чистые изделия", пригодные для различных приложений, они не создают риска возникновения избыточных запасов.

\* ЭЛЕКТРОНИКА: НТБ, 2004, №5, с.54.