

ОПТИМИЗИРОВАННАЯ СТРУКТУРА FPGA ДЛЯ ПРОДУКЦИИ МАССОВОГО СПРОСА МИКРОСХЕМЫ LatticeECP/EC



М.Петров, С.Заболотский
Mikhail.Petrov@wbc-europe.com
Sergey.Zabolotskiy@wbc-europe.com

В настоящее время FPGA находят все большее применение при производстве изделий массового спроса. А это требует значительных усилий по оптимизации функциональных возможностей, производительности и стоимости таких микросхем. Причем процесс оптимизации начинается с определения набора необходимых функциональных возможностей и параметров еще до начала разработки самой микросхемы FPGA. Ведь продуманная, правильно поставленная задача, — один из важнейших факторов успеха ее решения. И в дальнейшем на каждом этапе работы, от разработки архитектуры изделия до реализации его в виде законченной микросхемы, следует непрерывно сопоставлять результаты работы с поставленной задачей. Рассмотрим различные факторы, влияющие на стоимость FPGA, и способы ее снижения применительно к архитектуре и технологии производства двух семейств FPGA фирмы Lattice Semiconductor — LatticeECP (Economy Plus) и LatticeEC (Economy).

ВВЕДЕНИЕ

Программируемые пользователем базовые матричные микросхемы (FPGA) на протяжении последних лет в основном привлекали внимание разработчиков мелкосерийного или опытного оборудования. Это объясняется возможностью быстрого изменения конфигурации устройства путем перепрограммирования FPGA, благодаря чему можно значительно сократить продолжительность его разработки и снизить стоимость. При этом стоимость собственно FPGA при малом объеме производства готового изделия не имеет первостепенного значения. Однако в секторе производства товаров потребительского спроса (сложной бытовой техники, устройств беспроводной связи или абонентского сетевого оборудования) сложилась совершенно другая ситуация. Здесь основное внимание уделяется как раз издержкам производства, а не срокам разработки изделия, и экономически выгоднее оказалось использовать специализированные заказные микросхемы (ASIC). Но постоянное повышение степени интеграции микросхем и переход к обработке полупроводниковых пластин большего диаметра неуклонно ведут к повышению стоимости разработки ASIC при одновременном увеличении минимальных экономически целесообразных объемов их производства*. А острая кон-

курентная борьба на рынке изделий массового спроса требует постоянного обновления модельного ряда продукции и, следовательно, постоянной переработки микросхем. Эти тенденции оказались очень благоприятными для производителей ПЛИС, и в первую очередь FPGA. Уменьшение площади кристалла отдельной микросхемы и увеличение размеров полупроводниковых пластин позволили значительно снизить себестоимость их производства. Наряду с непрерывно увеличивающейся стоимостью разработки микросхем ASIC этот фактор сдвигает границу экономической целесообразности выбора того или иного решения в пользу FPGA в область все больших объемов производства (рис. 1). В результате микросхемы FPGA стали все больше и больше привлекать производителей массовой продукции.

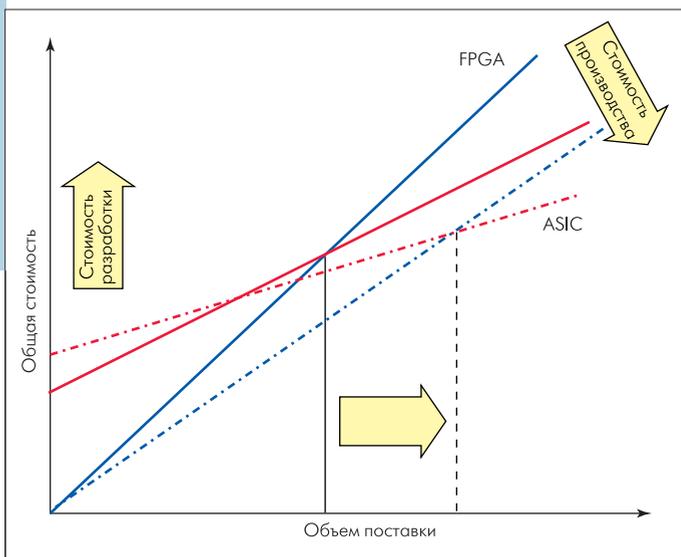


Рис. 1. Граница экономической целесообразности использования FPGA и ASIC

ОПТИМИЗАЦИЯ СТРУКТУРЫ ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ МИКРОСХЕМ

Логические блоки и коммутационное поле

При оптимизации структуры FPGA основное внимание следует обращать на структуру логических блоков и связанную с ними коммутационную систему. Именно эти блоки занимают большую часть площади кристалла микросхемы. При архитектуре изделия, базирующейся на таблицах соответствия (Look-Up-Table — LUT), наиболее важную роль играет поддержка возможности построения распре-

*Филатов. А. Становление нового сегмента рынка FPGA. — Наст. номер, с.20. (Прим. ред.).

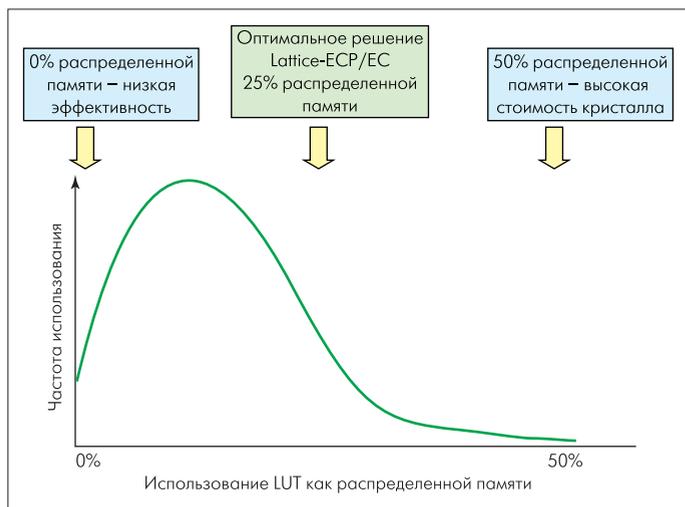


Рис.2. Частота использования различных объемов распределенной памяти

ленного запоминающего устройства. Это вызвано тем, что при такой поддержке площадь логического блока может увеличиться до 20%. На основе многочисленных опросов инженеров, применяющих FPGA в своих разработках, специалисты фирмы Lattice Semiconductor определили необходимость поддержки распределенного ОЗУ. И хотя многие инженеры в своих разработках активно используют встроенное ОЗУ для эффективной организации регистровой или блокнотной памяти, большинство из них применяют только небольшое число LUT для поддержки этой функции (рис.2).

Чтобы обеспечить максимальное удобство пользователям при сохранении невысокой стоимости микросхемы, разработчики фирмы ограничились поддержкой функций распределенного ОЗУ только в 25% логических блоков, входящих в состав микросхем семейств LatticeECP/EC. Такой подход кардинально отличается от принципов построения архитектур других FPGA, предназначенных для применения в продукции массового потребления. Конкурирующие производители предпочитают либо вообще отказаться от распределенного ОЗУ, вынуждая пользователей применять значительное число LUT для организации встроенной памяти, либо, наоборот, используют ~50% распределенного ОЗУ, заставляя потребителей оплачивать дополнительные функции, которые им скорее всего не понадобятся.

Второй немаловажный фактор, влияющий на соотношение стоимость–рабочие характеристики FPGA, – построение коммутационного поля микросхемы. Многие производители FPGA, стремясь минимизировать время распространения сигналов в соединительных проводниках, уже перешли к выпуску изделий с технологическими нормами 90 нм. При этом приходится мириться с такими проблемами, как низкий процент выхода годных изделий, значительно увеличивающий стоимость FPGA, и с возникновением неуправляемых токов утечки, снижающих надежность работы микросхемы. Фирма Lattice Semiconductor пошла по альтернативному пути. Микросхемы семейства ECP/EC изготавливаются по 130-нм технологии фирмы Fujitsu с девятислойной металлизацией. Для изоляции соединительных трасс используется диэлектрик с малой диэлектрической проницаемостью. Это позволяет заметно снизить емкость соединительных трасс и обеспечить такую же задержку распространения сигналов, как и в микросхемах конкурирующих производителей, выполненных по 90-нм технологии. В то же время, благодаря высокому проценту выхода годных изделий стоимость микросхем сравнительно невелика, даже несмотря на большую площадь

кристалла. Кроме того, принятая фирмой Lattice многоуровневая система коммутации, которая объединяет отдельными соединительными линиями все соседние, а также каждый второй и каждый шестой логические блоки, позволила значительно увеличить коэффициент использования ресурсов микросхемы при генерации проекта. В результате требуемая логическая схема может быть реализована на FPGA со значительно меньшим числом базовых ячеек, чем при работе с FPGA конкурирующих производителей.

Поддержка стандартов ввода/вывода

Буферы ввода/вывода и связанная с ними интерфейсная логика вносят следующий по значимости (после логических блоков и коммутационной структуры) вклад в использование площади кристалла. И эти составляющие тоже требуют оптимизации при разработке структуры FPGA. Сегодня существует широкий набор различных стандартов ввода/вывода, характеризующихся, с одной стороны, по-

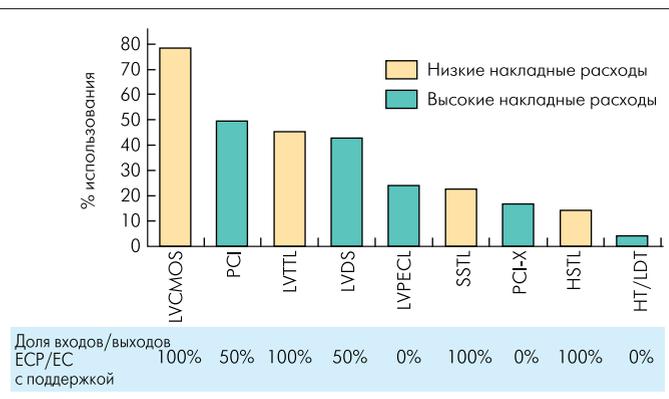


Рис.3. Популярность использования различных интерфейсов в микросхемах FPGA

пулярностью их использования, а с другой – ресурсоемкостью их реализации (рис.3). Эти показатели и определяли решение разработчиков о поддержке определенных стандартов в микросхемах семейств LatticeECP/EC. В результате в микросхемах ECP/EC в полной мере поддерживаются наиболее популярные стандарты LVCMOS, PCI, LVTTTL и LVDS. Однако стандарты с высокой ресурсоемкостью, такие как PCI и LVDS, реализованы только на половине кристалла микросхемы, поскольку большинству пользователей поддержка этих стандартов необходима только на ограниченном числе входов/выходов. Остальные малопопулярные стандарты (LVPECL, SSTL, PCI-X, HSTL и HT/LDT) реализуются только в том случае, когда для этого не требуется значительных ресурсов (например, SSTL и HSTL). Кроме того, все микросхемы семейства

ЕСР/ЕС при добавлении внешних резисторов могут работать со стандартом LVPECL.

Поддержка интерфейсов внешнего ЗУ

В большинстве случаев основное требование разработчиков изделий массового спроса к внешнему ЗУ – минимальная стоимость хранения одного байта информации. Это означает применение синхронного динамического ОЗУ (SDRAM). Но в последние годы пальма первенства окончательно перешла к ЗУ типа DDR (SDRAM с удвоенной скоростью обмена), и все большее число разработчиков останавливают свой выбор именно на них.

Однако при использовании памяти DDR-типа интерфейс ОЗУ существенно усложняется. Необходимо не только синхронизировать обмен данными (DQ) с соответствующим стробирующим сигналом (DQS), но и преобразовать поток данных, управляемых по обоим фронтам тактового сигнала, в единый поток, управляемый только по одному фронту. Кроме того, частота тактового сигнала интерфейса запоминающего устройства должна быть согласована с системной тактовой частотой. Ситуация еще более усложняется двунаправленным характером сигнала DQS.

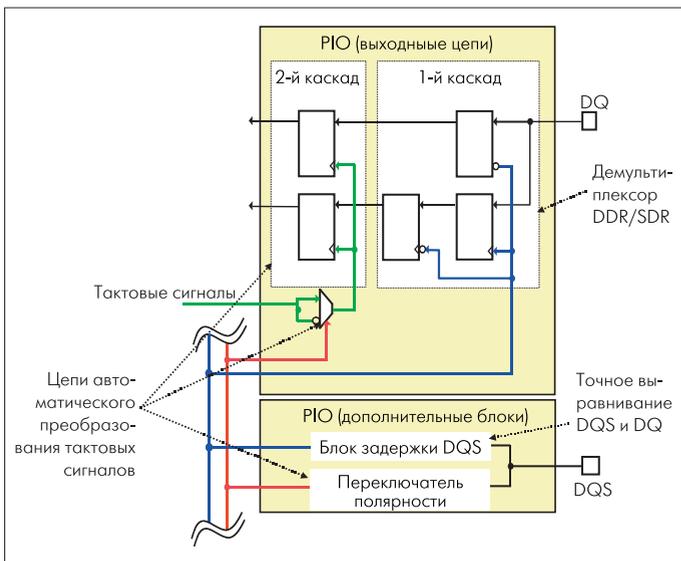


Рис.4. Фрагмент реализации интерфейса DDR (входные цепи)

Реализация интерфейса DDR-памяти в традиционных устройствах FPGA представляет значительную сложность и требует большого числа внутренних ресурсов. В микросхемах семейств LatticeECP/EC для организации интерфейса DDR используются специализированные выделенные блоки (рис.4). Они обеспечивают корректное согласование сигналов DQ и DQS, мультиплексирование и демultipлексирование данных, а также необходимое согласование тактовых сигналов. По сравнению с традиционными FPGA такие цепи при организации 64-бит интерфейса DDR позволяют сэкономить от 500 до 1000 внутренних регистров. Это слишком значительная часть из 1500 регистров общего назначения, характерных для микросхем FPGA небольшой логической емкости. Кроме того, использование специализированных интерфейсных цепей позволяет увеличить производительность микросхемы на 25% и использовать для реализации проекта более дешевые микросхемы с меньшим быстродействием.

Стоимость конфигурационной памяти

В большинстве микросхем FPGA данные о рабочей конфигурации хранятся во встроенных ячейках статического ОЗУ. В этом случае конфигурационные параметры должны загружаться в микросхему

при каждом включении питания. Для энергонезависимого хранения конфигурационной информации традиционно использовалось специализированное ПЗУ, поставляемое непосредственно самим производителем FPGA. Из-за сравнительно небольших объемов производства стоимость таких ПЗУ в ряде случаев составляла почти половину стоимости FPGA.

Чтобы хоть как-то сэкономить на памяти, многие разработчики пытались конфигурировать FPGA с помощью микропроцессора. При этом конфигурационная информация записывалась в относительно недорогую флэш-память, предназначенную для хранения кодов программ. Но это, в свою очередь, вызывало дополнительные трудности. Во-первых, при таком типе загрузки микросхема FPGA не могла служить для организации цепей обвески микропроцессора. Для этого приходилось использовать традиционные логические микросхемы или дополнительное энергонезависимое устройство программируемой логики.

Во-вторых, при хранении кода программы и конфигурационной информации FPGA в одном запоминающем устройстве программная и аппаратная реализации устройства оказывались тесно связанными и зачастую требовали полной перетрансляции программного обеспечения даже при небольших изменениях в аппаратной реализации.

В последние несколько лет большинство производителей постоянной флэш-памяти освоили выпуск малогабаритных микросхем ЗУ с SPI-интерфейсом. Вследствие острой конкурентной борьбы на рынке микросхем памяти стоимость их сохраняется на разумном уровне, который иногда может быть в несколько раз ниже стоимости специализированных загрузочных ПЗУ, поставляемых производителями FPGA. Чтобы оптимизировать полную стоимость готовой системы, при разработке семейств LatticeECP/EC была предусмотрена поддержка загрузки конфигурации непосредственно из памяти с SPI-интерфейсом. Это, конечно, не исключает других возможностей конфигурации микросхемы через JTAG-порт. Кроме значительного снижения стоимости загрузка конфигурации FPGA из памяти с SPI-интерфейсом позволила значительно сэкономить площадь печатной платы (рис.5).

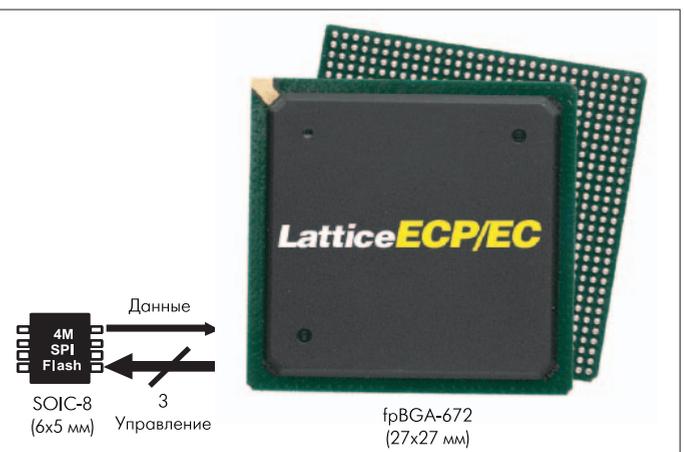


Рис.5. Применение малогабаритного ПЗУ с SPI-интерфейсом для загрузки конфигурации FPGA

ВНУТРЕННЯЯ АРХИТЕКТУРА LatticeECP/EC

Приведенная концепция реализации недорогих FPGA, предназначенных для аппаратуры массового производства, была в полной мере использована при разработке FPGA семейств LatticeECP и LatticeEC. Микросхемы семейства LatticeECP объединяют опти-

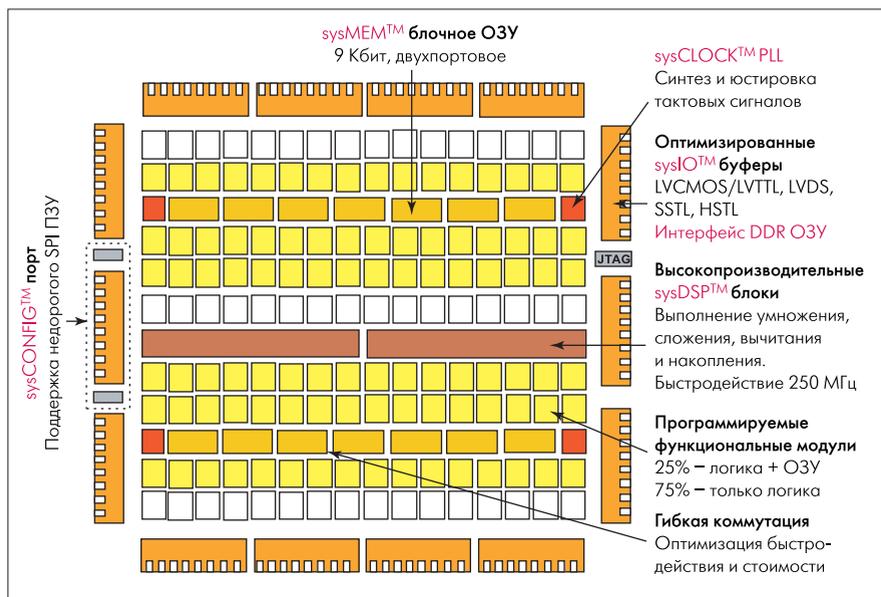


Рис.6. Внутренняя структура микросхем семейства LatticeECP

мизированную структуру FPGA с высокопроизводительными специализированными блоками, предназначенными для построения систем цифровой обработки сигналов (рис.6). Основу структуры составляет матрица логических блоков, окруженная по периметру кристалла программируемыми устройствами ввода/вывода. Между отдельными строками логических блоков располагается встроенное блочное запоминающее устройство (EBR), по центру кристалла – набор специализированных быстродействующих DSP-блоков, обеспечивающих эффективное выполнение функций цифровой обработки сигналов. Суммарная производительность DSP-блоков составляет 10^9 операций умножения/накопления в секунду при работе с 18-бит операндами. Каждый DSP-блок может быть сконфигурирован для выполнения одной из следующих функций:

- умножения (MULT),
- умножения, накопления (MAC),
- умножения, сложения/вычитания (MULTADD),
- умножения, сложения/вычитания, накопления (MULTADDSUM).

Таблица 2. Основные параметры микросхем семейств LatticeECP/EC

Параметр	EC1	EC3	EC6/ECP6	EC10/ECP10	EC15/ECP15	EC20/ECP20	EC33/ECP33	EC40/ECP40
Число строк с PFU/PFF	12	16	24	32	40	44	64	64
Число столбцов с PFU/PFF	16	24	32	40	48	56	64	80
Общее число PFUs/PFFs	192	384	768	1280	1920	2464	4096	5120
Число DSP-блоков*	–	–	4	5	6	7	8	10
Число встроенных умножителей 18x18*	–	–	16	20	24	28	32	40
Число LUT	1,5K	3,1K	6,1K	10,2K	15,4K	19,7K	32,8K	41K
Распределенное ОЗУ, Кбит	6	12	25	41	61	79	131	164
Блочное СОЗУ, Кбит	18	55	92	277	350	424	535	645
Число блоков EBR	2	6	10	30	38	46	58	70
Напряжение питания V_{CC} , В	1,2							
Число блоков ФАПЧ	2	2	2	4	4	4	4	4
<i>Максимальное число входов/выходов при различных типах корпуса</i>								
TQFP-100 (14 x 14 мм)	67	67	–	–	–	–	–	–
TQFP-144 (20 x 20 мм)	97	97	97	–	–	–	–	–
PQFP-208 (28 x 28 мм)	112	145	147	147	–	–	–	–
fpBGA-256 (17 x 17 мм)	–	160	195	195	195	–	–	–
fpBGA-484 (23 x 23 мм)	–	–	224	288	352	360	360	–
fpBGA-672 (27 x 27 мм)	–	–	–	–	–	400	496	496
fpBGA-900 (31 x 31 мм)	–	–	–	–	–	–	–	576

*Только для микросхем семейства ECP.

Максимальное число элементов каждого типа, выполняемых на одном DSP-блоке, зависит от реализуемой функции и ширины операндов (табл.1).

Для снижения стоимости в FPGA семейства LatticeEC были исключены специализированные DSP-блоки при полном сохранении всех остальных функциональных возможностей. В FPGA семейств LatticeECP и LatticeEC используются два типа логических блоков – программируемые функциональные модули (PFU) и программируемые функциональные модули без ОЗУ (PFF). В модули PFU входят функциональные элементы, предназначенные для построения логических цепей, арифметических блоков, ПЗУ, ОЗУ и регистров. А с помощью модулей PFF можно построить только логические цепи, арифметические блоки и ПЗУ. Модули PFU и PFF оптимизированы с точки зрения максимальной гибкости, что при генерации проекта позволяет быстро и эффективно использовать ресурсы микросхемы. Логические блоки расположены на кристалле микросхемы в виде двумерной матрицы. При этом в каждой строке матрицы находятся логические блоки только одного типа. По краям кристалла располагаются только строки с PFU-блоками. На оставшейся части кристалла блоки PFU и PFF чередуются, причем на каждые три строки PFF-блоков приходится одна строка PFU-блоков.

Таблица 1. Максимальное число элементов различного типа, реализуемых на одном DSP-блоке

Реализуемая функция	Число элементов при различных значениях ширины операндов		
	x9	x18	x36
MULT	8	4	1
MAC	4	2	–
MULTADD	4	2	–
MULTADDSUM	2	1	–

Каждая ячейка ввода/вывода (PIO) в составе микросхемы состоит из двух элементов ввода/вывода (PIO) с возможностью реализации различных интерфейсов. Все элементы PIO поддерживают по входу и выходу интерфейсы LVTTTL, LVCMOS, HSTL и SSTL, а также обеспечивают возможность приема сигналов LVDS, BLVDS

и LVPECL. Пары элементов PIO, расположенные по левому и правому краям кристалла, могут использоваться в качестве дифференциальных LVDS-передатчиков, тогда как элементы PIO на верхнем и нижнем краях содержат дополнительные ограничительные диоды для организации PCI-интерфейса. В элементы ввода/вывода интегрированы также специализированные цепи, облегчающие построение интерфейса DDR-памяти.

Входящее в состав микросхемы блочное запоминающее устройство (EBR) может быть сконфигурировано для организации двухпортового, псевдодвухпортового, однопортового ОЗУ или ПЗУ. Каждый EBR-блок содержит 9 Кбит памяти. При добавлении в структуру памяти небольшого числа логических блоков может быть организована работа в режиме FIFO. Ширина памяти программируется от 1 до 36 бит.

Все блоки PFU, PFF, PIC и EBR располагаются на кристалле в виде двумерной матрицы. Объединяются они с помощью многочисленных вертикальных и горизонтальных соединительных линий. При генерации проекта специализированное программное обеспечение автоматически соединяет необходимые блоки в единую логическую структуру. При этом возможно ручное управление процессом оптимизации межблочных соединений с целью достижения оптимальных временных параметров логической схемы, либо максимальной степени использования внутренних ресурсов.

По краям каждой строки, содержащей блочную память, находятся блоки генерации тактовых сигналов (sysCLOCK). Включение в состав блоков sysCLOCK цепей ФАПЧ обеспечивает умножение и деление частоты, а также управляемый сдвиг фазы тактовых сигналов. В состав микросхем семейств LatticeECP/EC входят от двух до четырех независимых блоков ФАПЧ.

Каждая микросхема семейств LatticeECP/EC имеет JTAG-порт со встроенными возможностями логического анализатора. Встроенный sysCONFIG-порт допускает различные режимы параллельной или последовательной загрузки конфигурации микросхемы, в том числе поддерживает загрузку из стандартного малогабаритного ПЗУ с SPI-интерфейсом. Параметры микросхем семейств LatticeECP/EC приведены в табл. 2.

ЗАКЛЮЧЕНИЕ

На протяжении многих лет фирма Lattice Semiconductor устойчиво входит в первую тройку крупнейших мировых производителей ПЛИС. Продукция Lattice Semiconductor всегда отличалась использованием уникальных технических решений, значительно облегчающих разработку сложных логических цепей и предлагающих разработчику невиданные ранее возможности. Это могут быть и программируемые логические схемы со сверхнизким потреблением энергии (не более 10 мкА в статическом режиме), программируемые аналоговые микросхемы, предназначенные для усиления и фильтрации сигналов различных датчиков, уникальные программируемые аналого-цифровые схемы, позволяющие реализовать на одном кристалле функции управления и мониторинга работы сложных многовыходных источников питания. Целый набор специализированных высокоскоростных программируемых микросхем обеспечивает формирование, преобразование и коммутацию цифровых потоков со скоростью передачи до 10,7 Гбит/с. Все возможности, предоставляемые разработчикам электронных приборов программируемыми микросхемами Lattice Semiconductor, перечислить трудно.

<http://www.latticesemi.com/>

ПОЗДРАВЛЯЕМ ЮБИЛЯРА



9 июня 2005 года исполняется 60 лет постоянному автору журнала – Степану Харлановичу Карпенкову. Доктор технических наук, профессор, академик Российской академии естественных наук, Лауреат государственной премии РФ в области науки и техники, заслуженный деятель науки РФ, Лауреат премии Правительства РФ в области науки и техники, заведующий кафедрой естествознания Государственного университета управления С.Х.Карпенков хорошо известен как крупный специалист в области высококвалифицированных преобразователей и накопителей информации, а также в области естественно-научного образования и концепций современного естествознания.

Профессор С.Х.Карпенков – член ряда ученых советов, эксперт УМО вузов России, член редакционных советов и редколлек-

гий многих научных и научно-технических журналов, действительный член отраслевых академий. Награжден медалью "Автор научного открытия", посвященной лауреату Нобелевской премии П.Л.Капице. В соответствии с Указом Президента Российской Федерации С.Х.Карпенков удостоен Государственной научной стипендии (1994–2003), присуждаемой выдающимся ученым России.

Свой юбилей С.Х.Карпенков встречает в постоянных трудах и заботах о возрождении и процветании отечественной науки. Исследования С.Х.Карпенкова в области магниторезистивных свойств тонкопленочных материалов не прекращаются и по сегодняшний день. В 2004 году в издательстве "Логос" вышла очередная его книга – "Современные преобразователи и накопители информации".

Редакция журнала присоединяется к многочисленным поздравлениям в адрес С.Х. Карпенкова в связи с юбилеем, желает ему новых творческих успехов и, конечно, надеется на дальнейшее плодотворное сотрудничество с этим талантливым, энергичным и разносторонним в своих интересах ученым.