

# СОЗДАЙТЕ СОБСТВЕННЫЙ МАРШРУТ ПРОЕКТИРОВАНИЯ ПЛИС В СИСТЕМЕ ACTIVE-HDL КОМПАНИИ ALDEC

А.Бухтеев

В отличие от компаний-гигантов, небольшие фирмы-производители САПР, такие как Aldec, специализируясь в определенной области проектирования и обладая несколькими первоклассными продуктами, не могут обеспечить поддержку всех этапов проектирования. Рецепт выживания таких компаний в конкурентной борьбе обычно включает поддержку невысоких цен при постоянном совершенствовании и обеспечении максимальной гибкости продуктов, позволяющей состыковывать их с популярными продуктами других компаний, встраивать в существующие маршруты проектирования, а также организовывать на их базе новые маршруты, ориентированные на индивидуальные требования разработчиков.

ПЛИС различных компаний-производителей. Важно то, что помимо развитых встроенных средств моделирования и отладки Active-HDL также предоставляет разработчикам единую среду для построения собственных маршрутов проектирования ПЛИС в зависимости от характера решаемых задач и используемых программных средств.

## ОРГАНИЗАЦИЯ ПРОЦЕССА ПРОЕКТИРОВАНИЯ

Центральное место в структуре системы Active-HDL занимает блок управления маршрутом проектирования (рис. 1). В блоке управления разработчик может определить набор средств, используемых на каждом из этапов проектирования ПЛИС (моделирование, синтез, проектирование топологии, специальные средства), которые в дальнейшем будут работать в рамках единого маршрута и среды проектирования системы Active-HDL. В системе в любых комбинациях могут быть использованы все доступные на сегодняшний день средства производителей ПЛИС и большинство популярных продуктов компаний-производителей САПР. Состав средств, которые могут быть встроены в маршрут проектирования, постоянно расширяется. Интеграция различных продуктов в

С 1984 года компания Aldec (Automated Logic Design Company, Inc.) специализируется на средствах моделирования, верификации и отладки проектов интегральных микросхем. Первой в линейке продуктов компании была система моделирования SUSIE, которая работала еще в операционной системе DOS. Появившаяся затем система Active-CAD, реализованная в среде Windows, приобрела большую популярность и была лицензирована компанией Xilinx для своего маршрута проектирования. Только за первые два года продаж было поставлено более десяти тысяч копий системы. Сейчас в арсенале компании Aldec – системы моделирования ПЛИС и ASIC на любых вычислительных платформах; средства совместной программно-аппаратной верификации проектов, содержащих процессорные ядра; аппаратные ускорители моделирования. Традиционно особое внимание уделяется поддержке проектирования ПЛИС. Система Active-HDL – продукт, ориентированный на максимальную гибкость при разработке сложных проектов на базе любых типов современных

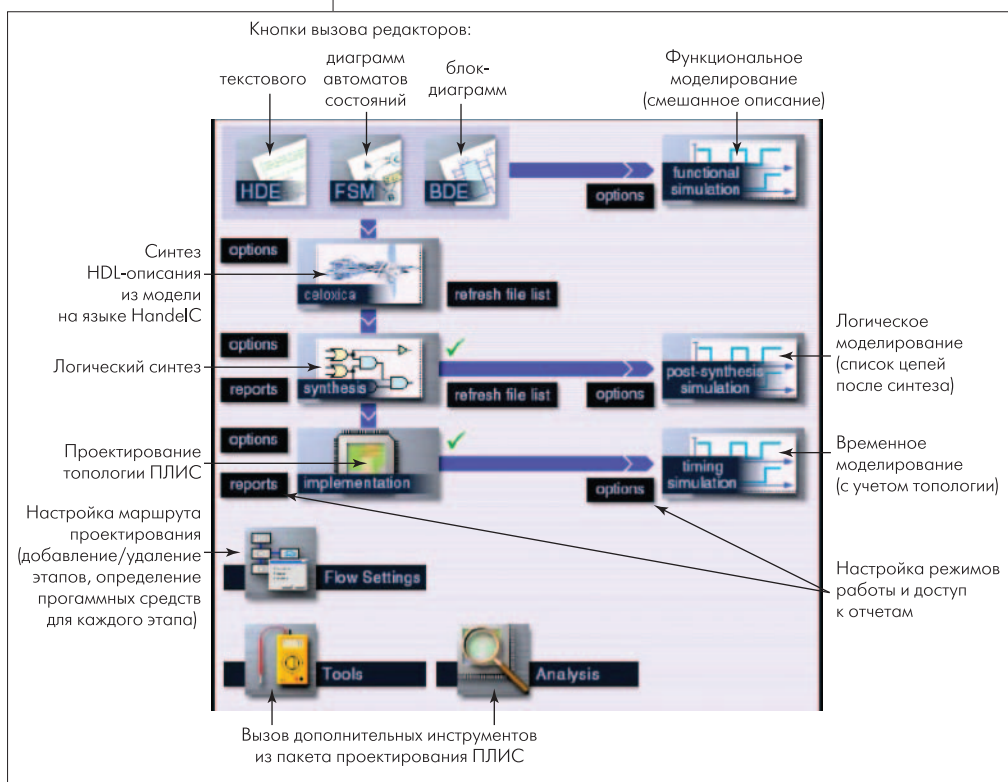


Рис. 1. Окно блока управления маршрутом проектирования

единой среде позволяет полностью контролировать процесс проектирования на всем его протяжении: от спецификации до физической реализации. Разработчик может настроить маршрут проектирования именно на тот состав программных средств, который наиболее полно отвечает требованиям конкретного проекта. Помимо собственных технологически независимых библиотек Active-HDL включает полные библиотеки всех производителей ПЛИС с прекомпилированными и готовыми к использованию компонентами.

Когда маршрут проектирования уже настроен, всю последовательность операций по проектированию ПЛИС можно проводить из среды блока управления. Для запуска любой подсистемы и передачи ей всей необходимой проектной информации просто выбирается кнопка соответствующего компонента маршрута. Можно также задать режим выполнения (графический или фоновый). Мультипроектная рабочая среда допускает сопровождение сразу нескольких независимых проектов, для каждого из которых может быть предусмотрена собственная конфигурация. Если это модули одной системы, они впоследствии объединяются в проекте верхнего уровня. Средства управления задачами позволяют организовать работу в сети и оптимизировать вычислительный процесс. Выполнение задач моделирования, логического синтеза, топологической реализации, требующих значительных затрат времени и вычислительных ресурсов, может быть переведено на удаленные серверы, высвободив компьютер разработчика для интерактивных задач. Центральный планировщик управляет очередью заданий, полученных от всех пользователей, и распределением свободных вычислительных ресурсов. По завершении выполнения задания планировщик извещает пользователя о том, что он может загрузить результаты на свой локальный компьютер для анализа. Поддерживается такой способ организации многомашинной системы, как ферма серверов с управлением приоритетами задач в очередях. Для организации групповой разработки крупных проектов Active-HDL предоставляет также интерфейсы к пятнадцати наиболее популярным системам управления версиями (Revision Control System – RCS). После регистрации любой системы RCS в Active-HDL все управление версиями выполняется непосредственно в среде Active-HDL.

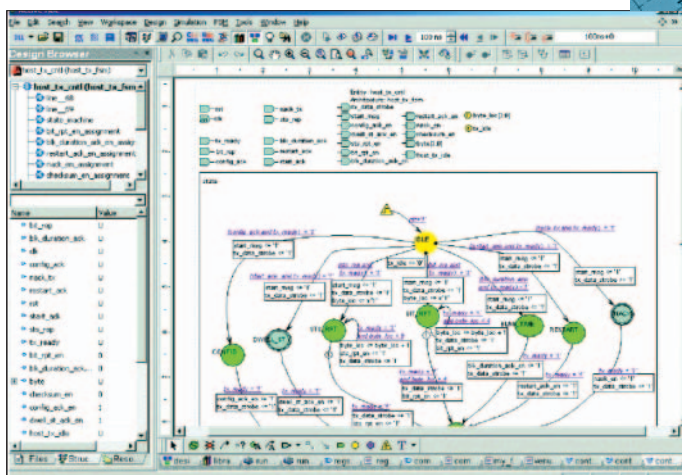
Работа с проектами в среде блока управления предусматривает следующий набор операций:

- добавление, удаление, просмотр, модификация файлов ресурсов проекта;
- просмотр содержимого рабочей библиотеки, библиотеки результатов логического синтеза и библиотеки временных параметров текущего проекта;
- просмотр структуры моделируемого проектного модуля;
- просмотр заданных объектов внутри моделируемого проектного модуля.

Для работы с библиотеками предусмотрены операции:

- подключение, отключение, удаление библиотек;
- редактирование логических имен библиотек;
- сжатие и удаление содержимого библиотек;
- просмотр содержимого библиотек;
- просмотр библиотечных модулей;
- удаление библиотечных модулей;
- поиск модулей в библиотеках.

Документирование проекта – одна из самых трудоемких и ответственных задач. В системе Active-HDL поддерживается методология описания проектов, которая обеспечивает их самодокументируемость. Экспорт проектов и отдельных документов в различ-

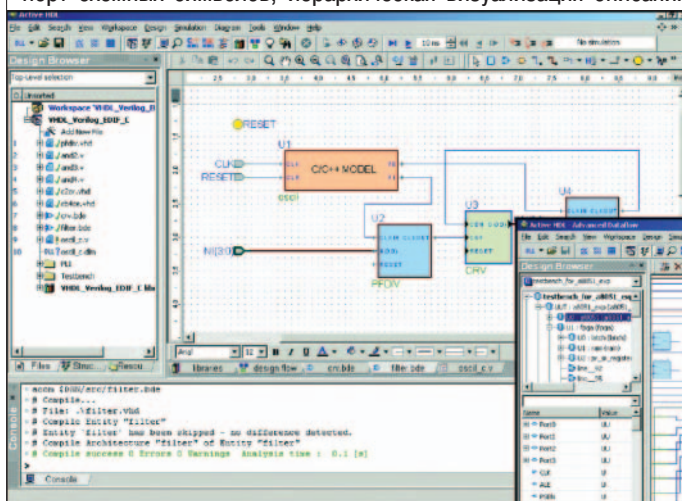


**Рис.2. Графический редактор диаграмм автоматов конечных состояний**

ных графических форматах, форматах HTML и Adobe PDF значительно облегчает создание сопроводительных документов. Экспорт в формат PDF позволяет подготовить проектную документацию в печатном виде с отображением структуры проекта в содержании. В электронной версии документа предусматривается возможность навигации по содержанию. При экспорте в формат HTML воспроизводится точная копия структуры проекта, вид и поведение среды проектирования, текстовые документы сохраняют оригинальное форматирование, шрифты и выделение синтаксических конструкций используемых языков. С таким документом можно работать в любом Web-браузере. Режимы экспорта структуры и графического представления проекта можно настроить таким образом, чтобы скрыть детали реализации.

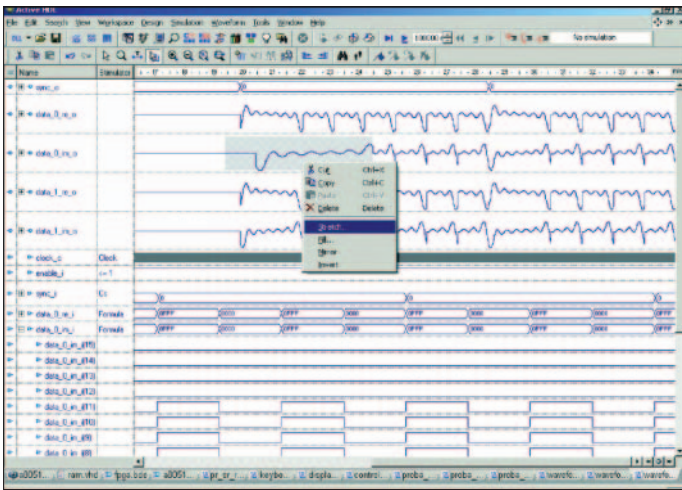
### СОЗДАНИЕ И ОТЛАДКА ПРОЕКТА

Система Active-HDL поддерживает разнообразные средства создания и редактирования проекта ПЛИС, которые включают: текстовый редактор аппаратных спецификаций на базе языков VHDL, Verilog, SystemC, а также C/C++/Handel-C и Matlab (HDE); графические редакторы диаграмм автоматов конечных состояний (FSM) и блок-диаграмм (BDE) (рис.2, 3). Текстовый редактор распознает и выделяет синтаксические конструкции, в нем предусмотрены функции автозаполнения, а также поддержка полных наборов шаблонов используемых языков в соответствии со стандартами. Поддерживается описание схемы в формате EDIF, импорт схемных символов, иерархическая визуализация описания



**Рис.3. Графический редактор блок-диаграмм**





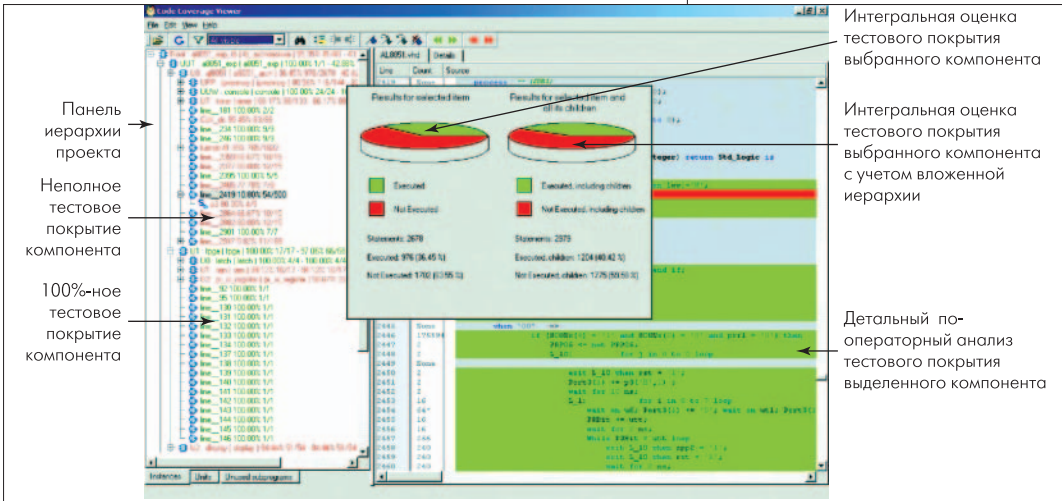
**Рис.4. Графический редактор временных диаграмм**

проекта, генерация графического представления в виде блок-диаграмм и диаграмм автоматов конечных состояний по описанию HDL. Генератор IP-блоков позволяет автоматически создавать синтезируемые модели для различных арифметических функций, последовательной логики, блоков памяти, фильтров, конверторов кодов, элементов системы тестирования, а также для некоторых специальных промышленных и коммуникационных приложений.

Моделирование смешанных проектов, включающих описания на языках VHDL, Verilog, списки цепей в формате EDIF и модели SystemC, поддерживается на уровне самого ядра моделирования Active-HDL. Встроенные интерфейсы моделирования позволяют дополнительно использовать поведенческие модели на языках

вом режиме и создает шаблон теста. Один и тот же тест может использоваться на любом уровне абстракций (поведенческом, уровне регистровых передач или временном). Возможна также генерация тестов из графических временных диаграмм или диаграмм автоматов конечных состояний.

Набор инструментов отладки включает: встроенный отладчик C-кода; трассировку кодов VHDL/Verilog и диаграмм автоматов состояний; просмотр и редактирование (внесения временных значений для отладки) текущих состояний сигналов, переменных, процессов и состояний памяти; просмотр стека вызовов подпрограмм; анализ потоков данных; анализ тестового покрытия; профилирование проекта. Средства кросс-отладки сигналов позволяют не только отслеживать правильность временных диаграмм сигнала в нужных точках проекта, но и обеспечивают переход из редактора диаграмм к соответствующему элементу исходного описания (HDL-текст, блок-диаграммы). Есть также возможность организации в заданных внутренних точках дополнительного анализа событий для автоматического выявления ошибочных и сомнительных ситуаций. Для больших проектов и при возможности заранее провести моделирование удобна отладка в отложенном режиме. В таком режиме разработчик использует в процессе отладки заранее подготовленные данные, не затрачивая времени на ожидание отклика системы моделирования. В процессе моделирования также можно генерировать графическое представление потоков данных в модели, которое позволяет исследовать связность модели и провести анализ обмена данными между любыми ее объектами (компонентами, регистрами, сигналами, операторами). Визуализация путей распространения сигнала с помощью диаграмм потоков данных позволяет легче определить



**Рис.5. Визуализация результатов анализа тестового покрытия**

C/C++/Handel-C, функциональные модели SWIFT, модели памяти Denali, а также встроенные и M-функции системы Matlab. Механизм совместного моделирования дает возможность подключить к Active-HDL систему Matlab/Simulink компании Mathworks для верификации аппаратных блоков в их системном окружении. Моделирование может проводиться в интерактивном, фоновом и регрессивном режимах. Для формирования заданий и управления процессом моделирования используется встроенный язык макрокоманд Active-HDL, а также языки Tcl/Tk, Perl и VisualBasic. Специализированные редакторы (рис.4) с функциями сравнения временных диаграмм значительно упрощают анализ результатов. В систему также входит генератор тестовых воздействий, который руководит последовательностью действий инженера в диалого-

вом режиме и создает шаблон теста. Один и тот же тест может использоваться на любом уровне абстракций (поведенческом, уровне регистровых передач или временном). Возможна также генерация тестов из графических временных диаграмм или диаграмм автоматов конечных состояний. Набор инструментов отладки включает: встроенный отладчик C-кода; трассировку кодов VHDL/Verilog и диаграмм автоматов состояний; просмотр и редактирование (внесения временных значений для отладки) текущих состояний сигналов, переменных, процессов и состояний памяти; просмотр стека вызовов подпрограмм; анализ потоков данных; анализ тестового покрытия; профилирование проекта. Средства кросс-отладки сигналов позволяют не только отслеживать правильность временных диаграмм сигнала в нужных точках проекта, но и обеспечивают переход из редактора диаграмм к соответствующему элементу исходного описания (HDL-текст, блок-диаграммы). Есть также возможность организации в заданных внутренних точках дополнительного анализа событий для автоматического выявления ошибочных и сомнительных ситуаций. Для больших проектов и при возможности заранее провести моделирование удобна отладка в отложенном режиме. В таком режиме разработчик использует в процессе отладки заранее подготовленные данные, не затрачивая времени на ожидание отклика системы моделирования. В процессе моделирования также можно генерировать графическое представление потоков данных в модели, которое позволяет исследовать связность модели и провести анализ обмена данными между любыми ее объектами (компонентами, регистрами, сигналами, операторами). Визуализация путей распространения сигнала с помощью диаграмм потоков данных позволяет легче определить потенциальные источники ошибок на внутренних сигналах. С помощью профилирования проекта можно получить информацию о времени моделирования каждого оператора, процесса и блока, определить и провести оптимизацию наиболее критичных фрагментов. Средства анализа тестового покрытия (рис.5), интегрированные в ядро моделирования, помогают разработчику выявить те части проекта, которые не были задействованы во время выполнения теста.

Данные можно получить как по тестовому покрытию строк кода, так и по переключениям, а также по интегральному покрытию на множестве тестов.

**СТАНДАРТЫ И ИНТЕРФЕЙСЫ**

Система Active-HDL поддерживает стандарты VHDL 1076-87/93, Verilog 1364-95/2001, VITAL 1076.4-95/2000, а также SDF 1.0, 2.0 и 3.0. Поддерживаются также интерфейсы Tcl/Tk, PERL, SWIFT, PLI/VPI, VHPI и CHPI. Система функционирует в операционной среде Microsoft Windows NT/2000/XP. Моделирование можно также проводить и на удаленных компьютерах, работающих в среде Linux или Unix (за счет использования собственной системы моделирования компании Aldec – Riviera).