

КРИСТАЛЛ – КОРПУС – ПЕЧАТНАЯ ПЛАТА

ПРОЕКТИРОВАНИЕ СОЕДИНЕНИЙ

Влияние соединений на функциональные характеристики электронных устройств постоянно возрастает. Поэтому неудивительно, что значительная доля новых средств САПР в той или иной мере связана с учетом влияния соединений. Однако по большей части – это отдельные разрозненные инструменты, каждый из которых решает свои специфические задачи. Новый подход к проектированию соединений, предлагаемый компанией Cadence, направлен на интеграцию процессов разработки буферных элементов интегральных схем, корпусов микросхем и печатных плат в рамках единой методологии и платформы проектирования.

Понятие "соединение" многообразно, и прежде всего здесь необходимо уточнить, что речь идет о проектировании соединений на уровне электронной системы (системных соединений), которые идут от одного буферного элемента ввода/вывода кристалла интегральной схемы к элементу ввода/вывода другого кристалла интегральной схемы. Соединение проходит через контактные площадки кристалла, подложку корпуса, выводы микросхемы, печатную плату (ПП) и ее разъемы (рис. 1). Понятие системного соединения включает его логическую схему, физическую реализацию, электрические характеристики распространения сигнала, пути возвратного тока и систему питания.

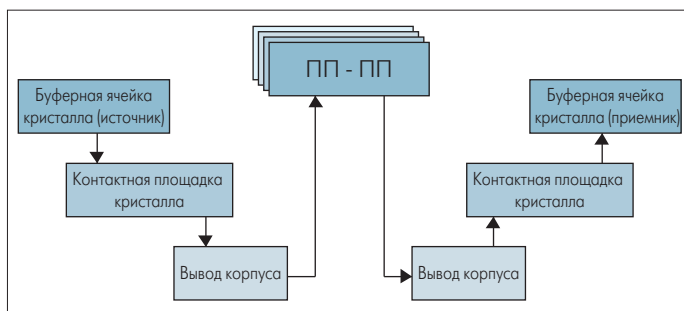


Рис. 1. Структура соединения электронной системы

С технической точки зрения проектирование соединений сталкивается с тремя основными проблемами: повышением плотности соединений в корпусах и на печатных платах (табл. 1), ростом быстродействия и усложнением системы питания. В производстве ПП и корпусов появляются новые технологии, расширяющие возможности создания соединений, возрастает популярность технологии "система в корпусе" (рис. 2). Ужесточаются требования к электрическим параметрам соединений (табл. 2). С увеличением плотности соединений возрастает вероятность перекрестных помех и нарушения целостности



А.Комков, Г.Хренов

сти сигналов, усложняется задача подключения выводов. При переходе к гигагерцевым частотам и высокоскоростным интерфейсам возникает необходимость в новых средствах анализа целостности сигналов. Рост требований к системе питания связан как с увеличением потребляемой мощности, так и с использованием нескольких уровней питания.

Таблица 1. Увеличение плотности соединений в электронных системах

| Характеристики системы | 2002–2003 гг. | 2004–2005 гг. | 2006–2007 гг. | 2008–2012 гг. |
|-----------------------------------|---------------|---------------|---------------|---------------|
| Число выводов компонентов | 480–800 | 520–1000 | 640–1600 | 1200–1800 |
| Число выводов на плате (тыс. шт.) | 21–115 | 27–144 | 34–225 | 38–225 |
| Размер платы, см ² | 500–1500 | 450–1200 | 400–1000 | 300–800 |
| Стоимость соединения, долл. | 0,05–0,18 | 0,06–0,16 | 0,07–0,14 | 0,06–0,13 |

ВИРТУАЛЬНАЯ МОДЕЛЬ СИСТЕМНЫХ СОЕДИНЕНИЙ

На сегодня организация работ такова, что в процессе проектирования системных соединений участвуют три практически независимые группы инженеров – специалисты по интегральным схемам, разработчики корпуса и проектировщики печатной платы. Как правило, взаимодействие между этими группами организовано неэффективно. Новая методология проектирования соединений, предлагаемая компанией Cadence, направлена на устранение этого недостатка. В центре новой методологии – концепция виртуальной модели системных соединений (Virtual System Interconnection Model – VSIC). Виртуальная модель включает описание логической схемы, физической реализации и электрических характеристик системы соединений разрабатываемого устройства, в том числе и систему питания. Уже на начальной стадии, при разработке спецификации, VSIC-модель может использоваться для проверки некоторых предположений и вариантов спецификации. После утверждения спецификации соответствующая ей VSIC-модель поддерживается на протяжении всего процесса проектирования, служит для сбора информации и координации усилий всех групп разработчиков (рис. 3). На начальном этапе проектирования модель используется для предварительного планирования распределения временного бюджета задержек, формирования общей конфигурации соединений. В процессе дальнейшей работы результаты физической реализации сразу отображаются в модели и верифицируются на соответствие исходной спецификации. Ис-

Таблица 2. Изменение требований к электрическим параметрам соединений

| Характеристики | 2002–2003 гг. | 2004–2005 гг. | 2006–2007 гг. | 2008–2012 гг. |
|-----------------------------------|---------------|---------------|---------------|---------------|
| Время переключения, нс | 0,8–0,3 | 0,6–0,2 | 0,5–0,2 | 0,4–0,1 |
| Минимальное напряжение питания, В | 2,0–2,8 | 1,8–2,5 | 1,5–2,0 | 1,2–1,2 |
| Число уровней напряжения питания | 3–5 | 2–5 | 2–5 | 2–5 |
| Частота устройства на плате, МГц | 350–800 | 450–900 | 500–1000 | 750–1200 |
| Рассеиваемая мощность, Вт | 20–90 | 50–100 | 70–110 | 80–150 |

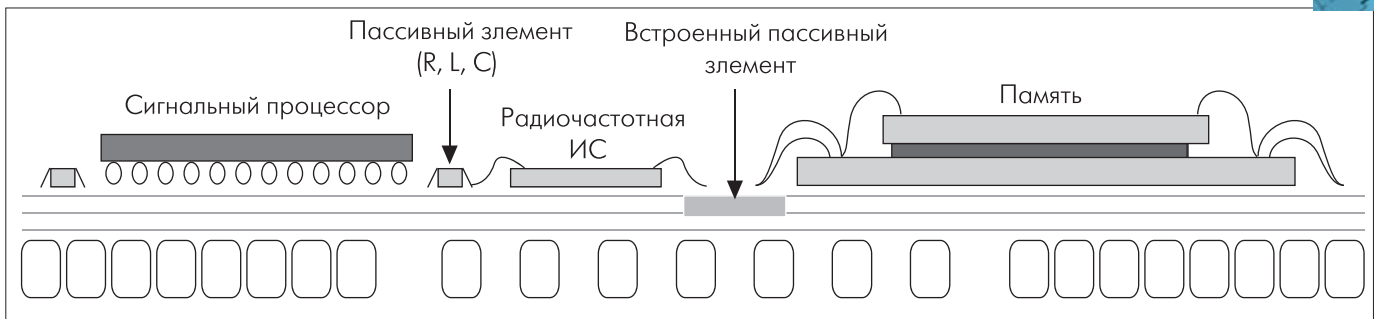


Рис.2. Новые технологии. Система в корпусе

пользование VSIC-модели позволяет сразу обнаруживать узкие места при проектировании отдельных сегментов соединений и устранять их путем перераспределения ограничений между сегментами.

При создании модели в первую очередь учитываются уже существующие (фиксированные) сегменты соединений – например, если используется заданная серия микросхем или определенный тип корпуса. Для заранее определенных сегментов основная задача – создание адекватной модели. Если буферные элементы ввода/вывода заданы, то их характеристики уже должны существовать как часть проекта ИС или IP-библиотеки. Если буферные элементы необходимо разрабатывать, то создается поведенческая модель элемента, которая используется для моделирования системы соединений и в то же время служит в качестве спецификации для разработчиков элементов ввода/вывода.

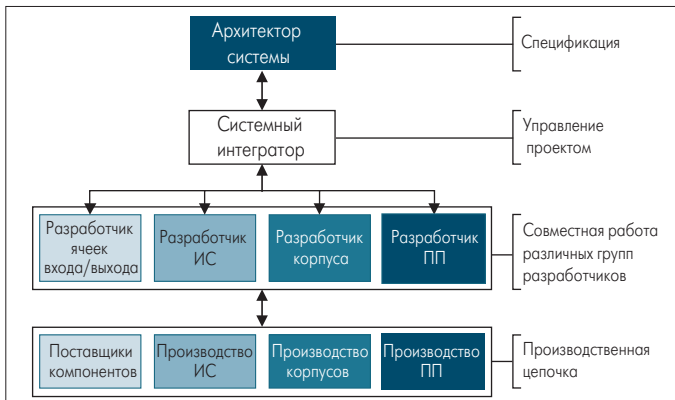


Рис.3. Взаимодействие групп разработчиков в процессе проектирования соединений

Когда модели буферных элементов определены, можно исследовать различные конфигурации соединений. При этом учитываются как физические (размеры кристалла, конструкция корпуса и способ его размещения на плате, трассируемость), так и электрические (электрические свойства материалов, требования к целостности сигналов, временные ограничения и ограничения на суммарные задержки) аспекты. В результате, по завершении исследования, должны быть определены модели элементов ввода/вывода, общая конфигурация соединений, удовлетворяющая интегральным электрическим ограничениям, а также предварительная планировка корпуса. Полученная таким образом исходная VSIC-модель используется всеми группами разработчиков. В процессе проектирования происходит уточнение, коррекция модели по мере поступления результатов работы каждой группы.

В процессе разработки элементов ввода/вывода поведенческие модели заменяются уточненными моделями на уровне транзисторов (полученные транзисторные модели должны соответствовать исходной поведенческой модели). Расположение буферных элементов на кристалле оптимизируется с учетом предварительного плана корпуса и возможностей трассировки внутри корпуса. При этом контро-

лируется распределение задержек между различными сегментами соединений. Разработчик корпуса работает с учетом данных о размещении буферных элементов и отведенного на его сегмент соединений бюджета задержек. Требования на окончательный вид конструкции корпуса и на распределение выводов вырабатываются проектировщиком корпуса совместно с разработчиком печатной платы. Они должны быть направлены на обеспечение удобных условий трассировки с учетом электрических ограничений. Все взаимодействия осуществляются в рамках единых данных VSIC-модели. Единая модель данных позволяет производителям интегральных схем передавать системным компаниям готовые к применению электронные комплекты документации (design-in kit), что значительно сокращает сроки внедрения новых микросхем. В состав передаваемой документации может быть также включено описание вариантов применения интегральных схем, учитывающее опыт предыдущих разработок.

ТРЕБОВАНИЯ К ПЛАТФОРМЕ ПРОЕКТИРОВАНИЯ СОЕДИНЕНИЙ (ПЛАТФОРМА ALLEGRO КОМПАНИИ CADENCE)

Новая методология требует новой технологической платформы, которая способна обеспечить создание и сопровождение VSIC-модели на всех этапах проектирования, а также поддержку взаимодействия различных групп разработчиков, включая системного архитектора, системного интегратора, проектировщиков ИС, буферных ячеек, корпусов ИС и печатной платы. Наиболее критично для реализации подобной технологической платформы наличие общей базы данных и средств управления общей системой ограничений. Необходимо также уметь работать как с традиционным логическим и физическим представлением, так и со сложными временными ограничениями, ограничениями на целостность сигналов и системы питания. Без этого нельзя организовать общую инфраструктуру, которая необходима для реализации VSIC-модели (рис. 4).

Успешное применение новой методологии невозможно без наличия достаточно точных и производительных средств моделирования, а также адекватных моделей буферных элементов ввода/вывода и

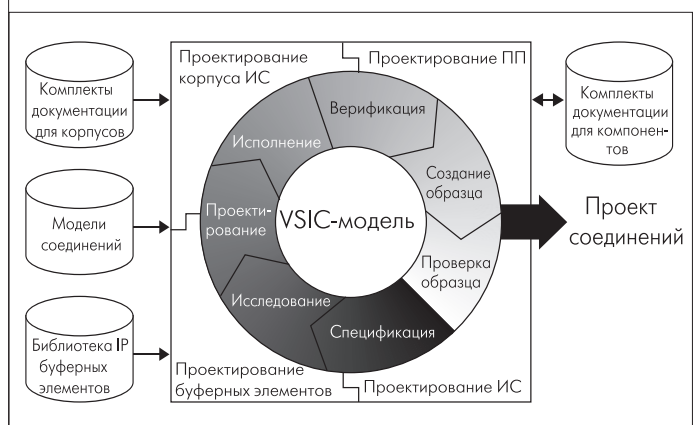


Рис.4. Платформа Allegro компании Cadence

соединений. Платформа должна поддерживать моделирование как на транзисторном уровне, так и обеспечивать работу с продвинутыми поведенческими и IBIS-моделями. Необходимость использования поведенческих моделей связана с тем, что SPICE-моделирование не может достигать производительности, требуемой для верификации современных высокоскоростных интерфейсов. Кроме того, поставщики IP и готовых микросхем предоставляют только поведенческие и IBIS-модели, защищая данные о своих разработках. Платформа также должна позволять создавать поведенческие модели непосредственно из SPICE-моделей.

Для каждого компонента соединений (проводочные соединения, выводы корпусов, печатные проводники, контактные площадки, переходные отверстия, разъёмы, согласующие резисторы) должны быть электрические модели, учитывающие особенности конструкции, геометрию и электрические параметры материалов. Общая модель соединения обычно представляет собой SPICE-схему плюс специальные модели передающих линий. Необходимо, чтобы платформа позволяла легко создавать модель как в виртуальной форме на этапе исследования, так и путем автоматической экстракции при верификации реализованного физического проекта. В области гигагерцевых частот должна поддерживаться возможность использования S-параметров, методов трехмерного моделирования, новейшие, более точные модели передающих линий.

Единая платформа предоставляет всем группам разработчиков один и тот же набор средств анализа соединений. Благодаря этому поддерживается соответствие результатов анализа каждого отдельного сегмента соединения и результатов анализа в целом. Средства анализа должны включать временной анализ, анализ целостности сигналов и расчет рассеиваемой мощности. Необходимо учитывать потери, перекрестные помехи, отражения, ошибочные срабатывания при переключениях. Важно наличие удобных средств визуализации в виде временных и глазковых диаграмм. В перспективе в состав платформы должны быть включены более производительные средства моделирования и средства анализа в частотной области.

Еще одна задача платформы – обеспечение тесного взаимодействия между производителями интегральных схем и системными компаниями. Созданные на базе средств платформы комплекты электронной документации (модели компонентов и тесты для моделирования на системном уровне, описание буферных элементов и корпусов, шаблоны и ограничения для работы со схемным редактором и средствами проектирования топологии) позволяют системным компаниям значительно сократить сроки освоения новых микросхем.

Основным средством создания логической схемы при проектировании печатных плат сегодня остается редактор схем. Современный схемный редактор должен быть интегрирован с системой управления проектными ограничениями, обладать гибкими средствами работы с корпусами, содержащими большое число выводов. При дальнейшем увеличении числа выводов необходима возможность использовать табличные средства задания соединений (также интегрированных в единую систему управления ограничениями).

Интеграция средств проектирования топологии с системой ограничений также должна обеспечиваться на "электрическом" уровне. Это означает, что все соединения, реализованные с помощью интерактивных средств, должны быть проверены путем моделирования с учетом электрических характеристик в режиме реального времени, а автоматические средства должны стараться быть "электрически корректными" при создании топологии. Следует обеспечить большую гибкость и степень автоматизации средств топологического проектирования, особенно это касается трассировки. Поскольку число цепей с ограничениями увеличивается, то задача получения

варианта трассировки, полностью удовлетворяющего всем этим ограничениям, становится все более и более сложной. В результате разработчик вынужден основную часть времени тратить на доводку топологии проекта с использованием интерактивных инструментов. Поэтому новые средства автотрассировки должны быть ориентированы на работу в условиях наличия большого числа ограничений.

Перед тем как передать готовый проект соединений на изготовление, необходимо провести его верификацию внутри платформы. Для обеспечения совместимости результатов следует использовать те же модели и средства анализа, что и в процессе проектирования, но с учетом реального варианта реализации. Платформа должна поддерживать автоматическую экстракцию параметров моделей, всестороннее, точное и высокопроизводительное моделирование с учетом результатов физического проектирования (по данным экстракции). Это становится все более важным с ростом быстродействия и плотности соединений.

Рынок требует создания все более компактных и производительных электронных устройств. Проблемы повышения быстродействия, увеличения плотности соединений и уменьшения потребляемой мощности становятся беспрецедентными вызовами создателям электронных систем. Новая методология проектирования системных соединений, предлагаемая компанией Cadence, – попытка помочь разработчикам ответить на эти вызовы. Технологическая платформа Allegro, поддерживающая предложенную методологию, позволяет проводить совместное проектирование интегральных схем, корпусов и печатных плат, обеспечивая оптимизацию системных соединений, сокращение сроков и стоимости проектирования. ○



Очередной семинар компании Mentor Graphics

Семинар проходил в Москве 19 октября. В отличие от предыдущих встреч, на которых обсуждались средства автоматизированного проектирования печатных плат, этот семинар был посвящен проектированию систем на кристалле. Организатор семинара – компания Megrates-INLINE GROUP, российский дистрибьютор Mentor Graphics. Непосредственно Mentor Graphics представляли директор компании по Южной Европе Даниэль Ле Бульбар (Daniel Le Boulbar) и технический директор южноевропейского отделения Бенуа Гретере (Benoit Gretere), а также сотрудники компании Марк Крофт (Mark Croft), Стефан Берг (Staffan Berg) и Люк Тиссо (Luc Tissot), которые представили российским разработчикам практически весь спектр продуктов, ориентированных на проектирование заказных СБИС и систем на кристалле. Выступления были оформлены в виде пьесы, каждый акт которой посвящен отдельному этапу проектирования СБИС для цифрового фотоаппарата с помощью средств компании Mentor Graphics.

Акт 1. Создание исполняемой системной спецификации цифрового фотоаппарата на языках UML и C/C++ с использованием средств Nucleus Bridge Point.

Акт 2. Разработка программно-аппаратной архитектуры с помощью систем Perspecta и Model Express. Использование возможностей языка SystemC для стыковки аппаратной и программной частей.

Акт 3. Синтез RTL-описания вычислительных блоков из описания на языке C/C++ с помощью системы Catarault C (на примере блока, реализующего JPEG-алгоритм).

Акт 4. Совместная программно-аппаратная верификация и оптимизация в среде системы Seamless.

Акт 5. Методология создания системы тестов с использованием объектно-ориентированного подхода и средств моделирования на уровне транзакций (ModelSim, QuestaSim).

Акт 6. Моделирование и формальная верификация с помощью Assert-механизмов (встроенных проверок) языков PSL и SystemVerilog в системе Questa. (На примере поддержки USB протокола в цифровом фотоаппарате.)

Акт 7. Разработка и физическая реализация аналоговых блоков. Системы аналогового и смешанного моделирования, генераторы элементов, средства интерактивной трассировки.

Акт 8. Физическая верификация проекта с помощью одной из самых успешных разработок компании Mentor Graphics – системы Calibre.

По ходу "пьесы" российские специалисты имели возможность задавать "неудобные" вопросы. Заинтересованный обмен мнениями продолжался в "антрактах". Это и неудивительно, ведь в семинаре участвовали представители большинства организаций, связанных с разработкой СБИС в России, таких как "Ангстрем", "Интел", ИТМ и ВТ, "Квант", МЦСТ, МИЭТ, МИЭМ, МИФИ, НИИСИ РАН, НИИИС, "Прогресс", "Фрискейл", "ЮникАйСиз" и других.

Итоги семинара подвел директор компании Megrates Андрей Лохов, который пообещал, что семинары компании Mentor Graphics будут проводиться регулярно два раза в год, причем весенний будет посвящен печатным платам, а осенний – средствам проектирования СБИС и систем на кристалле.

Первый партнерский Форум Rainbow Technologies

С 18 по 20 октября 2005 г. проходила встреча мировых производителей электронных компонентов и представителей промышленных предприятий России, организованная компанией Rainbow Technologies.

Работа Форума представляла собой серию тематических семинаров компаний-производителей и последующих обсуждений в формате круглого стола.

С российской стороны в Форуме участвовали специалисты крупных отечественных компаний – руководители проектных подразделений, главные и ведущие инженеры и конструкторы. В ходе встречи ее участники ознакомились с широкой номенклатурой новейших электронных компонентов, смогли определиться с перспективными решениями для своих приложений.

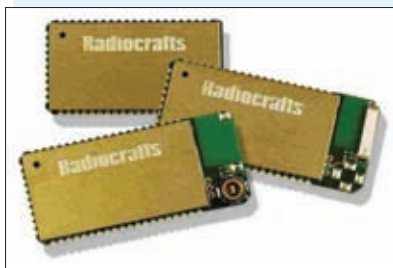
Компания Atmel представила новые продукты из широко распространенного семейства микроконтроллеров MSC-51. Было рассмотрено перспективное развитие линейки микроконтроллеров AVR. Основные особенности этих микроконтроллеров: высокопроизводительная RISC-архитектура, работа с большим диапазоном напряжений питания от 1,8 В, возможность перепрограммирования в устройстве. Были представлены приборы из семейства микроконтроллеров с 32-разрядным ядром ARM-7 серии SAM – Smart ARM Microcontrollers (AT91SAM7x) производительностью до 54 MIPS. Эти микроконтроллеры имеют богатый набор интерфейсов – CAN, Ethernet, USB, встроенный регулятор напряжения, объем программной flash-памяти и SRAM достигают 512К и 64К, соответственно.



Дальнейшим развитием семейства SAM7 является семейство SAM9 на базе ядра ARM9 с производительностью до 200 MIPS.

Компания National Semiconductor предложила новые семейства усилителей: двойной усилитель с программируемой частотой (LMV422), высокочастотный усилитель с низким шумом (LMV771/2/4), дифференциальный высокоскоростной операционный усилитель (LMH6551). Были представлены одно- и двухканальные АЦП, работающие с частотой до 3 ГГц и реализующие до 3 Гвыборок/с и самый новый модуль Bluetooth – LMX9830. Эти приборы будут доступны в следующем году. Образцы и отладочные средства для гигаэмплывых АЦП ADC081000 можно приобрести уже сейчас.

Норвежская компания Radiocrafts представила радиомодули ISM-диапазона с встроенным протоколом "звезда" для диапазона 433/868 МГц и 2,4 ГГц и радиомодули для построения сетей ZigBee. Новый ZigBee модуль RC2200AT



с встроенным протоколом SPPiO работает на частоте 2,4 ГГц нелицензируемого диапазона. Функционально завершённый ZigBee модуль с полным стеком протоколов имеет раз-

меры 16,5x29,2x3,5 мм, напряжение питания 2,7–3,6 В, SMD-корпус. Встроенное программное обеспечение поддерживает профиль как полнофункционального устройства (FFD), так и оконечного устройства (RFD) и позволяет организовать работу в конфигурации "точка-точка", "звезда", "многочейковая сеть". Модуль предоставляет пользователю восемь аналоговых входов и восемь линий для ввода-вывода бинарных сигналов.



Семинар Rainbow Technologies был посвящен передаче данных по GSM/GPRS-сетям с использованием встраиваемых модулей Telit GM862, GM862-GPRS, GM862PCS, GM862-PYTHON, TRIZIUM, TRIZIUM-GPS и терминала Fargo Maestro 100 TCP/IP.

Основная особенность новых модулей GM862-PYTHON – возможность их использования без подключения к микроконтроллеру, так как они содержат интерпретатор программ, написанных на мощном скриптовом языке Python. Миниатюрный GSM/GPRS-модуль TRIZIUM предназначен для встраивания во вновь разрабатываемую аппаратуру. Обеспечивает передачу данных в режимах CSD и GPRS, передачу SMS-сообщений, голосовую и факсимильную связь. Сотовые модемы Maestro 100 – это внешние двухдиапазонные GSM/GPRS-модемы с широким набором возможностей. Они реализованы на платформе WISMO Quik компании Wavocom, выполнены в защищенных миниатюрных корпусах, типоразмер – 88x60x26 мм, масса – менее 100 г.

Представитель International Rectifier посвятил свой доклад новым компонентам и решениям в силовой электронике. Он представил новую элементную базу для разработок источников питания (ИП) телекоммуникационного оборудования, XPhase – решение для ИП новейших поколений процессоров и периферии в телекоммуникационном и компьютерном оборудовании. Кроме того, IR представила ИС управления электроприводом (Motion Control) и новые серии 600 и 120В драйверов силовых ключей.

Фирма ROHM анонсировала микросхемы EEPROM серии BR93Hxx-W. Диапазон рабочих температур приборов лежит в диапазоне от -40°C до 125°C. А благодаря внедрению архитектуры Double-Cell удалось достигнуть высочайшей надежности считываемых данных. Все входные выводы микросхемы снабжены фильтрами шумов, связь с внешним контроллером осуществляется по стандартному интерфейсу MICROWIRETM. На презентации компании был сделан обзор новых продуктов: драйверов шаговых двигателей, DC-DC конверторов (BD9778) и транзисторов (digital, MOSFET-сборки).



Все участники Форума заблаговременно получили материалы по темам докладов и дополнительную документацию по перспективным продуктам, которые только готовятся к производству.