

# САПР ПЕЧАТНЫХ ПЛАТ: МАРШРУТ EXPEDITION КОМПАНИИ MENTOR GRAPHICS

Печатные платы (ПП) остаются основным конструктивным носителем и средством межсоединения микросхемных компонентов. Современная ПП – это огромный диапазон размеров (от 20 до 1600 см<sup>2</sup>); до 40 трассировочных слоев, более трех FPGA/ASIC с суммарным числом выводов свыше 1500; более 9 тыс. компонентов; свыше 12 тыс. цепей и 90 тыс. отрезков цепей; более 40 тыс. переходных отверстий и 15 тыс. переходных микроотверстий; плотность компонентов – около 20/см<sup>2</sup>.

Основные тенденции в конструировании ПП – расширение использования новых типов корпусов с большим числом и высокой плотностью расположения выводов, резкий рост рабочей частоты, применение новых технологий формирования межслойных переходов, реализация межсоединений с помощью дифференциальных пар [1, 2]. Все эти тенденции находят отражение в продуктах компании Mentor Graphics – признанного мирового лидера в области САПР печатных плат [3].

Mentor Graphics предлагает три базовых маршрута проектирования ПП:

- классический **Board Station**, изначально ориентированный на ОС Unix, а сейчас адаптированный под Windows и Linux;
- **Expedition** (рис.1), реализованный в среде Windows (версия для Linux ожидается в первой половине 2004 года);
- **PADS** (собственность Mentor Graphics после приобретения компании Innpoveda в 2002 году), работающий исключительно под Windows.

Первые два маршрута ориентированы на корпоративных пользователей и самые сложные современные ПП. PADS продвигают как решение для небольших рабочих групп специалистов. Однако решение это носит условный характер и определяется в основном стоимостью, набором функций и возможностями расширения. Так, ограниченная конфигурация пакета Expedition может быть эффективна для небольшой рабочей группы при выполнении проектов средней сложности. А максимальная конфигурация PADS с опциями функционального моделирования и анализа целостности сигналов позволяет проектировать достаточно сложные платы.

Компания Mentor Graphics развивает и поддерживает все три указанных маршрута, но наибольшее внимание уделяется развитию Expedition. Именно в нем компания старается отразить все самые

А.Лохов, А.Филиппов,  
И.Селиванов, А.Рабоволук

современные тенденции в проектировании ПП. Рассмотрим этот пакет подробнее. Сразу отметим, что в Expedition поддерживаются все основные форматы технологических файлов для производства ПП, а именно: Gerber, ATE, AIS Drill и другие. Дополнительные возможности в плане адаптации к требованиям конкретного оборудования, а также общей автоматизации выпуска технологических файлов предоставляет модуль **CAM Output Manager**.

## ОСНОВА – СРЕДСТВА ПРОЕКТИРОВАНИЯ ТОПОЛОГИИ

Ядро маршрута Expedition – пакет **Expedition PCB**, вокруг которого формируется среда проектирования – от средств моделирования на системном уровне до верификации с учетом результатов трассировки и особенностей производства. Expedition PCB в рамках единой оболочки пользователя обеспечивает доступ к мощному интерактивному редактору топологии и настраиваемому многопроходному автотрассировщику на базе единой среды проектирования топологии **AutoActive**. Основные возможности Expedition PCB:

- мгновенное переключение из автоматического режима в ручной и обратно;
- автоматический контроль геометрических правил для простых и высокочастотных трасс;
- диагональная трассировка (по направлениям, кратным 45°) с учетом реальных геометрических форм всех объектов на плате (shape based);
- автоматическое сглаживание трасс для уменьшения числа сегментов и устранения острых углов;
- автоматическая раздвижка трасс и межслойных переходов, препятствующих проведению трассы, при полном сохранении связности трассировки;
- динамическая заливка (flooding) областей (автоматически контролируется соблюдение зазоров вокруг трасс, межслойных переходов и контактных площадок, что позволяет оставлять режим заливки включенным при выполнении интерактивной и автоматической трассировки);
- поддержка определения локальных правил проектирования внутри областей произвольной формы и для отдельных слоев, что особенно актуально при трассировке в области размещения многовыводных корпусов типа BGA;
- трассировка шин (в том числе под углом 45°), в состав которых могут входить дифференциальные пары;
- динамический контроль и индикация возникающих при трассировке нарушений правил проектирования;
- возможность модификации правил с перетрассировкой в реальном времени;

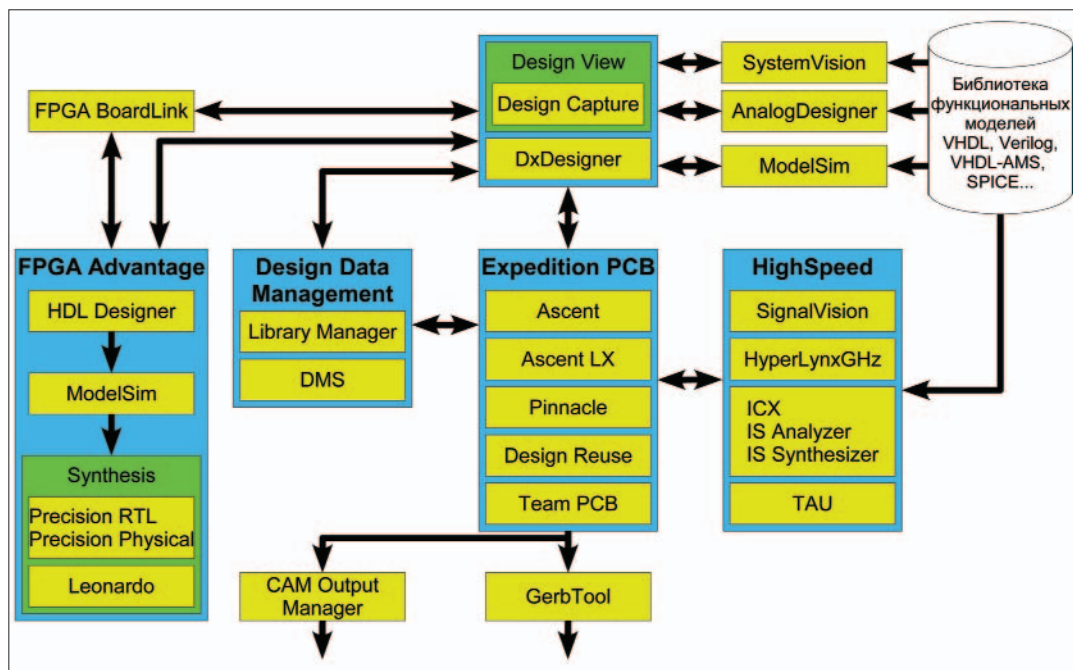


Рис.1. Общая структурная схема маршрута Expedition

- для высокоскоростных трасс – возможность задания правил (импеданс, задержка распространения, длина) как для отдельной цепи, так и для группы межсоединений, образующих путь распространения сигнала;
- динамическая коррекция высокоскоростных трасс в ручном и автоматическом режиме, необходимая для автоматической "перенастройки" трасс в случае выхода какого-либо параметра за границы заданного диапазона;
- средства трассировки дифференциальных пар (как на одном, так и в соседних слоях), обеспечивающие совместное проведение и модификацию трасс с учетом правил параллелизма и заданного расстояния между трассами. Пример трассировки дифференциальных пар на одном слое приведен на рис.2;
- использование межслойных микропереходов, включая возможность размещения микроперехода в контактной площадке.

В последних версиях пакета Expedition PCB появились дополнительные средства повышения продуктивности работы. В первую очередь речь идет о поддержке коллективного проектирования и повторном использовании отработанных на предыдущих проектах решений. Модуль **Team Design** позволяет одновременно работать над трассировкой сложной платы сразу в нескольких дизайн-центрах. При этом нет нужды изменять инфраструктуру базы данных проекта и библиотек компонентов.

Модуль **Design Reuse** позволяет сохранить в центральной библиотеке полную информацию о спроектированной подсистеме (фрагменте или всей плате), включая принципиальную схему, размещение и трассировку, с тем чтобы она могла

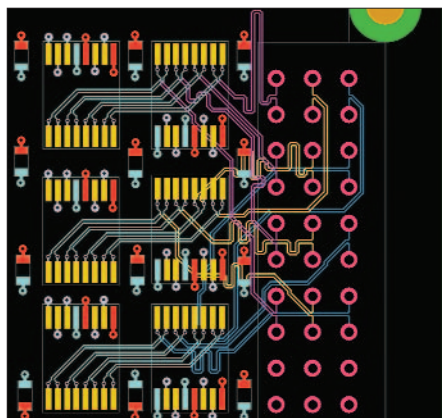


Рис.2. Пример трассировки дифференциальных пар на одном слое

быть использована (целиком или в модифицированном виде) в будущих проектах.

Компания Mentor Graphics предлагает три варианта поставки Expedition PCB: **Ascent** – полный интерактивный редактор топологии без модуля автотрассировки; **Ascent LX** – интерактивный редактор топологии с автотрассировщиком без ограничения числа слоев, но без опции трассировки высокочастотных плат; **Pinnacle** – наиболее полная конфигурация, включающая все возможности интерактивной работы и автотрассировки.

Для проектирования

СВЧ-элементов на плате в Expedition посредством модуля **IFF** интегрирован пакет **ADS** фирмы Agilent Technologies, одного из лидеров в области САПР СВЧ.

## НА ВЫСОКИХ СКОРОСТЯХ

Компания Mentor Graphics обладает беспрецедентным набором средств анализа целостности сигналов и перекрестных помех. Благодаря этому пользователи Expedition, работающие над высокоскоростными платами, оказываются в заведомо более выгодных условиях.

Пакет **SignalVision** предназначен для анализа целостности сигналов и времени задержки сигнала на основе обобщенного представления цепи в виде эквивалентной схемы передающей линии. Предварительный анализ, учитывающий мощность источника, количество нагрузок, параметры согласующих сопротивлений и т.п., может быть выполнен уже на основе принципиальной схемы проекта. Более детально проанализировать проект и скорректировать схему или геометрию межсоединений позволяет учет реальных геометрических параметров топологии.

Еще одно мощное средство анализа сигналов – пакет **HyperLynx**, состоящий из двух подсистем – **LineSim** и **BoardSim**. С помощью LineSim еще до этапа создания топологии можно оценить формы сигнала и перекрестных помех, чтобы заранее задать существенные геометрические и электрические ограничения, выбрать наиболее подходящую топологию цепей с множеством нагрузок, определить оптимальное число слоев, материал диэлектрика, оптимальное быстродействие источников, номиналы согласующих сопротивлений и т.п. Моделирование выполняется на основе IBIS-моделей выводов микросхем. Учитываются электрические характеристики разъемов, модели пассивных элементов, характеристики передающих линий. В результате анализировать влияние изменений параметров компонентов можно без перекомпиляции всего проекта.

Подсистема BoardSim предназначена для моделирования сигналов после размещения и трассировки. Она обеспечивает точный расчет моделей импеданса и формы сигнала для всех сегментов цепи. По результатам анализа оптимизируются номиналы согласующих сопротивлений, при необходимости вводятся согласующие элементы. Возможны эксперименты с конфигурацией слоев в ин-

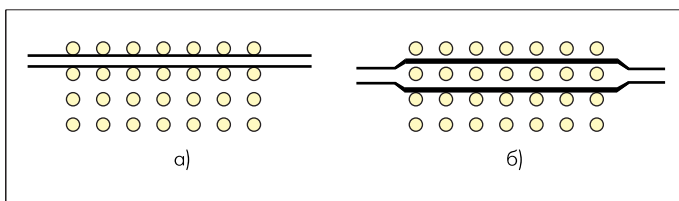
терактивном режиме, расчет минимальной и максимальной задержки для каждой цепи, расчет максимально допустимых величин положительного и отрицательного выброса сигнала в каждой точке цепи, а также предварительный анализ возможных областей электромагнитного излучения, превышающего заданные допустимые значения. Анализ взаимных наводок цепей с индуктивной и емкостной связью учитывает не только геометрические параметры топологии, но и электрические параметры цепи, в том числе модели микропереходов. Для дифференциальных пар разработаны специализированные методики анализа. Пакет может формировать отчет о превышениях амплитуды наводок над заданными пороговыми значениями по всей плате, а также проводить ускоренный интерактивный анализ отдельных проводников, представляющих наихудший случай с точки зрения взаимных наводок.

HyperLynx реализован как независимая программа и может работать практически со всеми САПР печатных плат. Он способен анализировать целостность сигналов в рамках объекта, состоящего из нескольких ПП, даже если они разработаны в САПР разных поставщиков. Встроенная библиотека пакета включает более 7000 моделей выводов ИС, контактов разъемов, ферритовых элементов и т.п. Недавно была анонсирована версия *HyperLynx GHz*, предназначенная для анализа систем с рабочей частотой до 10 ГГц.

Особое внимание компания Mentor Graphics уделяет развитию пакета **ICX** (Interconnectix). Моделирующее ядро ICX базируется на технологии **ADMS** (Advance MS), первоначально разработанной для моделирования цифроаналоговых СБИС и специально адаптированной для моделирования ПП. ADMS обеспечивает многоязыковую поддержку моделей – IBIS, Spice, VHDL-AMS [4]. Пакет ICX имеет мощную встроенную библиотеку моделей (ICX Standard Library).

В рамках ICX реализована концепция "электрического" трассировщика, при которой форма сигнала рассчитывается на основе электрических характеристик цепей (IS Analyzer), а размещение и трассировка реализуются уже на основе заданных электрических параметров (IS Synthesizer). Модуль IS Synthesizer позволяет управлять процессом трассировки, контролируя результаты моделирования с точки зрения выполнения заданных электрических правил. Так, вместо длины связи используется вычисляемая согласованная задержка, вместо параллелизма и расстояния между взаимодействующими проводниками используется рассчитываемая величина наводки, вместо допустимого расстояния между контактной площадкой и межслойным переходом – величина индуктивности по контуру питания и т.д. Преимущество применения электрических правил вместо геометрических иллюстрирует простой пример (рис.3). При жестко заданных геометрических ограничениях (ширина трассы 125 мкм, расстояние между трассами 375 мкм) невозможно провести трассы дифференциальной пары через массив контактных площадок корпуса BGA (рис.3а). В то же время, непосредственно учитывая ограничения на дифференциальный импеданс (150 Ом), трассировщик способен решить данную задачу, увеличив расстояние между трассами и компенсируя это увеличением ширины трасс (рис.3б).

С ICX объединен пакет временного анализа системы на печатной плате **Tau**. В отличие от других статических временных анализаторов, Tau использует метод "символического временного анализа", который помимо чисто временных моделей учитывает отдельные компоненты функциональных моделей. Это позволяет, исключая функционально незначимые цепи, избавиться от множества сообщений о "ложных" нарушениях задержки распространения сигнала. Пакет оснащен встроенным механизмом создания моделей, а так-



**Рис.3. Иллюстрация преимущества использования электрических правил вместо геометрических: а) геометрические ограничения не позволяют реализовать трассировку; б) способ разрешения ситуации без нарушения электрических правил**

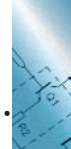
же способен импортировать модели во всех стандартных форматах (STAMP, TDML, TDF и др.). Временные ограничения, сгенерированные в Tau, экспортируются в ICX в качестве управляющих параметров размещения и трассировки. С другой стороны, временные соотношения, полученные в результате точного анализа передающих линий, могут быть импортированы в Tau с целью проведения финального анализа задержек системы в целом (реализованной в виде одной или нескольких плат).

### НА ВЕРХНИХ УРОВНЯХ

В рамках маршрута Expedition возможно моделирование и верификация сложных аналого-цифровых систем (состоящих из одной или нескольких ПП) на системном (поведенческом) уровне. Для этого предназначен пакет **System Vision**, использующий язык высокого уровня VHDL-AMS. В него встроена библиотека моделей, включающая цифровые элементы, элементы систем управления, цифроаналоговые, электрические и магнитные элементы, а также электромеханические, тепловые элементы, элементы, реализующие различные передаточные функции. Выполнив верификацию на системном уровне, можно переходить к более детальному уровню моделирования, заменяя модели VHDL-AMS на модели более низкого уровня – например, описанные на языке SPICE (для аналоговых блоков) или представленные на RTL либо вентильном уровне в виде VHDL- или Verilog-описаний (для цифровых блоков). В этом случае для моделирования аналоговых блоков служит пакет **Analog Designer**, для цифровых – пакет **ModelSim**. Причем могут использоваться модели из встроенных библиотек или библиотек третьих фирм.

Если цифровые блоки системы реализуются полностью или частично на ПЛИС, проектировать эти ПЛИС можно параллельно ПП в пакете **FPGA Advantage**, полностью интегрированном с Expedition. Моделирование в FPGA Advantage осуществляется средствами ModelSim. Логический и физический (с учетом параметров размещения и трассировки) синтез ПЛИС выполняют пакеты **LeonardoSpectrum** или **Precision RTL Synthesis** и **Precision Physical Synthesis**. Ввод описания проекта (в графическом и текстовом виде на языках VHDL или Verilog), общее управление процессом проектирования, проверка правил проектирования, контроль версий, импорт IP-блоков, выпуск и сопровождение документации осуществляются средствами **HDL Designer**. Интеграцию FPGA Advantage и Expedition реализует опция **FPGA BoardLink Pro**.

Проектированию любой ПП предшествует создание принципиальной электрической схемы. Для этого предназначены пакеты **DesignView** (со схемотехническим редактором **Design Capture**) и недавно интегрированный с Expedition **DxDesigner**. DesignView содержит весь инструментарий ввода, редактирования и проверки электрической схемы, в том числе: работу с иерархическими блоками, представленными как на уровне принципиальной схемы, так



и на уровне HDL описания; поддержку взаимного отслеживания изменений принципиальной схемы между схемотехническим редактором, системами моделирования и топологическими редакторами (back and forward annotation); контроль правил проектирования, импорт-экспорт файлов проекта во всех стандартных форматах. Дополнительный пакет **Parts Manager** реализует быстрый параметрический поиск компонентов во встроенной или дополнительной библиотеке. DesignView представляет собой в некотором смысле "центральный пульт" управления проектом в маршруте Expedition. Он обеспечивает доступ к полному дереву проекта, включая все проектные базы данных. Отличительная особенность DesignView – в том, что он реализует принцип подчиненности всего процесса проектирования конкретному проекту (design-centric). Это позволяет каждому специалисту работать в специально адаптированном к его требованиям окружении, располагая при этом возможностью доступа ко всему дереву проекта. Так, разработчик топологии ПП работает с меню и управляющими панелями, специфическими для создания топологии – размещение элементов, ручная и автоматическая трассировка, редактирование и т.п. Аналогично, в своем окружении работают специалисты по аналоговым схемам или ПЛИС. При этом каждый из них, установив специальный режим, может сделать рабочую версию своего блока "виртуально-независимой" от других членов группы разработчиков. Закончив верификацию своего блока, он делает его доступным всем участникам процесса проектирования.

Пакет DxDesigner, обладая некоторыми особенностями в плане реализации редактора принципиальных схем и управления данными, в целом выполняет примерно те же функции, что и DesignView. Он имеет несколько вариантов конфигурации с различным функциональным наполнением, что позволяет пользователю оптимизировать затраты на приобретение.

Оба пакета обеспечивают доступ к Интернет-провайдерам баз данных компонентов (PartMiner и др.), загрузку информации о компонентах и ее трансляцию в формат внутренней библиотеки. Они также могут быть интегрированы с корпоративными ERP и PLM/PDM системами, например с системой Metaphase фирмы EDS PLM Solutions, SAP, Martix One, Agile Software и т.д. Интеграцию и управление проектными данными в рамках предприятия, а также доступ к Интернет-базам данных реализует система **DMS (Data Management System)**.

---

В данной статье остались не освещенными такие важные вопросы, как термоанализ печатных плат, моделирование электромагнитного излучения, управление базой данных проектов в масштабах предприятия, в том числе интеграция с системами управления жизненным циклом изделия (PLM/PDM). Вернуться к этим вопросам мы предполагаем в последующих публикациях.

#### **ЛИТЕРАТУРА**

1. **John Isaac and David Wiens.** The Future of PCB Design. – Mentor Graphics Technical Publication, 2003.
2. **Bill Hargin.** 3.125 Gbps with your Hair on Fire Simulation-Based Signal-Integrity Analysis of Digital Interconnects at Multi-Gigabit Speeds. – Mentor Graphics Technical Publication, 2003.
3. 2002 Dataquest Sub-Market Analysis On PCB Design Automation.
4. **А.Лохов.** Современный уровень системной и функциональной верификации СБИС. – "ЭЛЕКТРОНИКА: НТБ", 2003, № 7.