

# ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ МИКРОСХЕМЫ

## НАСТУПАЕТ ЭПОХА ПЕРЕМЕН

В. Майская

Появление в 1978 году простейшей программируемой логической интегральной схемы (ПЛИС) фирмы **Monolithic Memories**, позволившей реконфигурировать разрабатываемое устройство без повторного проектирования печатной платы, серьезно повлияло на структуру рынка полупроводниковых приборов. Сегодня производители предлагают множество разнообразных ПЛИС: программируемые простые, матричные и сложные логические устройства (**SPLD, PAL, CPLD**), а также программируемые пользователем базовые матричные микросхемы (**FPGA**) со специфическими характеристиками и сочетанием таких параметров, как быстродействие, энергопотребление, уровень интеграции и стоимость. Это разнообразие, пожалуй, одна из самых сложных проблем, с которыми приходится сталкиваться разработчику системы. Чтобы выбрать нужную микросхему, необходимо детально проанализировать архитектуру ПЛИС. Правда, задача выбора может быть облегчена тем, что сейчас ведущие поставщики усиленно проводят политику промышленной стандартизации. Так что же сегодня происходит на рынке ПЛИС?

### МНОГООБРАЗИЕ РЕШЕНИЙ

Сегодня ПЛИС – быстро развивающийся сектор рынка логических микросхем. Согласно оценкам аналитической компании **Gartner Dataquest**, продажи ПЛИС за 2004–2007 годы возрастут с 3,1 млрд. до 4,9 млрд. долл. Аналогичный рост (с 2,6 млрд. до 3,4 млрд. долл.), но за 2003–2005 годы, предсказывает и фирма **Semico Research**. Основание для таких прогнозов – высокий спрос на ПЛИС, особенно в странах Азиатско-Тихоокеанского региона (АТР), рынку которых не присущи какие-либо признаки насыщения. Так, продажи изделий компании **Altera** в этом регионе в 2003 году по сравнению с 2002-м увеличились на 62%, тогда как в Северной Америке прирост составил 33%, что на 4% меньше, чем в 2002-м. При этом следует отметить, что если раньше производство микросхем в основном было сосредоточено в АТР, а разработки новых изделий – в Северной Америке, то теперь ситуация меняется, и в странах Азиатского региона появляется все больше ПЛИС собственной разработки. Правда, при этом аналитики компании **In-Stat** отмечают, что от разработки изделия до освоения его в производстве "дистанция огромного размера". Поэтому еще долгое время будет проводиться

политика содружества американских, европейских и японских фирм и фирм стран АТР в области разработки и производства ПЛИС.

Успех (или неуспех) поставщика ПЛИС определяет не только их техническое совершенство и полнота документации. Столь же важное значение имеет глубина и широта охвата разработанных компаний-поставщиком и третьей стороной средств проектирования. И один из важнейших факторов при создании таких средств – определение приоритетов параметров, которые зависят от приложения. Зачастую требования, предъявляемые к схемам, проектируемым с целью получения минимального энергопотребления, максимального быстродействия или минимального числа вентилях, существенно отличаются друг от друга.

Все большую популярность в последние годы завоевывает метод применения поставщиком так называемых сложных функциональных базовых блоков (IP-блоков) других компаний. По-видимому, основное препятствие к его более широкому распространению – правовое, а не техническое, хотя немаловажное значение имеют такие вопросы, как проведение трудоемких испытаний и проверок, а также обеспечение способности ядер к взаимодействию. Развивается тенденция к созданию так называемых "гибридных" устройств, в которых программируемые логические блоки объединены со специализированными микросхемами ASIC-типа. Подобные микросхемы выпускают производители и ПЛИС, и ASIC, и даже поставщики стандартных изделий, таких как связанные процессоры.

Тенденции развития рынка программируемых пользователем базовых матричных кристаллов (FPGA) и состояние технологии к концу 2001 года были рассмотрены в журнале "ЭЛЕКТРОНИКА: НТБ", 2002, №2, с.14. Поэтому остановимся на новейших разработках и планах крупнейших фирм в этой области. Здесь хотелось бы отметить, что с середины 80-х годов прошлого столетия ведущие фирмы, специализирующиеся только на разработке ПЛИС (**Xilinx, Altera, Actel**), прочно завоевали этот сектор рынка, вытеснив таких гигантов, как **Intel** и **AMD**, для которых подобные микросхемы – лишь одно из множества выпускаемых ими изделий.

### FPGA

На долю программируемых пользователем базовых матричных микросхем (FPGA) приходится наибольший объем продаж ПЛИС (~76%, по данным компании **Semico Research**). Согласно оценкам **Semico Research**, продажи FPGA за 2003–2005 годы возрастут с 2,0 млрд. до 2,6 млрд. долл. Крупнейший потребитель базовых матричных микросхем этого типа – Япония, где объем операций сборки конечного оборудования особенно большой. Темпы прироста продаж FPGA в Японии в 2004 году, согласно прогнозам **Gartner**



Dataquest, составят 31,6% против 28,1% для стран АТР. На долю японских поставщиков системотехники, в том числе инфраструктуры беспроводной связи и широкополосного оборудования, приходится 24% продаж такого крупнейшего поставщика FPGA, как компания Altera. До последнего времени самыми крупными потребителями FPGA были изготовители специализированного достаточно дорогостоящего оборудования. Но сейчас эти микросхемы уже находят применение в аппаратуре массового производства – плазменных телевизорах, телевизорах с ЖК-экраном и даже в портативных приборах, например ручных видеопросмотровых устройствах.

Сегодня микросхемы с FPGA-архитектурой стремятся "перехватить инициативу" на рынке у структурированных ASIC, предоставляя разработчикам требуемые устройства с высокими плотностью размещения элементов и быстродействием, низкими энергопотреблением и удельной стоимостью в пересчете на вентиль. Благодаря освоению субмикронной технологии (а уже в середине этого года на рынке должны появиться FPGA, изготовленные по 90-нм технологии) возможности FPGA становятся весьма внушительными.

FPGA-микросхемы с высокой плотностью элементов, поставляемые такими ведущими изготовителями, как Xilinx, Actel и Altera, содержат 1–3 млн. системных вентиляей и более 400 контактных площадок ввода-вывода. А поскольку от числа контактных площадок зависит размер кристалла, в будущих микросхемах их придется распределять по всей его поверхности. Это, помимо улучшения рабочих характеристик и гибкости конструкции, позволит перейти к монтажу методом перевернутого кристалла (flip-chip). В результате следующее поколение FPGA-микросхем будет содержать более 1 тыс. контактов ввода-вывода, 10 млн. системных вентиляей и встроенную память емкостью более 1 Мбит. И весьма вероятно, что по крайней мере одна микросхема новейшего FPGA-семейства будет насчитывать до 1 млрд. транзисторов. Во все большем числе новых микросхем реализуются такие системные ресурсы, как блоки памяти (ОЗУ, флэш), быстродействующие ФАПЧ, процессорные ядра, блоки высокоскоростного последовательного ввода-вывода (для дифференциальной передачи сигналов низкого уровня – LVDS), дуплексного последовательного приемопередатчика (SERDES), быстродействующие буферы блоков ввода/вывода. Это, безусловно, способствует развитию концепции формирования "системы на программируемом кристалле" (System-on-Programmable-Chip – SoPC). Ожидается, что к концу 2004 года – началу 2005-го появятся FPGA-микросхемы, содержащие также высокопроизводительные ЦАП и АЦП. Они будут напоминать специализированные ASIC, за исключением того, что для конфигурирования в них используются данные, хранимые во встроенной памяти, а не проводится металлизация. Расширяется и применение функциональных блоков с заданными характеристиками. Здесь одна из основных задач – исключение "сверхспециализации" за счет реализации функций, представляющих интерес для многих приложений. Разработчик системы сможет заказать необходимые ПЛИС, не неся единовременных затрат на проектирование (один из основных недостатков ASIC), поскольку логические, запоминающие, трассировочные блоки и слои питания уже спланированы и проверены, а неисправности устранены. На получение функционирующей микросхемы потребуются секунды или минуты, причем затраты на ее проектирование и отладку значительно ниже, чем в случае применения ASIC (правда, средние цены на средства проектирования FPGA-микросхем растут).

И еще одно преимущество FPGA-микросхем перед ASIC – возможность применения FPGA для испытаний и проверок используемых IP-блоков. Это облегчает решение одной из существенных про-

блем применения специализированных микросхем – обеспечения взаимодействия IP-блоков различных компаний в одной микросхеме. На преодоление этой проблемы приходится ~70% времени, затрачиваемого разработчиками на проверку проекта. Проверка и применение таких блоков на FPGA значительно проще, чем на ASIC, благодаря чему сокращаются сроки разработки и стоимость устройства. Меньшее время проектирования и более низкая стоимость – мощный стимул к применению изделия.

Но, несмотря на достаточно высокую плотность элементов, FPGA по эффективности использования площади кристалла на один-два порядка уступают ASIC, изготовленным с теми же топологическими нормами. К тому же энергоемкость FPGA, выполняемых на базе CO3У с шеститранзисторной ячейкой памяти и конфигурируемых элементов, значительно выше, чем у ASIC-аналогов. Тем не менее, по мере снижения удельной стоимости и увеличения числа вентиляей на кристалле, FPGA уверенно вторгаются на территорию ASIC на базе стандартных ячеек. Разработчики и производители систем только начинают анализировать и использовать реконфигурируемость системы для исправления ошибок и улучшения характеристик конечной системы или для реализации реконфигурируемых вычислительных средств. Но в итоге рассмотрения всех "за" и "против" применения FPGA или ASIC можно сказать, что ни тот, ни другой тип микросхем не сможет перехватить все области применения у другого. Для обоих типов микросхем достаточно много возможностей.

Основные поставщики FPGA-микросхем – компании Actel, Altera, Atmel, Lattice Semiconductor, QuickLogic, Triscend и, конечно, Xilinx. Что же они предлагают сегодня?

## XILINX

Разработки компании Xilinx подробно рассмотрены в статье М. Кузелина "Основные семейства ПЛИС фирмы Xilinx".\* Здесь отметим лишь предложенную компанией новую революционную технологию, которая должна обеспечить быструю, экономически эффективную реализацию многочисленных специализированных FPGA-платформ с оптимальным сочетанием свойств. Новая архитектура, получившая название специализированного модульного блока (Application-Specific Modular Block – ASMBL), имеет структуру длинных узких полос (рис. 1). В каждой полосе – "домене" – в процессе проектирования могут быть реализованы конфигурируемые логические элементы или IP-блоки, выполняющие такие специализированные функции, как цифровая обработка сигнала (DSP), хранение информации, ускоренный ввод-вывод, смешанная обработка

\*Настоящий номер, с. 20.

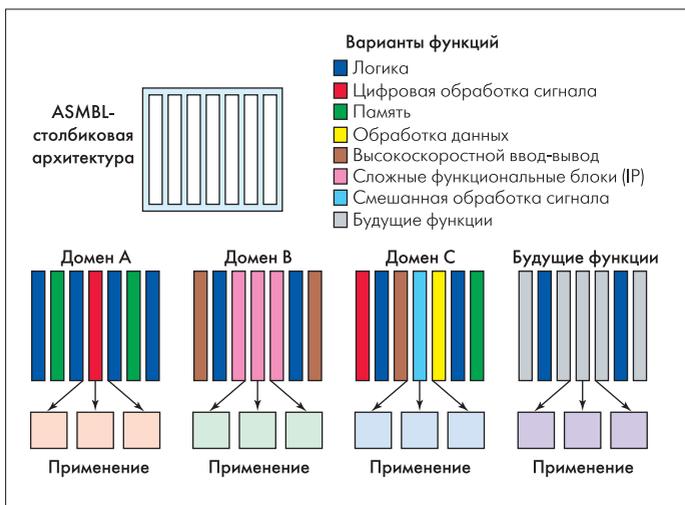


Рис. 1. Архитектура блока типа ASMBL

сигнала и другие, рассчитанные под конкретное приложение, функции. Микросхемы нового семейства будут содержать до 1 млрд. транзисторов. Для обеспечения высокой плотности упаковки элементов контактные площадки размещаются по всей площади кристалла, что позволит монтировать ASMBL-микросхемы flip-chip-методом. В результате решается и проблема снижения рассеиваемой мощности. Все это приводит к существенному сокращению сроков разработки и повышению надежности FPGA-платформ.

Первыми на основе новой ASMBL-архитектуры будут реализованы микросхемы платформы Virtex, образцы которых компания должна была выпустить в первой половине 2004 года. Микросхемы нового семейства будут иметь полосы с различными комбинациями возможных функций, благодаря чему заказчики смогут выбрать наиболее подходящую для их приложения платформу с оптимальным сочетанием логических, запоминающих устройств, устройств последовательного, параллельного ввода-вывода и др.

В мае 2004 года Xilinx объявила о выпуске радиационно стойких реконфигурируемых FPGA-микросхем семейства QPRO Virtex-II, выдерживающих общую дозу радиации до 200 крэд (Si). В семейство входят три микросхемы с логической емкостью 1–6 млн. системных вентиляей. Внутренняя тактовая частота превышает 300 МГц, скорость обмена данными – 622 Мбит/с. Микросхемы содержат до 144 независимых блоков двухпортового ОЗУ емкостью 18 Кбит каждый, что позволит использовать их в различных высокопроизводительных приложениях – от системных интерфейсов и локальных буферов пакетов информации до цифровой обработки сигналов.

Кроме того, микросхемы семейства содержат 144 блока умножителей 18x18 бит, до 67584 регистров/защелок с разрешением тактирования и 67584 функциональных генераторов (4-LUT) или каскадируемых 16-бит сдвиговых регистров. До 1104 программируемых пользователем блоков ввода-вывода, 19 однополюсных и шесть дифференциальных стандартов ввода-вывода поддерживают большинство цифровых сигнальных стандартов. Встроенные входные и выходные регистры с удвоенным быстродействием обеспечивают передачу сигналов по стандарту LVDS со скоростью 840 Мбит/с.

Как и микросхемы семейства Virtex-II, их радиационно стойкие аналоги изготавливаются по 0,15-мкм КМОП-технологии (минимальные размеры быстродействующих транзисторов – 0,12 мкм) с восьмислойной металлизацией. Напряжение питания ядра кристалла 1,5 В, блоков ввода-вывода – 1,5–3,3 В. Монтируются микросхемы как в BGA-корпуса с шагом контактов 1,0 и 1,27 мм, так

и в flip-chip-корпуса (максимальное число программируемых пользователем блоков ввода-вывода – 824).

Возможность репрограммирования радиационно стойких микросхем предыдущего поколения серии QPRO, использовавшихся в "главном мозге" запущенного на Марс аппарата Mars Rover, позволила своевременно до старта внести изменения и корректировки в конструкцию. Возможность репрограммирования новых микросхем "на лету" будет использована в следующем поколении УВЧ-радиостанции для аппарата, планируемого к запуску на Марс в 2005 году.

Проектирование на FPGA фирмы поддерживает инструментальный комплект Alliance, обеспечивающий сопряжение с интерфейсными программными средствами третьей стороны, и полнофункциональный комплект средств Foundation. Специалистами компании также разработан портфель программных средств на языке Java и на основе программ фирмы WindRiver, позволяющих программировать и репрограммировать схему в процессе проектирования, изготовления и эксплуатации. Благодаря партнерским связям с компаниями Cadence и Mathworks упрощена задача реализации DSP-функций на FPGA.

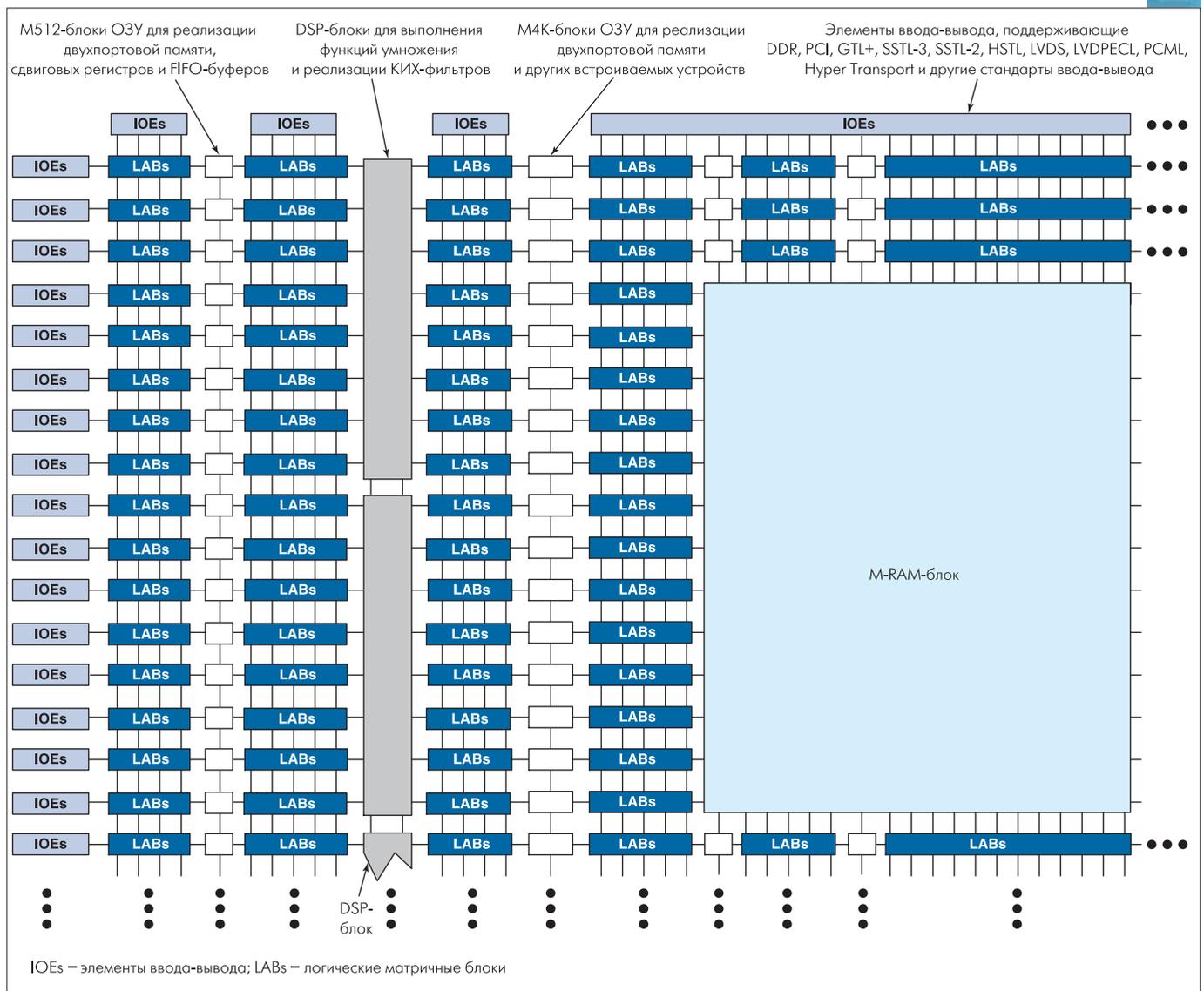
ALTERA

Благодаря агрессивной политике уменьшения топологических норм и освоению полностью медной металлизации компания успешно добивается увеличения числа системных вентиляей на кристалле, повышения быстродействия, снижения потребляемой мощности и стоимости своих микросхем\*. Это можно проиллюстрировать на примере новейших семейств ПЛИС с FPGA-архитектурой – Stratix, Stratix II, Stratix GX и Cyclone, каждое из которых представляет собой значительный шаг на пути совершенствования программируемых устройств.

В основе инновационной высокопроизводительной архитектуры микросхем семейств Stratix, Stratix II и Stratix GX – система соединений MultiTrack, предусматривающая использование соединительных линий различной длины, преимущественно коротких, и технология трассировки DirectDrive – запатентованная компанией детерминистическая технология трассировки, гарантирующая любому функциональному устройству, независимо от его положения на кристалле, возможность идентичного пользования трассировочными ресурсами. Технология DirectDrive существенно упрощает этап интеграции блочных конструкций, исключая зачастую требующий много времени процесс повторной оптимизации, который обычно следует за внесением изменений или дополнений в конструкцию. Повышению производительности способствует и структура памяти TriMatrix, состоящая из трех блоков ОЗУ с контролем по четности различной емкости и пропускной способности. На микросхемах этих семейств возможна реализация встроенного "soft"-процессора второго поколения Nios II, выпущенного компанией в 2004 году.

**Семейство Stratix** – универсальных базисных высокопроизводительных FPGA-микросхем – содержит до 79040 логических элементов (ЛЭ), внутрисхемные блоки TriMatrix-памяти емкостью до 7 Мбит с пропускной способностью до 8 Тбит/с, DSP-блоки (22 в каждой микросхеме), 12 ФАПЧ и 40 сетей тактовых сигналов, быстродействующие последовательные интерфейсы, поддерживающие до 152 каналов передачи данных, 80 из которых оптимизированы на работу со скоростью до 840 Мбит/с, что обеспечивает передачу сигналов по стандарту LVDS (рис.2). Напряжение питания ядра составляет 1,5 В. Изготавливаются микросхемы семейства по 0,13-мкм технологии СОЗУ с полностью медной металлизацией.

\*ЭЛЕКТРОНИКА: НТБ, 2002, №2, с.14.



**Рис.2. Блок-схема FPGA семейства Stratix**

Микросхемы семейства Stratix II характеризуются на сегодняшний день наибольшими среди FPGA плотностью упаковки элементов и производительностью: они превосходят FPGA первого поколения по быстродействию на 50%, по логической емкости – на 100%. Микросхемы содержат около 180 тыс. ЛЭ, внутрисхемные блоки TriMatrix-памяти емкостью до 9 Мбит, до 384 умножителей 18x18, реализованных на 96 DSP-блоках, до 12 ФАПЧ, 16 сетей глобальных тактовых сигналов. Кроме того, предусмотрены схемы динамического выравнивания фазы (DPA) и параллельно-последовательного/последовательно-параллельного преобразования кода (SERDES) для реализации стандартов ввода-вывода LVDS и HyperTransport. Микросхемы поддерживают синхронную дифференциальную передачу сигналов со скоростью до 1 Гбит/с. Кроме того, Stratix II – это первые FPGA, способные декодировать конфигурационную последовательность с помощью алгоритма стандарта перспективного кодирования (Advanced Encryption Standard – AES). Их внутренняя тактовая частота достигает 500 МГц.

При разработке семейства Stratix II компания Altera сделала революционный шаг, введя адаптивный логический модуль (АЛМ), состоящий из комбинационной, арифметической и регистровой логики и обеспечивающий эффективное использование логических ресурсов. Каждый АЛМ содержит разнообразные ресурсы на основе LUT, два

специализированных одноразрядных полных сумматора, сегменты цепей переноса, два триггера и множество дополнительных логических расширений (рис.3), которые могут быть гибко поделены между двумя адаптивными таблицами преобразования (ALUT) (рис.4). Это позволяет АЛМ поддерживать одну функцию с числом входов от одного до семи или несколько независимых функций различной (или одной) ширины, имеющих в сумме восемь входов. Исследования показали, что чем больше число входов LUT, тем лучше производительность конструкций на базе FPGA. Но логические структуры на основе четырех- и менее входных LUT более эффективно используют площадь кристалла. Логические структуры микросхем семейства Stratix II объединяют достоинства обоих подходов: по производительности они сопоставимы с ПЛИС на базе 7-LUT, а по эффективности использования площади превосходят программируемые матрицы на основе 4-LUT.

Логическая структура микросхем семейства оптимизирована под проектирование устройств на DSP-базе. При этом для реализации сложных сумматоров и умножителей требуется лишь одна треть логических элементов, используемых в предыдущем поколении FPGA. В результате всех этих усовершенствований характеристики FPGA семейства Stratix II улучшены на 50%, а число используемых логических ресурсов уменьшено на 25% по сравнению с микросхемами Stratix.

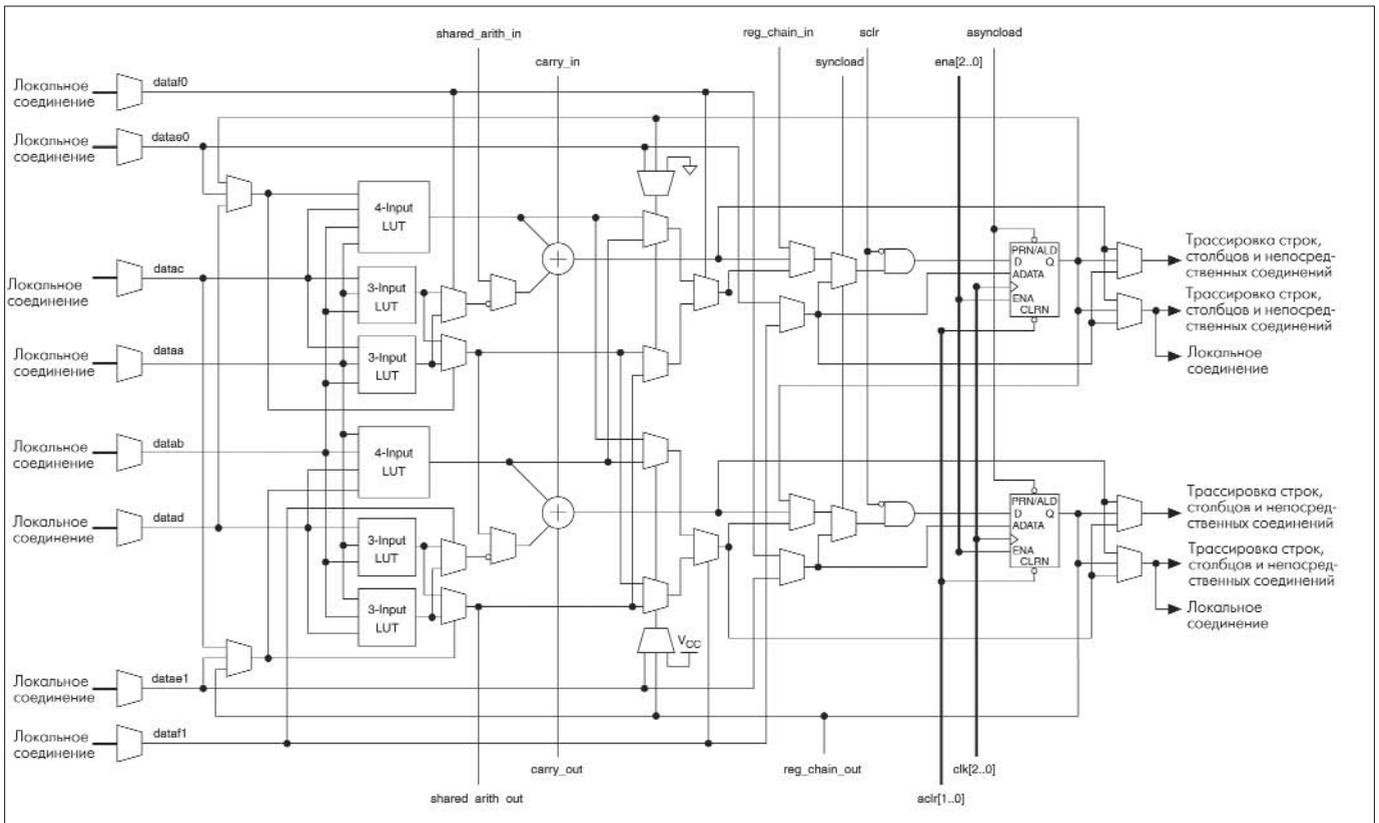


Рис.3. Схема адаптивного логического модуля FPGA семейства Stratix II

Выполнены микросхемы семейства по 90-нм технологии СОЗУ с многослойной полностью медной металлизацией и диэлектриком с низкой диэлектрической проницаемостью. В начале июня компания сообщила, что в соответствии с графиком поставок получила от партнера-производителя – фирмы Taiwan Semiconductor Manufacturing Co. (TSMC) – первые пластины с микросхемами серии EP2S60, образцы которых планировалось выпустить во втором квартале этого года.

Следует отметить, что сочетание архитектурных достоинств микросхем семейства Stratix II и характеристик реализуемого на них встроенного "soft"-процессора второго поколения Nios II обеспечивает необходимые современным широкополосным системам возможности обработки данных. Микросхема Stratix II с несколькими процессорами Nios II (включая процессорное ядро и периферию), требующими для реализации ~2000 эквивалентных логических эле-

ментов, легко выполняет функции полной системы, удовлетворяющей требованиям, предъявляемым сетевым, телекоммуникационным оборудованием, средствами цифровой обработки сигнала и большими накопителями (рис.5). Архитектура микросхем Stratix II с процессорами Nios II прекрасно подходит и для проектирования систем SoPC на основе оптимизированных IP-блоков. Для упрощения проектирования таких систем на сайте фирмы ([www.altera.com/processorportfolio](http://www.altera.com/processorportfolio)) размещено мощное средство реализации систем на основе широко используемых компонентов (процессоров, периферийных устройств и интерфейсов памяти) – SoPC Builder, входящее в состав пакета инструментальных средств проектирования компании Quartus II.

К числу последних разработок фирмы Altera относятся и FPGA семейства Stratix GX, в которых наряду с архитектурой ПЛИС выполнен быстродействующий приемопередатчик (SERDES). Семейство Stratix GX, изготавливаемое по 0,13-мкм КМОП-технологии с полностью медной металлизацией, содержит 40 тыс. ЛЭ, TriMatrix-память емкостью до ~3,4 Мбит, DSP-блоки, усовершенствованную схему управления синхронизацией. Семь микросхем, входящих в семейство, поддерживают от 4 до 20 каналов передачи с пропускной способностью от 622 Мбит/с до 3,125 Гбит/с. Потребляемая мощность четырехканального блока приемопередатчика при максимальной пропускной способности составляет 450 мВт (150 мВт на канал с учетом непроизводительных издержек). Каждый блок приемопередатчика содержит специализированные схемы, выполняющие функции восстановления/передачи данных, кодирования/декодирования, выравнивания данных. Бесшовное сопряжение с программируемой логической матрицей гарантирует надежную передачу данных, максимальную пропускную способность и упрощенный временной анализ. Приемопередатчик поддерживает многие протоколы, в том числе 10 Gigabit Ethernet XAU1, SONET/SDH, Gigabit Ethernet, Fiber Channel и др.

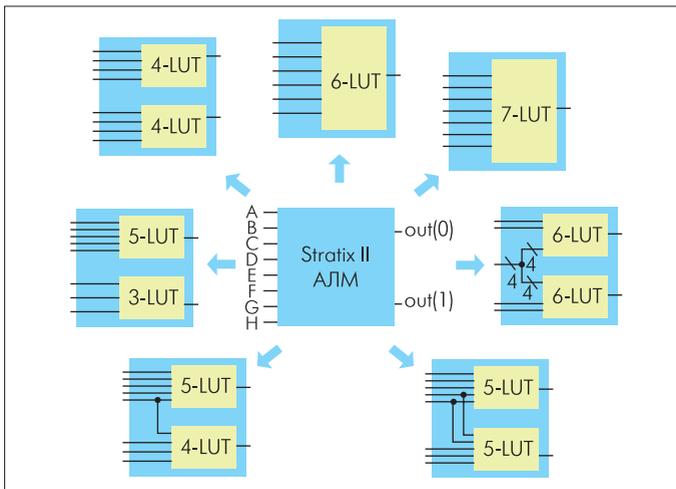
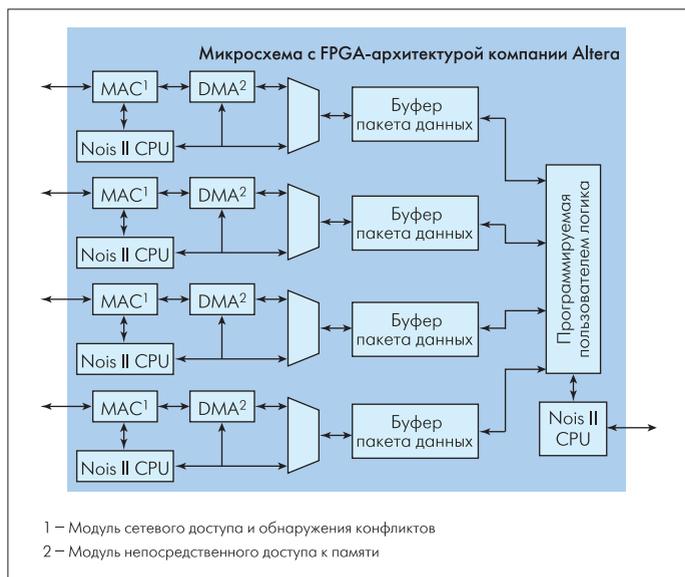


Рис.4. Возможные конфигурации АЛМ микросхем семейства Stratix II



**Рис.5. Реализация процессора ввода-вывода на основе процессора Nios в FPGA семейства Stratix II**

И, наконец, в 2002 году Altera выпустила самое дешевое на тот момент **FPGA-семейство Cyclone** стоимостью менее 1,5 долл. за 1 тыс. логических блоков при массовом производстве (стоимость на 2004 год планировалась на уровне 4–40 долл. при покупке партии в 250 тыс. шт.). Микросхемы семейства, выполненные по 0,13-мкм КМОП-технологии с полностью медной металлизацией, содержат более 20 тыс. логических элементов, встроенную память

емкостью до 288 Кбит. Предусмотрены специализированный интерфейс с внешней памятью (DDR SDRAM, FCRAM, SDR DRAM) с быстродействием до 266 Мбит/с, до двух ФАПЧ, поддержка до 129 каналов дифференциальной LVDS-передачи с пропускной способностью 311 Мбит/с. При проектировании возможно использование встроенного процессора Nios и IP-блоков компании. Появление микросхем семейства Cyclone позволило перевести дешевые FPGA из разряда связующих и периферийных логических схем в разряд устройств, выполняющих критичные системные функции (например, управление драйвером светодиодов). А микросхемы семейства со встроенным процессором Nios перспективны для применения в DVD магнитофонах старших моделей.

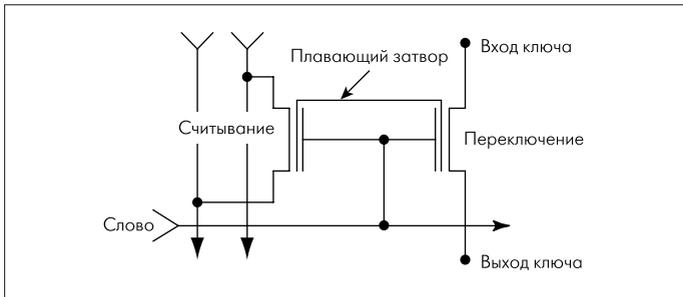
Для удешевления продукции, освоенной в крупномасштабном производстве, фирмой предложена программа HardCopy, позволяющая создавать массово программируемые варианты FPGA рассмотренных семейств. Приборы, формируемые программой HardCopy, содержат обычный набор основных матриц, реализуемых с помощью соединений нижнего уровня, тогда как верхние уровни резервируются для выполнения требований заказчика. Благодаря этому риск, связанный с процессом переноса списка соединений, минимален, поскольку до создания копии исходная микросхема тщательно проверена, освоена в производстве и отгружена. Этот подход позволяет уменьшить размеры кристалла и "бесшовно" перенести список соединений оригинальной FPGA HardCopy-варианту и тем самым ускорить переход к крупносерийному производству изделия и сэкономить затраты заказчика. Так, в сравнении с исходной микросхемой семейства Stratix, ее HardCopy-варианты занимают на 70% меньшую площадь кристалла, потребляют на

~40% меньше энергии и характеризуются на 50% большим быстродействием.

В стремлении упрочить положение своих изделий на рынке FPGA специалисты компании сравнили эффективность использования ресурсов микросхем семейства Stratix и Cyclone и их основных конкурентов – Virtex-II и Spartan-3 компании Xilinx. Сравнение показало, что архитектуры Stratix II и Cyclone обеспечивают на 50% и 70,2% лучшее быстродействие в сравнении с Virtex-II Pro и Spartan-3, соответственно. (Правда, следует отметить, что проведенное ранее компанией Xilinx сравнение микросхем этих семейств дало обратные результаты\*.)

**ACTEL**

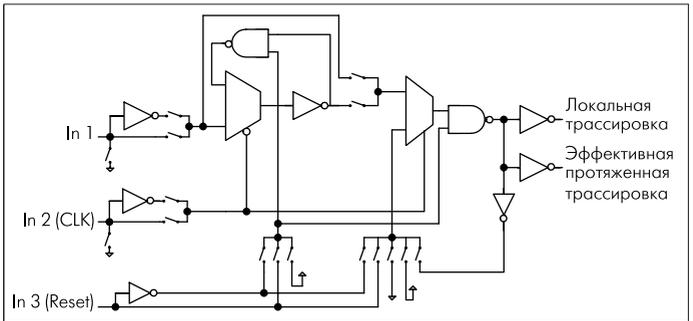
В отличие от ПЛИС с FPGA-архитектурой фирм Xilinx и Altera, компания Actel отдает предпочтение однократно программируемым матрицам на основе прожигаемых перемычек, отличающимся высоким быстродействием, малой потребляемой мощностью и большой радиационной стойкостью. Благодаря последнему свойству изделия компании весьма перспективны для построения систем, отвечающих требованиям военных и авиационно-космических спецификаций. Однако из-за недостаточной гибкости микросхем на основе прожигаемых перемычек (вследствие высокого напряжения, требуемого при программировании таких FPGA, процесс записи программы проводится до монтажа микросхемы на плату и в дальнейшем перепрограммирование невозможно) компания обратилась к поиску гибкой, энергонезависимой ASIC-подобной конструкции. С этой целью Actel приобрела фирму Gatefield и ее флэш-технологию FPGA-микросхем. Результат этого – появление экономически эффективных многократно программируемых микросхем семейства ProASIC на основе флэш-ключей. Эти ключи выполняют не только функции хранения конфигурационных данных, но, в отличие от FPGA на базе CO3У, и функции программирующего элемента. Флэш-переключатель последнего поколения семейства – ProASIC<sup>PLUS</sup> – содержит два транзистора с совместно используемым плавающим затвором, один из которых предназначен только для записи и верификации



**Рис.6. Схема флэш-ключа**

напряжения плавающего затвора, а второй – для присоединения/размыкания узлов соединительных линий, а также для стирания данных плавающего затвора (рис.6). Таким образом, флэш-ключ задает логическую функцию, выполняемую ячейкой, входящей в состав "моря элементов мозаичной структуры", формирующих программируемую вентиляльную матрицу. Логическая ячейка имеет три входа (любой из которых или все могут быть инверсными) и один выход (присоединяемый к сверхскоростным локальным и высокопроизводительным "протяженным" трассировочным ресурсам) (рис.7).

\*По мнению специалистов компании Altera, это объясняется разными методами анализа.



**Рис.7. "Плита" логического ядра**

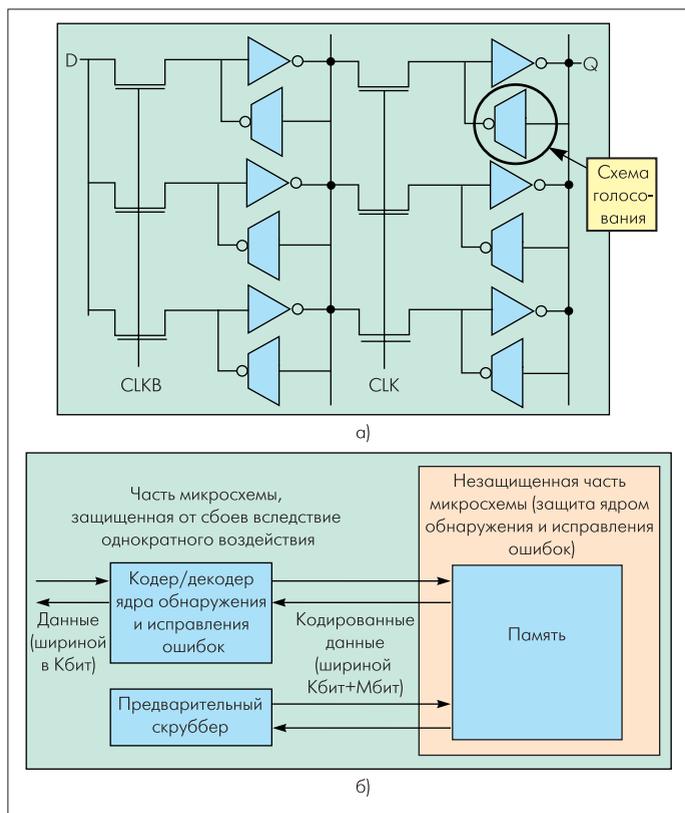
Последние достижения компании Actel в разработке FPGA-микросхем, в частности военно-космического назначения, рассмотрены в публикуемой в этом номере журнала статье А.Поповича "ПЛИС Actel – платформа для "систем на кристалле" бортовой аппаратуры"\*.

С момента начала выпуска в 2002 году компания отгрузила более 1 млн. FPGA семейства ProASIC<sup>PLUS</sup>, и сегодня микросхемы семейства лидируют по числу используемых FPGA, выполненных по флэш-технологии. Они были выбраны для более чем 1 тыс. проектов самого различного назначения: от бытового оборудования, где важную роль играет достаточно низкая стоимость однокристалльного устройства и малая потребляемая мощность, до военных и промышленных систем, где требуется присущая FPGA на основе флэш-ключей высокая надежность, особенно в условиях высокой радиации.

В феврале 2004 года фирмой iROC Technologies в Центре изучения нейтронов Лос-Аламосской национальной лаборатории было проведено всестороннее исследование FPGA-микросхем трех фирм – Xilinx (Virtex и Spartan-3 на базе CO3У-технологии), Altera (Cyclone также на базе CO3У-технологии) и Actel (Axcelerator на базе прожигаемых перемычек и ProASIC<sup>PLUS</sup> на основе флэш-ключей). Эти испытания при одинаковых для микросхем пяти различных архитектур условиях показали более высокую стойкость ПЛИС компании Actel к сбоям конфигурирования, вызванным воздействием высокоэнергетичных нейтронов, генерируемых в атмосфере Земли. Причем микросхемы на основе CO3У-технологии оказались более чувствительными к нейтронной бомбардировке не только на большой высоте, но и при наземном применении, в том числе в автомобильных, медицинских, телекоммуникационных системах и системах хранения данных. По данным компании Actel, среднее время наработки на отказ сети Sonet, включающей 64 системы, в каждой из которых установлено 64 FPGA-микросхемы, при работе на высоте ~1,5 км не превысит 250 ч только из-за конфигурационных сбоев. Число отказов/сбоев на 10<sup>9</sup> ч наработки (FIT) под воздействием нейтронного облучения микросхем, выполненных по CO3У-технологии, составило 1150 на уровне моря, 3900 на высоте 1,5 км и до 540 тыс. на высоте 18 км, тогда как ПЛИС компании Actel не показали каких-либо сбоев. Для справки: FIT высоконадежного оборудования должен составлять 10–20.

Таким образом, компания Actel остается одним из основных поставщиков изделий для военно-космических систем. Для подтверждения этого статуса специалистами компании на базе коммерческого FPGA Axcelerator созданы радиационно стойкие микросхемы семейства RTAX-S. Для повышения стойкости к сбоям вследствие однократного воздействия космического излучения (Single-Event Upset – SEU) каждый регистр микросхемы Axcelerator был заменен тремя регистрами-защелками. Не подвергшиеся ионному облучению

\*Настоящий номер, с. 34.



**Рис.8. Тройные резервные регистры модуля (а) и EDAC усиленные блоки памяти (б) радиационно стойкой микросхемы RTAX-s**

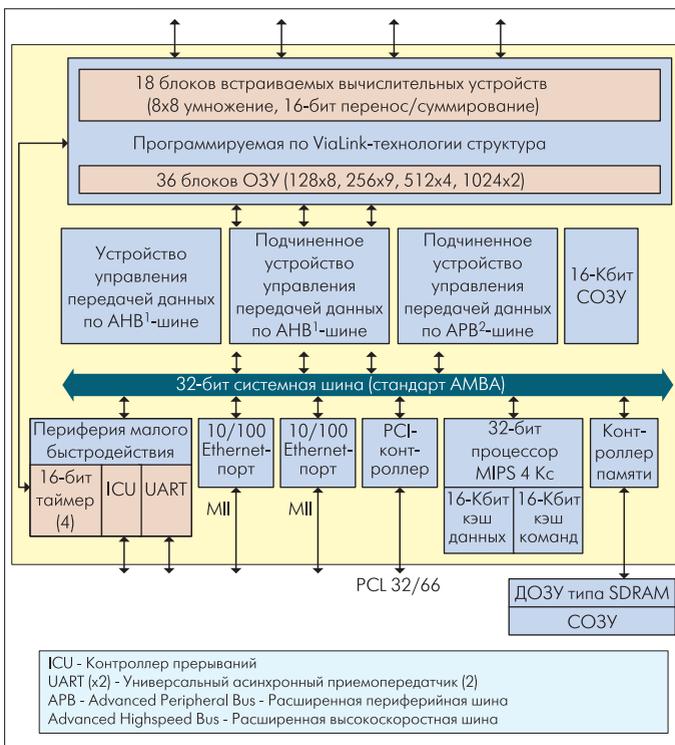
нию регистры получают "перевес голосов" над "пострадавшим" регистром. Кроме того, каждая встроенная матрица ячеек СОЗУ имеет "soft"-ядро обнаружения и исправления ошибок (EDAC) на основе укороченного кода Хемминга, которое не только фиксирует данные, считанные из памяти, но и записывает "удаленную" информацию в облученную ячейку (рис.8). В микросхемах семейства RTAX-S отсутствуют присущие FPGA Accelerator ФАПЧ, предшествующая выводам FIFO-память, встроенные в блоки ввода-вывода контроллеры FIFO-памяти, маломощные блоки и программируемые входные элементы задержки. По оценкам компании, объявленная в феврале 2004 года микросхема типа RTAX250S устойчива к однократному воздействию с порогом LET много больше 37 МэВ.см<sup>2</sup>/мг и к общей ионизирующей дозе ~300 крад.

Сейчас в семейство RTAX-S входят три микросхемы типа RTAX250S, RTAX1000S и RTAX2000S с числом системных вентилях от 250 тыс. до 2 млн., что эквивалентно 30 тыс.–250 тыс. ASIC-вентилей. Кроме того, микросхемы семейства содержат 1408–10752 регистровых модулей (R-ячеек), 2816–21504 комбинаторных модулей (С-ячеек) и столько же стойких к однократному воздействию триггеров. Общий объем памяти ядер ОЗУ составляет 54К–288 Кбит, максимальное число пользовательских контактов – 248–684. Выполнены микросхемы по 0,15-мкм КМОП-технологии с прожигаемыми перемычками и семислойной металлизацией. Поставляются в CCGA- (кроме RTAX250S) и CQFP-корпусах, соответственно с 624 и 352 выводами. Микросхемы семейства RTAX-S, планируемые к выпуску на рынок в конце 2004 года, оцениваются в ~14 тыс. за 1 шт. Начальная цена RTAX250S составит 3980 долл. при закупке 25 микросхем.

**QUICKLOGIC**

Другой сторонник antifuse-технологии – компания QuickLogic – энергично поддерживает разработку гибридных ASIC + FPGA микросхем. Характерный представитель микросхем такого типа – семейство QuickMIPS. Микросхемы этого семейства отличаются богатством своих ресурсов и представляют собой готовую систему-на-кристалле. В 2003 году компания выпустила три новые микросхемы семейства – QL902M–QL904M на базе 32-бит MIPS-процессора на частоту до 233 МГц и памяти с пропускной способностью 466 Mbps. Микросхемы содержат также гибкий контроллер памяти, поддерживающий внешние ОЗУ типа SDRAM (объемом до 256 Мбайт), ПЗУ и флэш; два 10/100 Mbps Ethernet-порта; 32-бит 33/36-МГц PCI-интерфейс, другие обычные периферийные устройства и программируемые пользователем структуры (рис.9). Число контактов ввода-вывода 94–122. Монтируются ПЛИС в корпус BGA-типа с 680 или 544 выводами. Первоначальная стоимость новых микросхем, опытная поставка которых планировалась на третий квартал 2003 года, – 35 долл. при закупке партии не менее 10 тыс. шт.

Соединения ячеек программируемой части микросхемы, содержащей 300 тыс.–575 тыс. системных вентиляей, выполняются по запатентованной компанией Vialink-технологии, обеспечивающей формирование надежных линий связи. "Море ячеек" микросхемы используется для экономически эффективной и надежной реализации конкретных функций, обеспечивая непосредственное сопряжение с заказными внешними периферийными устройствами и способствуя тем самым упрощению конструкции системы, уменьшению ее габаритов и снижению стоимости. Кроме того, наличие FPGA-структуры освобождает процессор от выполнения ряда функций, приводя тем самым к повышению общей производительности системы. Таким образом, микросхемы семейства QuickMIPS обладают всеми достоинствами системы-на-кристалле – высокой производительностью, малым энергопотреблением и простотой конструирования – при сопоставимой с системами на базе встраиваемого процессора и FPGA стоимости.



**Рис.9. Упрощенная блок-схема микросхемы семейства QuickMIPS**

Предназначены микросхемы семейства для применения в разнообразных коммуникационных системах, средствах управления производственными процессами и в цифровой бытовой аппаратуре старших моделей.

Нельзя не отметить и выпущенные в начале года новые мало-мощные микросхемы семейства Eclipse II. При разработке ПЛИС Eclipse первого поколения компания поставила задачу усовершенствовать буферы ввода-вывода, содержащие регистры ввода, вывода и разрешенного выхода и поддерживающие различные стандарты, в том числе и дифференциальной передачи сигналов. Микросхемы второго поколения выполнены по 0,18-мкм КМОП-технологии с шестислойной металлизацией, их логическая емкость 47 тыс.–320 тыс. системных вентиляей. Рассеиваемая мощность последних двух представителей семейства (QL8025 и QL8050) на частоте 100 МГц не превышает 50 мВт. Ток в нерабочем режиме составляет 17 мкА, благодаря чему эти ПЛИС перспективны для применения в малогабаритных устройствах с батарейным питанием. Микросхемы семейства содержат до 24 двухпортовых СОЗУ емкостью 2304 бит каждое (общая емкость до 55300 бит), а также до четырех программируемых пользователем ФАПЧ.

Микросхемы семейства Eclipse II поддерживаются средствами программирования QuickWorks v.9.53, которые можно найти на странице [www.quicklogic.com/software\\_download](http://www.quicklogic.com/software_download). Для FPGA-семейства компания предлагает и IP-блоки – интерфейсы PCI, интерфейсы памяти, DSP-блоки и другие широко используемые периферийные устройства.

Первоначальная стоимость микросхем семейства, планировавшихся к выпуску в первом квартале 2004 года, – 3,5 долл. при закупке крупных партий.

Из FPGA других производителей следует отметить семейство ispXPGA компании **Lattice Semiconductor**, созданное на основе ПЛИС Osga, производственная линия которых была приобретена у фирмы Agere Systems. В состав микросхем семейства помимо логических и конфигурационных блоков на основе СОЗУ входят и энергонезависимые конфигурационные блоки ЭСРПЗУ. Каждый программируемый функциональный элемент микросхем содержит четыре 4-LUT, позволяющие реализовать блоки 64-бит однопортовой или 32-бит двухпортовой памяти (общая емкость до 414 Кбит); восемь регистров; специализированные технические средства для построения пересчетных устройств, мультиплексоров, сумматоров, умножителей, входных и выходных матричных переключателей. На основе блоков ОЗУ с организацией 512x9 или 15x18 бит можно формировать память FIFO-типа, одно- или двухпортовые структуры с временем доступа 3 нс. ФАПЧ и 840-МГц SERDES-схемы наряду с 10-/12-бит преобразователем образуют сердце быстродействующих последовательных интерфейсов микросхемы. Логическая емкость микросхем семейства составляет 139 тыс.–1,25 млн. системных вентиляей.

К последним разработкам компании **Atmel** относится FPGA серии AT40KEL040. Это первая репрограммируемая радиационно стойкая микросхема на напряжение 3,3 В с встроенной SEU-защитой. Микросхема содержит до 50 тыс. эквивалентных ASIC вентиляей и 18-Кбит конфигурируемых пользователем блоков одно/двухпортовых, синхронных/асинхронных СОЗУ с временем выборки 18 нс. Выполненная по 0,35-мкм КМОП-технологии формирования радиационно стойких ИС, микросхема выдерживает общую дозу радиации 200 крад при работе на частоте 60 МГц в полном диапазоне температур военного стандарта. Отмечается, что конфигурационное СОЗУ микросхемы характеризуется очень низкой чувствительностью к однократному воздействию.



Архитектура микросхемы оптимизирована для реализации эффективных и быстродействующих (рабочая частота до 32 МГц) матричных умножителей. AT40KEL040 допускает частичное перепрограммирование при работе других блоков FPGA без потери данных регистров.

Опытные высококачественные образцы микросхем поставляются со 130 или 240 PCI совместимыми контактами в 160- и 256-выводных MQFPF-корпусах по цене 1,4 тыс. долл. или 6 тыс. долл. в партии 25 шт.

И, наконец, хотелось бы отметить микросхему компании NEC, которая, по мнению разработчиков, при успешной реализации сможет коренным образом изменить промышленность ПЛИС. В докладе, представленном на Международной конференции по твердотельным схемам (ISSCC) этого года, сообщалось о создании FPGA на базе так называемых наномостиков (nanobridge). Как и в ПЛИС с прожигаемыми перемычками фирм Actel и QuickLogic, подача программирующего напряжения приводит к образованию низкоомной проводящей дорожки между двумя контактами. Но в отличие от ПЛИС с однократно программируемыми перемычками, новая схема японских специалистов допускает многократное перепрограммирование.

Наномостик имеет многослойную структуру, в которой тонкая пленка сульфида меди отделяет медный электрод от титанового. При подаче напряжения ионы меди мигрируют сквозь слой сульфида меди, образуя наноразмерную нить, соединяющую два электрода. При подаче обратного напряжения ионы меди мигрируют в обратную сторону, и связь прерывается. Благодаря чрезвычайно малым размерам (~1/30 площади транзисторного ключа CO3U) и малому сопротивлению (50 Ом против 1–2 кОм) структура на базе наномостиков весьма перспективна для создания FPGA с очень плотной упаковкой элементов. Правда, пока необходимо решить проблему стабильности мостика, который в течение месяца изменяет свое состояние. К тому же, значение программирующего напряжения столь мало, что падение напряжения при прохождении тока может привести к распрограммированию матрицы. Несмотря на то, что специалисты не отрицают рискованность новой разработки, они уверены, что путем подбора материалов и геометрии прибора удастся создать FPGA, области применения которой будут весьма обширны.

В одной статье рассмотреть все разнообразие ПЛИС невозможно, "нельзя объять необъятное". Другие типы ПЛИС будут представлены в следующих номерах журнала. ○

## MIPS Technologies и НТЦ "Модуль" – глобальные партнеры

19 мая 2004 российская компания "Модуль" и известная фирма-разработчик процессорных ядер MIPS Technologies объявили о заключении стратегического партнерства на российском полупроводниковом рынке. Теперь интересы MIPS в России представляет НТЦ "Модуль", что для отечественных дизайн-центров прежде всего означает существенное упрощение (техническое и процедурное) использования решений одного из двух (MIPS и ARM) крупнейших игроков рынка процессорных ядер. Событие это вызвало живой интерес со стороны специалистов многих отечественных дизайн-центров. Особую важность оно приобретает на фоне развития новой инфраструктуры проектирования СБИС типа "система на кристалле", в которой управляющий процессор – практически неотъемлемый элемент.

На состоявшейся пресс-конференции о задачах своих фирм и целях партнерства рассказали вице-президент по продажам MIPS Technologies Джек Браун, вице-президент европейского отделения MIPS Technologies Цезар Мартин Перез, коммерческий директор НТЦ "Модуль" Д.В.Фомин. Начальник управления радиоэлектронной промышленности и систем управления федерального агентства по промышленности Ю.И.Борисов (до своего назначения на государственный пост – генеральный директор НТЦ "Модуль") в своем кратком выступлении отметил, что данное событие носит эпохальный характер. "В России еще недостаточно богатый опыт цивилизованного использования готовых решений в своих разработках. У западных компаний сохраняется определенная осторожность к российским разработчикам. Поэтому партнерство "Модуля" с компаний MIPS – это важный шаг российских дизайнеров к цивилизованной организации труда, как это принято в мировом сообществе. Федеральные органы всегда будут поддерживать подобные контакты. Именно такой должна быть тенденция развития отечественной электронной отрасли. Наша задача – цивилизованно занять свое место на рынке разработок и производства".

Генеральный директор НТЦ "Модуль" О.В.Новиков заявил: "Партнерство двух фирм прежде всего взаимовыгодно. НТЦ

"Модуль", как высокотехнологичной компании, интересны продукты MIPS, фирма же MIPS Technologies заинтересована в продвижении своих технологий на российский рынок. Надеюсь, данное партнерство будет выгодно не только для наших двух фирм, но и для всего сообщества, работающего в микроэлектронике."

Коммерческий директор НТЦ "Модуль" Д.В.Фомин подчеркнул, что применение процессорных ядер MIPS важно для НТЦ "Модуль" несмотря на то, что у этой фирмы есть собственная разработка ядра управляющего контроллера, реализованная в процессоре цифровой обработки сигналов Л1879ВМ1 (NM6403). Однако средства поддержки продуктов компании MIPS гораздо привлекательнее, поскольку над их созданием работают многие компании во всем мире. Поэтому применение ядра MIPS в новом сигнальном процессоре вместе с собственным патентованным DSP-ядром открывает перед "Модулем" новые перспективы и рынки.

Будем надеяться, что сотрудничество двух известных фирм окажется действительно продуктивным и полезным для всей российской электроники.

**Собств. инф.**