

СОВРЕМЕННЫЕ ПЛИС ФИРМЫ XILINX

СЕРИЯ VIRTEX – НИ ГОДА БЕЗ НОВОГО СЕМЕЙСТВА

В 2004 году американская фирма Xilinx отмечает 20-летний юбилей. Уже на раннем этапе своего существования, в 1984 году, компания предложила новый тип логических микросхем – перепрограммируемые пользователем базовые матричные кристаллы (Field Programmable Gate Array, или FPGA). Микросхемы предоставили разработчику электронных устройств преимущества стандартных базовых матричных кристаллов и позволили при этом проектировать, конфигурировать, отлаживать, исправлять ошибки, а также реконфигурировать микросхему непосредственно на рабочем месте. В результате улучшилась гибкость устройства и значительно сократилось время его выхода на рынок готовой продукции. Каковы же достижения компании на сегодняшний день?

ВВЕДЕНИЕ

Сегодня компания Xilinx выпускает несколько серий ПЛИС. Они подразделяются на FPGA – перепрограммируемые пользователем базовые матричные кристаллы – и CPLD (Complex Programmable Logic Devices) – сложные программируемые логические устройства. В каждой серии – от одного до нескольких семейств, содержащих, в свою очередь, микросхемы, различающиеся емкостью, быстродействием, типом корпусов (см. рисунок). Основные особенности ПЛИС фирмы Xilinx (по состоянию на начало 2004 года):

- значительный объем ресурсов: более 10 млн. системных вентилей на кристалл;
- высокая производительность: системные частоты свыше 400 МГц;
- перспективная технология изготовления: топологические нормы до 90 нм, девятислойная металлизация, в том числе медью;
- высокая гибкость архитектуры с множеством системных особенностей: внутренними распределенными и блочными ОЗУ, логикой ускоренного переноса, внутренними буферами с третьим состоянием и т. п.;
- возможность инициализации и верификации через JTAG;
- возможность программирования непосредственно в системе;
- широкая номенклатура: от недорогих и относительно простых микросхем для реализации крупносерийных логических проектов до очень сложных для проектов создания средств высокоскоростной цифровой обработки сигналов, моделирования и макетирования новых типов процессоров, вычислительных устройств и т. п.;
- короткий цикл проектирования и малое время компиляции;

М. Кузелин



- недорогие средства проектирования (в том числе и бесплатные). Компания Xilinx выпускает ПЛИС на основе трех типов памяти:
- СОЗУ (FPGA-типа). При этом конфигурация схемы хранится во внутреннем, "тенево", ОЗУ, а инициализация осуществляется из внешнего массива памяти. Конфигурационная последовательность (bitstream) может быть загружена в FPGA непосредственно в системе и перегружена неограниченное число раз. Инициализация ПЛИС производится автоматически из внешнего загрузочного ПЗУ при подаче напряжения питания или принудительно по специальному сигналу. Процесс инициализации занимает 20–200 мс, в течение которых выводы ПЛИС находятся в высокоомном состоянии (подтянуты к логической единице). К ПЛИС этого типа относятся микросхемы серий Virtex, Spartan;
- флэш-памяти. Конфигурация хранится во внутренней энергонезависимой флэш-памяти и в любой момент может быть перезаписана непосредственно из ПК через JTAG-порт, что исключает необходимость применения программатора. Через JTAG обеспечивается и внутреннее тестирование схемы. По этой технологии выполнены CPLD семейства XC9500;
- ЭСРПЗУ. В таких ПЛИС конфигурация хранится во внутреннем энергонезависимом ЭСРПЗУ, и в любой момент ее можно перезаписать непосредственно из ПК. По этой технологии выполнены CPLD семейства CoolRunner.

На этапе отладки конфигурация может загружаться с компьютера с помощью кабелей трех видов: MultiPRO Desktop Tool, Parallel Cable IV и MultiLinx Cable. Все кабели поддерживают программирование микросхем CPLD по JTAG-порту. При выборе кабеля необходимо учитывать их свойства, приводимые ниже:

MultiPRO Desktop Tool подключается к параллельному порту ПК, поддерживает внутрисистемное программирование/конфигурирование всех ПЛИС Xilinx, а также автономное программирование ПЛИС семейства CoolRunner-II и ППЗУ серий XC18V00 и PlatformFlash. При этом наличие в одном комплекте как самого программатора, так и загрузочного кабеля позволило снизить стоимость комплекта средств для отладки и программирования;

Parallel Cable IV подключается к параллельному порту ПК, поддерживает загрузку FPGA и программирование CPLD, а также обратное считывание конфигурации через JTAG-порт. Напряжение питания подается от внешнего 5-В источника. В поставку кабеля включен переходник, предназначенный для подачи напряжения питания на кабель от PS/2 порта компьютера;

MultiLinx Cable подключается к порту RS-232 ПК или рабочей станции, а также к USB-порту ПК. Напряжение питания (5; 3,3; 2,5 В) подается с платы.

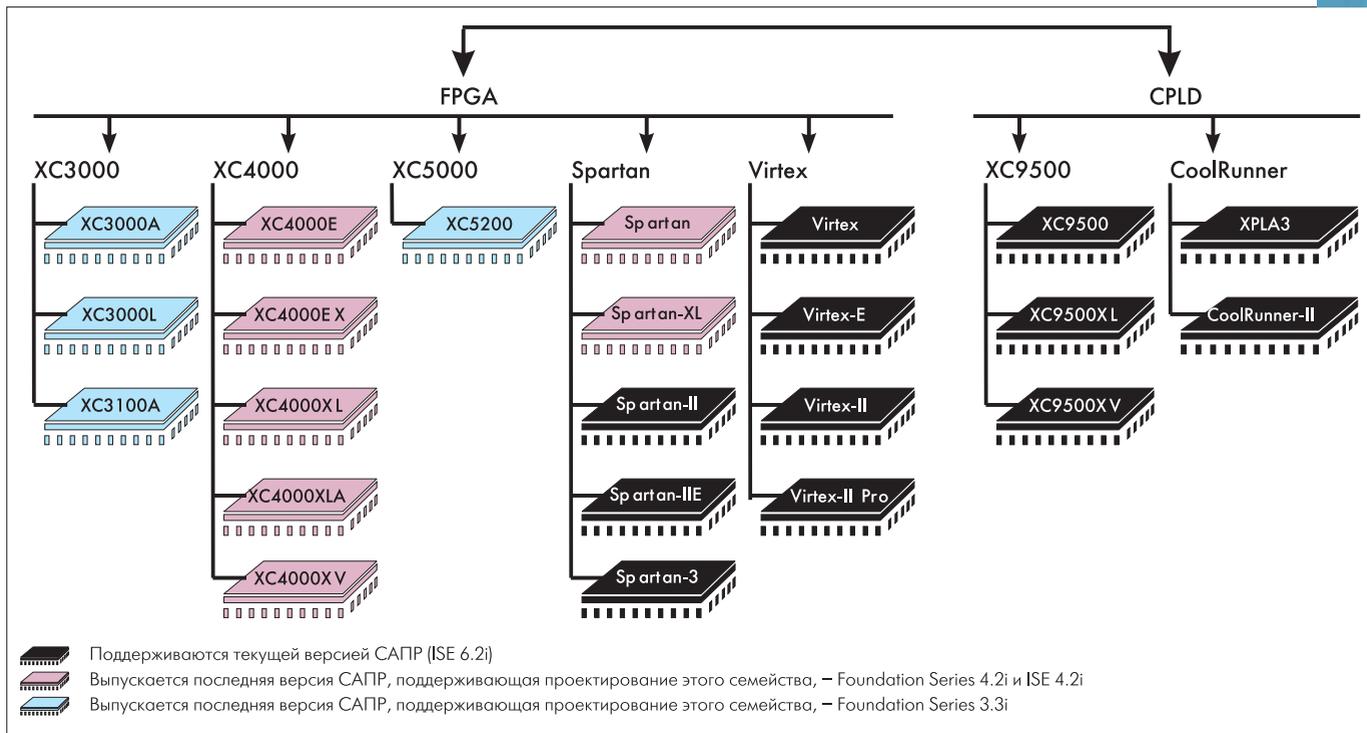


Рис. 1. ПЛИС компании Xilinx

Xilinx предлагает полный набор программного обеспечения, позволяющего реализовать проект на базе выпускаемых ПЛИС. Программное обеспечение включает в себя схемотехнический и текстовый ввод, VHDL/Verilog синтез, функциональное моделирование, трассировщик кристаллов, моделирование после трассировки и многое другое. Кроме того, фирма Xilinx разрабатывает специализированные модули, так называемые логические ядра, которые могут быть использованы как библиотечные элементы при проектировании устройств на базе ПЛИС.

Подробная информация представлена на странице <http://www.xilinx.com/ipcenter/index.htm>

КРАТКАЯ КЛАССИФИКАЦИЯ СОВРЕМЕННЫХ МИКРОСХЕМ

ФИРМЫ XILINX

На сегодняшний день наиболее перспективны следующие ПЛИС фирмы Xilinx:

- FPGA серии Virtex;
- FPGA серии Spartan, за исключением микросхем семейств Spartan (напряжение питания 5 В) и Spartan-XL (3,3 В);
- CPLD серии XC9500;
- CPLD серии CoolRunner-II.

Применение в новых разработках других выпускаемых сейчас серий ПЛИС фирмы Xilinx не рекомендуется. Поэтому их рассматривать не будем.

СЕРИЯ VIRTEX

В состав FPGA-микросхем серии входят четыре семейства: Virtex, Virtex-E, Virtex-II и Virtex-II Pro. Выпущенные в конце 1998 года микросхемы серии Virtex позволили расширить традиционные свойства ПЛИС FPGA-типа за счет мощного набора свойств, позволяющих решать проблемы проектирования высокопроизводительных систем. FPGA-микросхемы серии характеризуются гибкой архитектурой, состоящей из матрицы конфигурируемых логических блоков (Configurable Logic Blocks – CLB), окруженных программи-

руемыми блоками ввода-вывода (Input-Output Blocks – IOB). Специальная логика ускоренного переноса для выполнения высокоскоростных арифметических операций, специальная поддержка умножителей, каскадируемые цепочки для функций с большим числом входов, многочисленные регистры/защелки с разрешением тактирования и синхронным/асинхронным сбросом и установкой, внутренние шины с тремя состояниями обеспечивают баланс быстродействия и плотности упаковки логики. Иерархическая система элементов памяти микросхем серии включает: распределенную память на базе четырехвходовых таблиц преобразования (4-LUT – Look-Up Table), конфигурируемых либо как 16-бит ОЗУ, либо как 16-бит сдвиговый регистр; встроенную блочную память (каждый блок конфигурируется как синхронное двухпортовое ОЗУ) и интерфейсы к модулям внешней памяти. ПЛИС серии поддерживают большинство стандартов ввода-вывода (технология SelectIO™), а FPGA более поздних семейств – стандарты дифференциальной передачи сигналов – LVDS (Low-Voltage Differential Signaling), BLVDS (Bus LVDS), LVPECL (Low-Voltage Positive Emitter-Coupled Logic). Предусмотрены быстродействующие встроенные цепи управления синхронизацией. Проектирование осуществляется на ПК или рабочей станции пакетом программного обеспечения ISE (Integrated Software Environment): ISE BaseX, ISE Foundation, ISE Alliance. Производятся микросхемы серии Virtex с топологическими нормами 0,22–0,15 мкм и многослойной металлизацией. Все микросхемы серии проходят 100%-ное заводское тестирование.

Рассмотрим подробнее основные семейства микросхем, входящих в серию Virtex.

Семейство Virtex – четвертое поколение FPGA-микросхем после выпуска в 1984 году первой ПЛИС этого типа. FPGA-микросхемы семейства впервые позволили реализовать не только обычные логические функции, но и операции, выполняемые до сих пор отдельными специализированными изделиями. Благодаря появлению семейства Virtex FPGA-микросхемы перешли из разряда связующих логических схем в разряд программируемых устройств, слу-

Таблица 1. Параметры микросхем семейства Virtex

Параметр	XCV50	XCV100	XCV150	XCV200	XCV300	XCV400	XCV600	XCV800	XCV1000
Матрица КЛБ	16x24	20x30	24x36	28x42	32x48	40x60	48x72	56x84	64x96
Число логических ячеек	1728	2700	3888	5292	6912	10800	15552	21168	27648
Число системных вентиляей	57906	108904	164674	236666	322970	468252	661111	888439	1124022
Объем блочной памяти, бит	32768	40960	49152	57344	65536	81920	98304	114688	131072
Объем распределенной памяти, бит	24576	38400	55296	75264	98304	153600	221184	301056	393216
Число DLL-элементов	4								
Число поддерживаемых стандартов ввода-вывода	17								
Градации по быстродействию, класс	4, 5, 6								
Число пользовательских контактов, макс. (МЧПК)	180	180	260	284	316	404	512	512	512
МЧПК в корпусах									
CS144 (12x12 мм)	94	94	–	–	–	–	–	–	–
TQ144 (20x20 мм)	98	98	–	–	–	–	–	–	–
PQ240/HQ240 (32x32 мм)	166	166	166	166	166	166	166	166	–
BG256 (27x27 мм)	180	180	180	180	–	–	–	–	–
BG352 (35x35 мм)	–	–	260	260	260	–	–	–	–
BG432 (40x40 мм)	–	–	–	–	316	316	316	316	–
BG560 (42,5x42,5 мм)	–	–	–	–	–	404	404	404	404
FG256 (17x17 мм)	176	176	176	176	–	–	–	–	–
FG456 (23x23 мм)	–	–	260	284	312	–	–	–	–
FG676 (27x27 мм)	–	–	–	–	–	404	444	444	–
FG680 (40x40 мм)	–	–	–	–	–	–	512	512	512

жащих центром цифровых систем.

Главные особенности ПЛИС семейства Virtex: высокая производительность (до 200 МГц), большая логическая емкость (50 тыс. – 1 млн. системных вентиляей), напряжение питания ядра 2,5 В, совместимость с шиной PCI 66 МГц, поддержка функции "горячей замены" для Compact PCI (табл. 1). Микросхемы семейства поддерживают 16 высокопроизводительных стандартов ввода-вывода, в том числе LVTT, LVCMOS2, PCI33, PCI66, GTL/GTL+, SSTL, HSTL, AGP и STT, а также прямое подключение к ZBTRAM-устройствам. Встроенные цепи управления синхронизацией содержат четыре встроенных модуля автоподстройки задержек (DLL – Delay-Locked Loop) и четыре глобальные сети распределения тактовых сигналов с малыми разбегами фронтов плюс 24 локальные тактовые сети. Каждый блок встроенной памяти конфигурируется как синхронное двухпортовое 4-Кбит ОЗУ (максимальная суммарная емкость 128 Кбит).

Изготавливаются микросхемы семейства по 0,22-мкм КМОП-технологии с пятислойной металлизацией.

Семейство Virtex-E, выпущенное уже в сентябре 1999 года, по своим характеристикам и свойствам сопоставимо со специали-

зированными ASIC. FPGA-микросхемы семейства предназначены для систем обмена данными и цифровой обработки сигнала. В сравнении с микросхемами первого семейства они характеризуются более высокой производительностью (системная частота до 320 МГц) и большей логической емкостью (свыше 2 млн. системных вентиляей, табл.2). Подобно предыдущему семейству, технология SelectIO™ обеспечивает поддержку многочисленных стандартов ввода-вывода, в том числе впервые и стандартов дифференциальной передачи – LVDS, BLVDS, LVPECL. Микросхемы семейства поддерживают 32/64-бит, 33/66-МГц PCI. Напряжение питания ядра 1,8 В. Иерархическая трехуровневая система памяти по структуре та же, что и в предыдущем семействе. Но максимальная емкость блочной памяти увеличена в 8,75 раз – до 1120 кбит. Предусмотрены также быстрые интерфейсы к таким внешним высокопроизводительным ОЗУ, как 200-МГц ZBTSRAM и 200-Мбит/с DDR SDRAM.

Появление микросхем семейства Virtex-E оказалось возможным благодаря переходу от 0,22-мкм КМОП-технологии с пятислойной металлизацией к 0,18-мкм процессам и шестислойной металлизации.

Таким образом, в микросхемах этого семейства, в сравнении с Virtex, увеличены:

- эквивалентная логическая емкость (в три раза);
- число поддерживаемых стандартов ввода-вывода (с 17 до 20);
- максимальное число пользовательских контактов ввода-вывода

Таблица 2. Параметры микросхем семейства Virtex-E

Параметр	XCV50E	XCV100E	XCV200E	XCV300E	XCV400E	XCV600E	XCV1000E	XCV1600E	XCV2000E
Матрица КЛБ	16x24	20x30	28x42	32x48	40x60	48x72	64x96	72x108	80x120
Число логических ячеек	1728	2700	5292	6912	10800	15552	27648	34992	43200
Число системных вентиляей	71693	128236	306393	411955	569952	985882	1569178	2188742	2541952
Объем блочной памяти, бит	65536	81920	114688	131072	163840	294912	393216	589824	655360
Объем распределенной памяти, бит	24576	38400	75264	98304	153600	221184	393216	497664	614400
Число DLL-модулей	8								
Число поддерживаемых стандартов ввода-вывода	20								
Градации по быстродействию, класс	6, 7, 8								
Максимальное число пользовательских контактов (МЧПК)	176	176	284	316	404	512	660	724	804
МЧПК в корпусах									
CS144 (12x12 мм)	94	94	94	–	–	–	–	–	–
PQ240/HQ240 (32x32 мм)	158	158	158	158	158	158	158	–	–
BG352 (35x35 мм)	–	196	260	260	–	–	–	–	–
BG432 (40x40 мм)	–	–	–	316	316	316	–	–	–
BG560 (42,5x42,5 мм)	–	–	–	–	–	–	404	404	404
FG256 (17x17 мм)	176	176	176	176	–	–	–	–	–
FG456 (23x23 мм)	–	–	284	312	–	–	–	–	–
FG676 (27x27 мм)	–	–	–	–	404	444	–	–	–
FG680 (40x40 мм)	–	–	–	–	–	512	512	512	512
FG860 (42,5x42,5 мм)	–	–	–	–	–	–	660	660	660
FG900 (31x31 мм)	–	–	–	–	–	512	660	700	–
FG1156 (35x35 мм)	–	–	–	–	–	–	660	724	804



Таблица 3. Параметры микросхем с увеличенным объемом блочной памяти семейства Virtex-EM

Параметр	XCV405E	XCV812E
Матрица КЛБ	40x60	56x84
Число логических ячеек	10 800	21168
Число системных вентиляей	1373634	2348810
Объем блочной памяти, бит	573440	1146880
Объем распределенной памяти, бит	153600	301056
Число DLL-модулей	8	8
Число поддерживаемых стандартов ввода-вывода	20	20
Градация по быстродействию, класс	6, 7, 8	6, 7, 8
МЧПК	404	556
МЧПК в корпусах		
BG560 (42,5x42,5 мм)	404	
FG676 (27x27 мм)	404	–
FG900 (31x31 мм)	–	556

(в 1,5 раза – с 512 до 804);

- быстродействие блоков ввода-вывода (в 1,5 раза – с 200 до 320 МГц);
- число встроенных модулей автоподстройки задержек – DLL-модулей (в два раза – с четырех до восьми);
- число пользовательских блоков ввода-вывода (до 560).

Многие высокопроизводительные сетевые системы и системы обработки изображения требуют ОЗУ большого объема. В ответ на это фирма Xilinx в начале 2000 года выпустила версию семейства Virtex-E с увеличенным объемом памяти – Virtex-EM (XCV504E и XCV812E). Эти микросхемы – эффективная и надежная платформа для построения коммутационных систем со скоростью передачи 160 Гбит/с (табл.3). Высокая пропускная способность достигнута за счет увеличения объема двухпортовой блочной памяти до 1 Мбит и применения в шестислойной металлизации двух слоев (верхнего и распределения тактовых сигналов), выполненных по медной технологии.

Семейство Virtex-II реализует новую идеологию формирования FPGA-платформ, позволяющую ПЛИС стать основным компонентом цифрового устройства. На одной микросхеме семейства Virtex-II можно создать сложную цифровую систему логической ем-

костью до 8 млн. системных вентиляей. При этом в сравнении с аналогичной по функциональности заказной интегральной схемой время разработки значительно сокращается. Семейство Virtex-II включает 11 микросхем, различающихся логической емкостью (табл.4).

Семейство пригодно для проектирования широкого класса высокопроизводительных систем малой и высокой степени интеграции – таких, как устройства передачи данных и устройства цифровой обработки сигналов. На микросхемах семейства Virtex-II реализуются законченные решения в области телекоммуникационных, сетевых систем, средств беспроводной связи, цифровой обработки сигналов с использованием интерфейсов с PCI, LVDS и DDR. Пример таких решений – реализация процессоров PowerPC 405 и MicroBlaze. Используемая для производства микросхем КМОП-технология с топологическими нормами 0,12–0,15 мкм и восемь слоев металлизации позволяет реализовывать проекты с высоким быстродействием и малым энергопотреблением.

Логическая емкость микросхем семейства Virtex-II составляет 40 тыс.–8 млн. системных вентиляей на кристалле, внутренняя тактовая частота – превышает 400 МГц, скорость обмена данными – более 840 Мбит/с по одному контакту ввода-вывода. Объем распределенной памяти достигает 1,5 Мбит, встроенной памяти, реализуемой на блоках двухпортового ОЗУ емкостью 18 кбит каждый, – 3 Мбит. Предусмотрены интерфейсы к внешним модулям памяти типа DDR-SDRAM, QDR™-SRAM и Sigma RAM.

Микросхемы семейства содержат блоки умножителей 18x18 бит, до 93184 регистров/защелок с разрешением тактирования и синхронным/асинхронным сбросом и установкой и 93184 функциональных генератора (4-LUT). Управление синхронизацией обеспечивают до 12 модулей управления синхронизацией (DCM) и 16 мультиплексоров глобальных тактовых сигналов. Обеспечивается точная подстройка фронтов тактирующих сигналов, умножение, деление частоты, сдвиг фазы с высоким разрешением и защита от электромагнитных помех.

Используемая технология межсоединений Active Interconnect позволяет получать сегментированную структуру трассировки четвертого поколения с прогнозируемыми задержками, не зависящи-

Таблица 4. Основные параметры ПЛИС семейства Virtex-II

Параметр	XC2V40	XC2V80	XC2V250	XC2V500	XC2V1000	XC2V1500	XC2V2000	XC2V3000	XC2V4000	XC2V6000	XC2V8000
Число системных вентиляей	40	80	250	500	1 М	1,5 М	2 М	3 М	4 М	6 М	8 М
Матрица КЛБ	8x8	16x8	24x16	32x24	40x32	48x40	56x48	64x56	80x72	96x88	112x104
Число логических ячеек	576	1152	3456	6912	11520	17280	24192	32256	51840	76032	104832
Число регистров в КЛБ	512	1024	3072	6144	10240	15360	21504	28672	46080	67584	93184
Объем распределенной памяти, кбит	8	16	48	96	160	240	336	448	720	1056	1456
Объем блочной памяти, кбит	72	144	432	576	720	864	1008	1728	2160	2592	3024
Число умножителей 18x18	4	8	24	32	40	48	56	96	120	144	168
Число DCM-модулей	4	8	8	8	8	8	8	12	12	12	12
Тактовая частота DCM, МГц, мин./макс.	24/420	24/420	24/420	24/420	24/420	24/420	24/420	24/420	24/420	24/420	24/420
Градация по быстродействию, класс	4, 5, 6										
МЧПК	88	120	200	264	432	528	624	720	912	1 104	1 108
Дифференциальные пары	44	60	100	132	216	264	312	360	456	552	554
МЧПК в корпусах											
CS144 (12x12 мм)	88	92	92	–	–	–	–	–	–	–	–
BG575 (31x31 мм)	–	–	–	–	328	392	–	–	–	–	–
BG728 (35x35 мм)	–	–	–	–	–	–	–	516	–	–	–
FG256 (17x17 мм)	88	120	172	172	172	–	–	–	–	–	–
FG456 (23x23 мм)	–	–	200	264	324	–	–	–	–	–	–
FG676 (27x27 мм)	–	–	–	–	–	392	456	484	–	–	–
FF896 (31x31 мм)	–	–	–	–	432	528	624	–	–	–	–
FF1152 (35x35 мм)	–	–	–	–	–	–	–	720	824	824	824
FF1517 (40x40 мм)	–	–	–	–	–	–	–	–	912	1104	1108
BF957 (40x40 мм)	–	–	–	–	–	–	624	684	684	684	–

Таблица 5. Основные характеристики микросхем семейства Virtex-II Pro

Параметр	XC2VP2	XC2VP4	XC2VP7	XC2VP20	XC2VP30	XC2VP40	XC2VP50	XC2VP70	XC2VP100	XC2VP125
Число встроенных блоков RocketIO	4	4	8	8	8	0, 12	0, 16	16, 20	0, 20	0, 20, 24
Число ядер PowerPC	0	1	1	2	2	2	2	2	2	4
Матрица КЛБ	16x22	40x22	40x34	56x46	80x46	88x58	88x70	104x82	120x94	136x106
Число логических ячеек	3168	6768	11088	20880	30816	43632	53136	74448	99216	125136
Число регистров в КЛБ	2816	6016	9856	18560	27392	38784	47232	66176	88192	111232
Объем распределённой памяти, кбит	44	94	154	290	428	606	738	1034	1378	1738
Объем блочной памяти, кбит	216	504	792	1 584	2 448	3456	4176	5904	7992	10008
Число умножителей 18x18	12	28	44	88	136	192	232	328	444	556
Число DCM-модулей	4	4	4	8	8	8	8	8	12	12
Тактовая частота DCM, МГц, мин./макс.	24/420	24/420	24/420	24/420	24/420	24/420				
Градации по быстродействию, класс	5, 6, 7									
МЧПК	204	348	396	564	692	804	852	996	1 164	1 200
МЧПК в корпусах										
FG256 (17x17 мм)	140	140	—	—	—	416	—	—	—	—
FG456 (23x23 мм)	156	248	248	—	—	692	692	—	—	—
FG676 (27x27 мм)	—	—	—	404	416	804	812	—	—	—
FF672 (27x27 мм)	204	348	396	—	—	—	852	964	—	—
FF896 (31x31 мм)	—	—	396	556	556	—	—	996	1040	1040
FF1152 (35x35 мм)	—	—	—	564	644	—	—	—	1164	1200

ми от коэффициента разветвления по выводу.

До 1108 программируемых пользователем блоков ввода-вывода, 19 однополюсных и шесть дифференциальных стандартов ввода-вывода поддерживают большинство цифровых сигнальных стандартов. Встроенные входные и выходные регистры с удвоенной скоростью передачи данных обеспечивают передачу сигналов по стандарту LVDS со скоростью 840 Мбит/с. Программируемая нагрузочная способность по току – 2–24 мА на каждый вывод.

Импеданс каждого блока ввода-вывода программируется. Микросхемы Virtex-II совместимы с шинами PCI-133/66/33 МГц. Возможны пять режимов загрузки конфигурации. Шифрование конфигурационной последовательности осуществляется по стандарту TRIPLE DES, поддержка конфигурирования – по стандарту IEEE 1532. Возможно частичное реконфигурирование. Напряжение питания ядра кристалла равно 1,5 В, блоков ввода-вывода – 1,5–3,3 В в зависимости от запрограммированного сигнального стандарта.

Изготавливаются микросхемы по КМОП-технологии с проектными нормами 0,15 мкм (длина канала быстродействующих транзисторов – 0,12 мкм) и восемью слоями металлизации.

Семейство Virtex-II Pro предназначено для создания систем на основе интеллектуальных IP-ядер и заказных параметризуемых модулей. Микросхемы семейства оптимизированы под реализацию законченных решений в области телекоммуникаций, беспроводной связи, построения сетей, средств видео- и цифровой обработки сигналов. В архитектуре микросхем впервые предусмотрены многобитовые приемопередатчики RocketIO и процессорные ядра PowerPC. Изготавливаются они по КМОП-технологии с топологическими нормами 0,13 мкм и девятислойной медной металлизацией, позволившей уменьшить размеры кристалла и энергопотребление по сравнению с микросхемами предыдущих серий.

Архитектура матриц Virtex-II и Virtex-II Pro одинакова. Совпадает и большинство технических характеристик (табл.5). Отличия микросхем двух семейств заключаются в следующем:

- меньшее предельное значение напряжения питания периферии: 2,5 В против 3,3 В для серии Virtex-II;
 - более высокое быстродействие Virtex-II Pro;
 - различные цоколевка и конфигурационная последовательность, хотя проекты, выполненные на микросхемах серии Virtex-II, могут быть перенесены на микросхемы серии Virtex-II Pro;
- Серия Virtex-II Pro – первое семейство ПЛИС с FPGA-архитекту-

рой, в которой реализованы встроенные приемопередатчики RocketIO и процессорные ядра PPC405.

RocketIO представляет собой полностью дуплексный последовательный приемопередатчик (SERDES), поддерживающий соединения от 2 до 24 каналов с пропускной способностью от 622 Мбит/с до 3,125 Гбит/с. Скорость двунаправленной передачи данных – 120 Гбайт/с. В каждом канале возможен режим внутренней петли обратной связи. Приемопередатчик располагает такими средствами, как встроенная схема формирования и восстановления тактовых сигналов (CDR), возможность выравнивания частоты путем введения/удаления символов, программируемое выделение запятой, 8-, 16- или 32-бит внутренний интерфейс, 8-/10-бит кодер и декодер. RocketIO совместим с протоколами передач Fibre Channel, Gigabit Ethernet, 10 Gb Attachment Unit Interface (XAUI) и широкополосными приемопередатчиками. Конфигурируемые пользователем значения внутреннего согласующего сопротивления приемника/передатчика составляют 50/75 Ом. Предусмотрены пять уровней выходного дифференциального напряжения, четыре уровня установки предскажений по выбору. Напряжение питания приемопередатчика 2,5 В.

Процессорный блок PowerPC представляет собой встроенное ядро на тактовую частоту до 400 МГц с гарвардской архитектурой, пятикаскадным конвейерным трактом передачи данных, аппаратными средствами умножения/деления. Блок также содержит тридцать два 32-разрядных регистра общего назначения, ассоциативные двунаправленные схемы кэш-памяти команд и данных емкостью 16 Кбит каждая, блок управления памятью, 64-входовые буферы трансляции/просмотра (TLB – Translation Look aside Buffers), интерфейс встроенной специальной памяти. Размеры страницы могут изменяться в пределах от 1К до 16 Мбит. Имеется встроенный таймер. Процессорный блок поддерживает шинную архитектуру IBM CoreConnect, операции отладки и трассировки. Его энергопотребление мало: 0,9 мВт/МГц.

ПЛИС с FPGA-архитектурой серии Virtex, созданные на основе перспективной промышленной технологии, отличающиеся высокой производительностью и экономической эффективностью, – один из основных типов программируемых логических микросхем, используемых разработчиками всего мира. А с момента их выпуска, в марте 2002 года, фирма Xilinx отгрузила более 100 тыс. ядер PowerPC на основе FPGA-микросхем семейства Virtex-II Pro. ○