

DESIGN COMPILER FPGA ФИРМЫ SYNOPSYS

ПРОТОТИПИРОВАНИЕ БЕЗ ПЕРЕПРОЕКТИРОВАНИЯ

15 марта 2004 года компания Synopsys анонсировала новое средство поддержки прототипирования заказных интегральных схем на базе ПЛИС – Design Compiler FPGA. Рекламный слоган продукта "проектируйте единожды" означает, что разработчику заказной интегральной схемы для создания ее прототипа на ПЛИС не потребуется вносить изменения в свой проект. Все заботы по эффективной адаптации проекта к конструкциям ПЛИС должен взять на себя Design Compiler FPGA.

Компания Synopsys в своей деятельности традиционно всегда ориентировалась на разработку средств проектирования заказных интегральных схем (ASIC) и систем на кристалле (SoC). Рынок средств проектирования на базе ПЛИС (FPGA) также не оставался без внимания компании, но все же был немного в стороне от основного направления ее развития. Ситуация изменилась, когда возможности программируемых кристаллов возросли. Сегодня на FPGA уже можно реализовать устройства сложностью до десяти миллионов вентилей с быстродействием 150–200 МГц. Разработчики ASIC активно стали использовать FPGA в качестве средства прототипирования разрабатываемых устройств. Создание прототипа на базе FPGA фактически становится одним из этапов проектирования ASIC и SoC. А это уже сфера прямых интересов Synopsys. Компания откликнулась на такую тенденцию разработкой Design Compiler FPGA (DC FPGA). Цель нового продукта Synopsys – дать своим пользователям (разработчикам ASIC) надежное средство прототипирования на базе FPGA в рамках единого маршрута проектирования ASIC. Основная идея проекта – прототип должен создаваться из того же RTL-описания, которое разрабатывается для ASIC, поскольку любые изменения исходных кодов связаны с риском появления ошибок.

DC FPGA работает на платформах Galaxy Design и Discovery Verification, он полностью совместим с такими продуктами фирмы Synopsys, как:

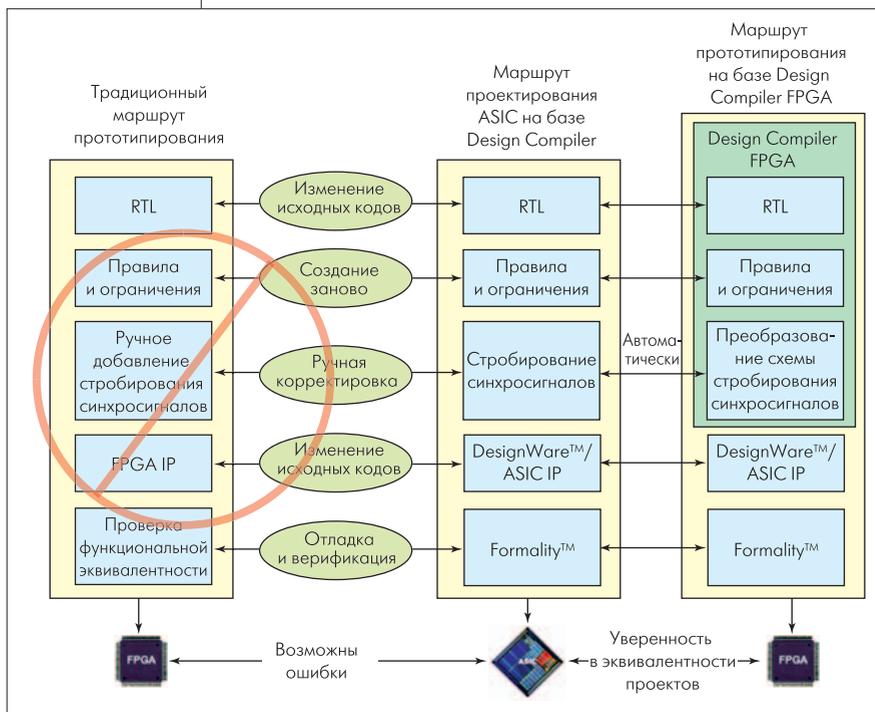
- Design Compiler (синтез с уровня RTL-описаний для ASIC);
- Formality (статическая проверка функционального соответствия);
- DesignWare (библиотека IP-блоков);
- PrimeTime (статический временной анализ);
- LEDA (формальный контроль качества RTL-кода);



В.Кравченко
vitaly.kravchenko@alt-s.com
Д.Радченко
dmitry.radchenko@alt-s.com

- VCS MX (HDL моделирование);
- VERA (автоматизация разработки тестов);
- Module Compiler (синтез трактов обработки данных);
- HSPICE (аналоговое моделирование).

На рисунке наглядно представлены преимущества, которые предоставляет разработчикам ASIC использование DC FPGA для создания прототипа. Традиционный маршрут проектирования прототипов (слева) требует внесения изменений в исходный RTL-код, создания нового описания системы правил и ограничений, ручной модификации схем управления подачей (стробирования) синхросигналов (clock gating). Для подтверждения соответствия прототипа исходному проекту необходима тщательная дополнительная верификация (ручная или с использованием динамического моделирования). Фактически в традиционном маршруте создание прототипа – это новый проект, в котором всегда сохраняется вероятность возникновения ошибок. В маршруте создания прототипов с использованием DC FPGA (справа) не требуется никаких изменений исходного RTL-кода, системы правил и ограничений. Изменение схем стробирования синхросигналов с учетом особенностей FPGA происходит автоматически. В маршрутах проектирования



Преимущества использования Design Compiler FPGA для прототипирования ASIC



прототипа и ASIC используется одна и та же библиотека IP-блоков DesignWare и средства статической проверки функционального соответствия.

Если говорить о функциональных характеристиках DC FPGA, то в первую очередь надо заметить, что при использовании этого продукта быстрое действие получаемых микросхем в среднем на 15% выше, чем обеспечивают существующие сегодня на рынке средства синтеза для FPGA. Высокое качество синтеза достигается благодаря использованию новой технологии адаптивной оптимизации (Adaptive Optimization Technology), которая позволяет учитывать специфику архитектуры конкретных FPGA (например, Xilinx или Altera), а также применению хорошо зарекомендовавших себя на практике технологий оптимизации Design Compiler (методов экстракции и оптимизации управляющих конечных автоматов, изменения положения регистров в конвейере и др.).

В DC FPGA поддерживается как обычный процесс компиляции сверху вниз, так и реальный синтез снизу вверх (и это единственный продукт, который имеет такую возможность). За счет этого появляется возможность инкрементального синтеза, большей гибкости в выборе стиля проектирования. Отдельные модули проекта могут независимо создаваться сотрудниками команды разработчиков, что позволяет сократить время проектирования путем распараллеливания работ. Скорость выполнения самой программы также значительно возросла благодаря поддержке технологии распределенного синтеза. Особо нужно отметить разработанные средства автоматического преобразования организации стробирования синхросигналов с учетом ограниченных ресурсов FPGA в плане реализации таких схем. Без этих средств разработчик может потратить

многие недели работы, редактируя исходные коды для адаптации под FPGA. Библиотеки для DC FPGA разрабатываются производителями FPGA, причем самые последние версии библиотек можно всегда получить непосредственно с Интернет-страниц производителей. Из остальных возможностей следует назвать наличие поддержки разбиения проекта на несколько микросхем.

DC FPGA абсолютно совместим с DC для ASIC, и пользователи, знакомые с DC, не должны испытывать никаких затруднений при работе с DC FPGA. Продукт в России появился и сейчас доступен официальным пользователям Design Compiler для апробации. Уже есть первые положительные отклики. В заключение еще раз хотелось бы посоветовать – проектируйте единожды (design once). ○