

ТЕХНОЛОГИИ И ОБОРУДОВАНИЕ ДЛЯ ПРОИЗВОДСТВА ИНТЕГРАЛЬНЫХ МИКРОСХЕМ СОСТОЯНИЕ И ОСНОВНЫЕ ТЕНДЕНЦИИ РАЗВИТИЯ

В. Киреев



Сегодня микроэлектроника – по-прежнему один из основных катализаторов научно-технического прогресса важнейших отраслей народного хозяйства. А уровень развития и объемы производства ее основных изделий – интегральных микросхем (ИМС) – во многом определяет оборонный, экономический и культурный потенциалы страны. Недаром по современной классификации к научно и технически развитым странам могут относиться лишь те, которые способны массово производить мощные персональные компьютеры и компьютерные системы на базе собственных ИМС. Анализ тенденций развития микроэлектроники [1–5] показывает, что ключевая проблема в ближайшее десятилетие – освоение крупносерийного производства гигантских интегральных микросхем (ГИС), содержащих 10^9 – $5 \cdot 10^{10}$ транзисторов с минимальными размерами 90–32 нм и допуском $\pm 10\%$, систем-на-кристалле (SoC), систем-в-корпусе (SiP), интеллектуальных и быстродействующих датчиков и микроэлектромеханических систем (МЭМС) с минимальными размерами элементов 500–100 нм.

ИСТОРИЧЕСКИЕ ТЕНДЕНЦИИ И ПРОГНОЗ РАЗВИТИЯ КМОП ИМС

С середины 80-х годов преимущественное развитие при производстве ИМС получила КМОП-технология, которая, согласно прогнозам экспертов, останется доминирующей (более 75% в объеме производства) и в ближайшее десятилетие [2]. Это обусловлено такими традиционными достоинствами КМОП ИМС, как малая потребляемая мощность, высокая помехоустойчивость, низкая рабочая температура [3–5].

Уровень любой технологии определяется минимальными размерами (топологической нормой – ТН) элементов или зазоров в регулярных плотноупакованных структурах, которые воспроизводимо и стабильно формируются всеми процессами, используемыми при производстве изделия. До начала 90-х годов самыми передовыми в технологическом плане изделиями были ДОЗУ, размеры элементов которых в регулярной структуре первого уровня металлизации характеризовали уровень технологии (УТ). В последнее десятилетие в результате ускоренного развития технологии микропроцессоров (МП) уровень КМОП-технологии характеризует уже степень совершенства этих изделий. Однако показатели технологического развития ДОЗУ и МП различны. Для ДОЗУ рынок постоянно диктует не-

обходимость снижения стоимости и увеличения объема хранимой информации. Поэтому совершенствование этих микросхем направлено, прежде всего, на уменьшение размеров их элементов, т.е. на минимизацию площади ячеек памяти и, следовательно, на повышение плотности их размещения на кристалле. Для МП основное требование, помимо снижения стоимости, – повышение функциональных возможностей (числа функций, выполняемых микросхемой со все возрастающим быстродействием). Здесь усилия направлены на уменьшение длины затворов МОП-транзисторов и увеличение числа слоев металлизации.

Согласно прогнозу 2001 года, в 2004 году ТН составят 90 нм (УТ-90 нм), в 2007-м будет достигнут УТ-65 нм, в 2010-м – УТ-45 нм (табл. 1) [4]. Увеличение информационной емкости ДОЗУ, быстродействия и вычислительной мощности МП сопровождается не только уменьшением размеров элементов и толщины функциональных слоев, но и увеличением диаметра исходных кремниевых пластин, площади кристаллов, числа литографических и технологических операций. Если в 1979 году при производстве ДОЗУ емкостью 64 Кбит с минимальным размером элементов 3,0 мкм проводилось 100 технологических операций и семь операций литографии, то производство 1-Гбит ДОЗУ с минимальным размером элементов 0,13 мкм в 2001 году потребовало 440 технологических операций и 21 операцию литографии.

Вместе с тем, темпы перехода от 200-мм к 300-мм пластинам оказались не столь высокими, как прогнозировалось в 1997 году, когда началось освоение производства ИМС на пластинах большего диаметра. В 2001 году лишь шесть полупроводниковых заводов обрабатывали 300-мм пластины, в 2002 году были запущены еще 14 фабрик [6]. Согласно прогнозам, в 2005 году на долю 300-мм пластин придется 17,4% всего объема пластин, используемых при производстве ИМС, на долю 200-мм пластин – 51,9%, 150-мм – 19,2%, 125-мм – 7,8% и пластин диаметром менее 125 мм – 3,7%. А из-за трудностей модернизации парка специального технологического оборудования сроки внедрения 450-мм пластин отодвинуты за пределы ближайшего десятилетия.

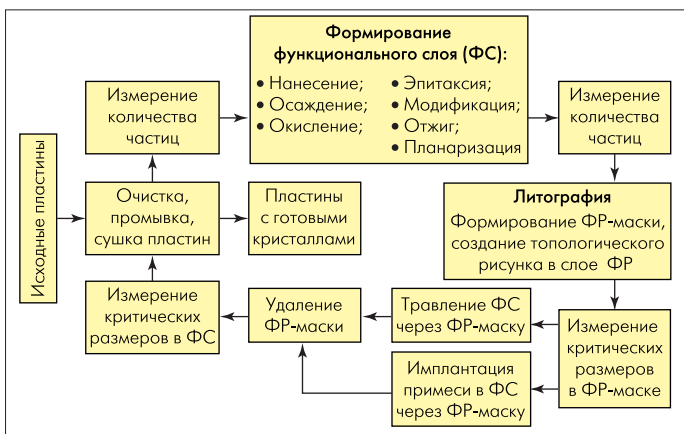
Технологический процесс (маршрут) изготовления КМОП ИМС состоит из четырех этапов:

- формирования структуры ИМС на пластине, начинающегося с запуска на маршрут исходной пластины и заканчивающегося вскрытием контактных площадок в слое пассивации готовых микросхем;
- функционального тестирования микросхем на пластине с целью определения их соответствия требуемым рабочим характеристикам (годности) и отбраковки негодных схем;
- сборки микросхем на кристалле в корпус;
- функционального тестирования корпусированной ИМС.

Основные этапы изготовления ИМС, кроме функционального тестирования, могут быть отображены в виде универсального лито-

Таблица 1. Тенденции развития КМОП ДОЗУ и МП

Характеристика	2001	2004	2007	2010	2013
Минимальная топологическая норма, нм	130	90	65	45	32
Минимальный размер элемента, нм					
ДОЗУ (первый уровень разводки)	130	90	65	45	32
МП (длина затворов)	90	53	35	25	18
Емкость ДОЗУ, Мбит					
выход на рынок	2·10 ³	4·10 ³	16·10 ³	32·10 ³	128·10 ³
начало массового производства	512	1·10 ³	4·10 ³	8·10 ³	32·10 ³
Число транзисторов на кристалле МП, млн. шт.					
ЭЭМП, выход на рынок	193	386	773	1,5·10 ³	3,1·10 ³
ЭМП, рост массового производства	97	193	386	773	1,5·10 ³
ВСМП, рост массового производства	276	553	1,1·10 ³	2,2·10 ³	4,4·10 ³
Быстродействие изделия					
время выборки ДОЗУ, нс	25	20	15	10	5
рабочая частота, МГц					
ЭЭМП	800	1,2·10 ³	1,7·10 ³	2,4·10 ³	3,0·10 ³
ВСМП	1,7·10 ³	3,0·10 ³	3,5·10 ³	4,0·10 ³	4,5·10 ³
Напряжение питания, В	1,2–1,5	0,9–1,2	0,7–0,9	0,6–0,7	0,5–0,6
Максимальная рассеиваемая мощность корпусированного изделия, Вт					
ДОЗУ	1,4	2,0	2,5	3,0	3,5
МП					
для сетевой настольной аппаратуры с радиатором	130	160	190	218	250
для батарейной ручной аппаратуры	2,4	3,2	3,5	3,0	3,0
Число выводов корпуса, шт.					
ДОЗУ, макс/мин	144/48	160/52	182/56	200/60	224/64
ЭЭМП, макс/мин	1200/480	1600/500	2140/600	2782/780	3616/1014
Площадь кристалла изделия, см ²					
ДОЗУ					
выход на рынок	3,90	2,87	5,68	5,63	3,73
начало массового производства	2,26	1,65	3,25	3,20	3,20
рост массового производства	1,27	0,93	1,83	1,81	2,39
МП					
ЭЭМП, выход на рынок	3,56	4,08	4,68	5,36	2,18
ЭЭМП, рост массового производства	1,40	1,40	1,40	1,40	1,40
ВСМП, рост массового производства	3,10	3,10	3,10	3,10	3,10
Среднее число операций литографии в маршруте изготовления изделия, шт.					
ДОЗУ	21	24	24	26	26
МП	25	25	27	27	29
Среднее число операций в маршруте, шт.					
ДОЗУ	440	530	530	590	590
МП	560	560	620	620	680
Число слоев металлизации, шт.					
ДОЗУ	4	4	4–5	5	5–6
МП	7–8	8–9	9	9–10	10
Размер губительного (критического) дефекта, нм	65	45	33	23	16
Доля критической площади изделия, поражаемой губительными дефектами, на стадии роста массового производства, %					
ДОЗУ	45	44	43	42	42
МП	100	100	100	100	100
Допустимая плотность электрически значимых дефектов на кристалле, м ⁻²					
ДОЗУ, рост массового производства					
Y _{кр} ^{пл} = 85% и Y _{кр} ^{пл} (s) = 100%	2890	4047	2100	2155	1643
Y _{кр} ^{пл} = 85% и Y _{кр} ^{пл} (s) = 95%	1963	2748	1426	1464	1116
МП, рост массового производства					
Y _{кр} ^{пл} = 75% и Y _{кр} ^{пл} (s) = 100%	2114	2114	2114	2114	2114
Y _{кр} ^{пл} = 75% и Y _{кр} ^{пл} (s) = 90%	1326	1326	1326	1326	1326
Максимальный размер литографического поля					
площадь, см ²	8,00	8,00	5,72	5,72	5,72
длина x ширина, мм	32x25	32x25	26x22	26x22	26x22
Диаметр пластины, мм	300	300	300	300	450
Размер краевой нерабочей зоны на пластине, мм	3	1	1	1	3
Средняя стоимость производства изделия с месячным запуском 25000 пластин, млрд. долл.	3	5	7	10	15
Допустимая стоимость готового изделия на функцию, долл.					
ДОЗУ, 10 ⁻⁸ /бит					
выход на рынок	21	7,4	2,6	0,93	0,33
начало массового производства	7,7	2,7	0,96	0,34	0,12
МП, 10 ⁻⁸ /транзистор					
ЭЭМП, выход на рынок	176	62	22	7,7	2,75
ЭЭМП, рост массового производства	107	38	13,3	4,71	1,66
ВСМП, рост массового производства	97	34	12	4,31	1,52
Стоимость корпусирования, цент/вывод					
ДОЗУ, макс/мин	1,54/0,36	1,14/0,30	0,84/0,27	0,54/0,22	0,39/0,19
ЭЭМП, макс/мин	1,60/0,80	1,17/0,66	1,00/0,64	0,98/0,49	0,93/0,42
Стоимость тестера, тыс. долл./вывод, макс/мин	4,0/1,0	3,0/1,0	3,0/1,0	4,0/2,0	4,0/2,0



Универсальный литографический цикл изготовления ИМС

графического цикла (см. рисунок), повторяющегося в соответствии с числом литографических операций (используемых фотошаблонов, масок), необходимых для создания ИМС. До середины 90-х годов из-за отсутствия полностью автоматических контрольно-измерительных приборов и систем, совместимых с условиями высокочистых помещений, этапы измерения относились к контрольным операциям и выделялись в особый класс. Сегодня все операции, проводимые с пластинами, считаются технологическими. Таким образом, универсальный литографический цикл обычно содержит 15–30 технологических операций.

Результаты второго и четвертого этапов, контрольных для первого и третьего, показывают, что основной брак (≈98%) при производстве ИМС приходится на стадию обработки кристаллов. Общий выход годных кристаллов технологического маршрута $Y_{кр}$ равен произведению выхода годных пластин $Y_{пл}$ (отношение числа выходящих с маршрута пластин к числу запускаемых) на средний выход годных кристаллов с пластины $Y_{кр}^{пл}$.

Причины брака кристаллов на пластине подразделяются на три группы: брак, вызванный повторяющимися и случайными дефектами, а также систематический параметрический брак, т.е. отклонение допусков функциональных характеристик ИМС от заданных значений. Причина систематических потерь – флюктуация параметров технологических операций, таких как равномерность и воспроизводимость толщины слоев по пластине и от пластины к пластине, размеров и формы элементов, профилей легирования. А вариации технологических параметров зависят от выбора и стабильности режимов обработки на операциях маршрута. Повторяющиеся дефекты обусловлены дефектами фотошаблонов (ФС). Их легко выявить и исправить до начала производства ИМС.

Случайные дефекты приносятся на поверхность пластин технологическим процессом, оборудованием и реактивами в виде нежелательных частиц или капель. Они не зависят от топологического рисунка, но могут образовывать кластеры на локальных участках пластины. Для каждого УТ в зависимости от значения минимального размера элементов ИМС задается критический размер $d_{кр}$ приносимых частиц. Дефекты, вызывающие брак, называются электрически значимыми и электрически активными. Случайные потери кристаллов в значительной степени связаны с используемым оборудованием и процессами технологического маршрута. Причины случайного брака понять трудно, и сокращение его при производстве – процесс длительный и сложный. Поэтому средний съем кристаллов с пластины определяется произведением выхода годных кристаллов с пластины, зависящего от случайных дефектов $Y_{кр}^{пл}(D)$, на выход годных кристаллов с пластины, обусловленный систематическим браком $Y_{кр}^{пл}(s)$.

С увеличением функциональной плотности элементов микросхем, совершенствованием систем автоматического контроля параметров технологического оборудования в пределах установленных допусков и с уменьшением критического размера дефекта отношение случайного и параметрического брака постоянно растет, особенно по мере отладки производства.

Каждые два-четыре года в соответствии с совершенствованием технологического оборудования и процессов, в первую очередь установок и операций литографии, травления, имплантации и отжига, происходит переход от одного УТ к следующему. Повышение функциональных возможностей микросхем при таком переходе приводит к увеличению числа контактов кристалла с платой-кристаллодержателем корпуса и числа выводов корпуса. Возрастает и время функционального тестирования как кристаллов на пластине, так и ИМС и, соответственно, их сложность и затраты на тестирование, что отражается на стоимости тестеров в пересчете на один вывод. Ожидается, что внедрение техники встроенного самотестирования и проектирования микросхем с удобной для тестирования топологией будет способствовать решению этой проблемы [5].

Универсальный показатель рыночных требований, не зависящий от размера и функциональной плотности микросхемы, – возможная удельная стоимость в пересчете на функцию. Рассчитывается этот показатель на базе стоимости готовых ИМС, определяемой на основе тенденций изменения средних продажных цен, за вычетом предполагаемого размера прибыли, который составляет ~35% для ДОЗУ и 60% для МП. Чтобы оставаться конкурентоспособным на рынке микросхем, необходимо, помимо выполнения закона Мура, обеспечивать ежегодное снижение их удельной стоимости в пересчете на число выполняемых функций на 29% [1], что достигается за счет совершенствования систем проектирования, производства, корпусирования и тестирования ИМС. Кроме того, необходимо правильно оценивать жизненный цикл ИМС, который состоит из этапов [1, 5]:

- выхода на рынок, когда ведущие производители поставляют ключевым заказчикам для опробования небольшое число (10^3 – 10^5) образцов изделий, изготовленных с помощью аттестованных (квалифицированных) промышленных процессов и оборудования;
- освоения и расширения массового производства, когда на рынок поставляются большие партии изделий (например, ежемесячно 16–80 млн. ДОЗУ или 2–10 млн. МП);
- пика производства, когда на смену поколению изделий с наибольшим объемом производства приходит следующее, экономически более эффективное в пересчете на функцию (бит, транзистор) поколение.

Жизненный цикл ДОЗУ (введение–рост–пик) и экономически эффективных МП (ЭЭМП), как правило, составляет шесть лет, высокопроизводительных МП (ВПМП) – четыре года (рост–пик), поскольку в них используется уменьшенное ядро ЭЭМП и СОЗУ значительно большей информационной емкости, чем СОЗУ ЭЭМП.

АНАЛИЗ ВОЗМОЖНОСТЕЙ СОВЕРШЕНСТВОВАНИЯ ПАРАМЕТРОВ КМОП ИМС

Минимальные размеры

Согласно прогнозам специалистов ведущих фирм по производству литографического оборудования и ИМС, в ближайшее десятилетие, вплоть до достижения УТ-45 нм, основным процессом формирования резистивных масок останется фотолитография (ФЛ). Основным параметр, характеризующий совершенство и качество ФЛ, – воспроизводимое и стабильно получаемое разрешение, или минимальный размер элемента ($L_{мин}$) в регулярных плотно упакованных структурах. Естественно, разрешение для изолированных элемен-



тов (элементы топологического рисунка, расстояние между которыми в десять и более раз превышает их характерные размеры) может быть в 1,4–1,8 раз выше [7]. Другой важный параметр ФЛ – глубина фокуса D_f , т.е. область вблизи фокальной плоскости выходной проекционной линзы, в которой уменьшенное, обычно в четыре, пять или десять раз, изображение топологического рисунка ФШ еще имеет достаточную четкость для процесса переноса на фоторезистивный (ФР) слой пластины. Разрешение и глубина фокуса зависят от длины волны экспонирующего излучения и числовой апертуры [8]. Кроме того, необходимо учесть характеристические постоянные, отражающие специфику всего литографического процесса и зависящие от способа освещения, от конструкции элементов топологического рисунка фотошаблона и его самого, а также от толщины, состава и свойств ФР-слоя, антиотражающих покрытий и контрастоусиливающих материалов [8–10]. Анализ связи между глубиной фокуса и разрешением показывает, что чем выше разрешение, тем меньше глубина фокуса и тем более жесткие требования предъявляются к планарности рельефа на поверхности пластины.

Для достижения максимального разрешения в технологический маршрут изготовления ИМС необходимо вводить операции планаризации рельефа на поверхности пластины.

Сегодня при производстве ИМС для экспонирования ФР-слоев используются степперы или степперы-сканеры [8] с монохроматическим излучением в УФ-области ($\lambda = 436$ и 365 нм, g и i – линии спектра ртутной лампы, соответственно) и в области глубокого УФ ($\lambda = 248$ и 193 нм, эксимерные лазеры на KrF и на ArF, соответственно). Лабораторные испытания проходит система с эксимерным лазером на F_2 ($\lambda = 157$ нм). Числовая апертура таких проекционных систем лежит в пределах от 0,4 (наименее совершенные системы) до 0,8 (наиболее совершенные системы), разрешение ФЛ-систем – (1,52–0,76) λ [9]. Повысить разрешение можно путем [8–11]:

- вне осевого освещения ФШ, получаемого с помощью диафрагм, вырезающих из осевого цилиндрического пучка излучение вне осевых трубчатых (кольцевых в сечении) или квадрупольных (четыре полюса в сечении) пучков;
- коррекции эффектов оптической близости элементов топологического рисунка на ФШ с помощью дополнительных служебных элементов, повышающих точность передачи рисунка на ФР-маску;
- применения фазосдвигающих ФШ, позволяющих изменять фазу излучения так, чтобы повысить его разрешение на ФР-слое;
- нанесения поверх ФР-слоя пленок контрастоусиливающего материала;
- использования формируемой под ФР-слоем пленки антиотражающего покрытия (АОП), позволяющей уменьшить влияние отраженного от подложки излучения на точность передачи топологического рисунка.

Применение методов увеличения разрешения проекционной оптической ФЛ позволяет получать значения $L_{мин}$, характеризующие разрешение, равные 130–100 нм для $\lambda = 365$ нм, 90–70 нм для $\lambda = 248$ нм, 70–50 нм для $\lambda = 193$ нм и 55–40 нм для $\lambda = 157$ нм [10].

Оптическая проекционная фотолитография в ближайшее десятилетие позволит реализовать УТ до 45 нм.

Промышленные литографические системы (в основном сканеры) с $\lambda = 193$ нм сейчас выпускают только четыре фирмы: Canon, Nikon (Япония), ASM Lithography (Нидерланды) и Silicon Valley Group – SVG (США). Согласно прогнозам, в ближайшем будущем будет наблюдаться тенденция к уменьшению поля литографии. Это связано с замедлением внедрения проекционных систем с $\lambda = 193$ и 157 нм, отказом от внедрения системы с $\lambda = 126$ нм (лазер на Ar_2) и необходимостью получать более высокое разрешение на системах с большей длиной волны. Характерные значения стоимости экспонирующего оборудования и затраты на операцию литографии по одному функциональному слою приведены в табл.2 [12–14].

К следующему поколению перспективных систем литографии для производства ИМС с топологическими нормами 32 нм и менее относятся [8, 12, 13]:

- проекционная литография на экстремальном УФ-излучении (ЭУФ литография) с $\lambda = 11,8–13,4$ нм, генерируемом с помощью плазмы, создаваемой лазерным лучом в сверхзвуковой струе ксенона, и иногда называемом мягким рентгеновским излучением;
- контактная рентгеновская литография (КРЛ) без уменьшения топологического рисунка рентгеношаблона с $\lambda = 0,4–2,0$ нм, разрешение которой определяется как $L_{мин} = k(\lambda d_{щп})/0,5$, где k – характеристическая постоянная процесса в диапазоне от 1 до 2, $d_{щп}$ – расстояние (зазор) между рентгеношаблоном и пластиной;
- проекционная электронная литография (ПЭЛ) в наиболее продвинутых вариантах SCALPEL и PREVAIL, длина волны которой в нанометрах определяется как $\lambda \gg 1,23/(V)^{0,5}$, где V – ускоряющее напряжение в вольтах;
- проекционная ионная (в основном протонная) литография (ПИЛ), при которой длина волны экспонирующего излучения в нанометрах определяется как $\lambda \gg 28,7 \cdot 10^{-3}/(V)^{0,5}$.

Сегодня наиболее многообещающими считаются системы ЭУФ и ПЭЛ [10, 14–16]. Это объясняется отработанностью технологии нанесения и обработки с помощью используемой для изготовления ФШ сканирующей электронной литографии (СЭЛ) электронорезистов, пригодных для проведения ЭУФ, а также возможностью применения в ЭУФ-системах элементов отражающей оптики рентгеновских астрономических приборов. Шаблоны для КРЛ и ПИЛ при экспонировании подвергаются мощному радиационному воздействию, что приводит к их быстрому разрушению и связано с огромными трудностями поддержания их размерной стабильности. Используемая в нанoeлектронике литография, основанная на применении изготовленных с помощью сканирующей электронно-лучевой технологии наностампов, формирующих под действием давления и температуры изображение в полимерных пленках, имеет значительные ограничения по размеру подложек и производительности. Однако благодаря введению пошагового совмещения и УФ-экспонирования с обратной стороны прозрачного штампа этот вид литографии сможет рассматриваться как следующее поколение перспективной технологии [17].

Для перевода разработок литографических технологий в стадию промышленного освоения с приемлемыми издержками, производительностью и надежностью, а также для развития сопутствующей

Таблица 2. Характерные значения стоимости литографического оборудования и средней стоимости процесса литографии по одному слою

Параметр	Литографическая система	g – линия спектра ртутной лампы, $\lambda = 436$ нм	i – линия спектра ртутной лампы, $\lambda = 365$ нм	KrF эксимерный лазер, $\lambda = 248$ нм	ArF эксимерный лазер, $\lambda = 193$ нм	F_2 эксимерный лазер, $\lambda = 157$ нм	Экстремальное УФ-излучение плазмы лазерного ряда, $\lambda = 11,8–13,4$ нм
Стоимость литографической системы, млн. долл.		0,8–1,5	3,0–5,0	8,0–10	13–15	18–20	Больше 30
Средняя стоимость литографии по одному функциональному слою, долл./слой		3,0	7,0	23	43	60	90–120

инфраструктуры по производству шаблонов и резистивных материалов существует десятилетний запас.

Быстродействие

Суммарная задержка распространения сигнала в микросхедах складывается из значений задержки на затворах МОП-транзисторов, задержки на поводящих линиях (ПЛ) микросхемы и задержки на линиях связи между схемами на печатной плате. Задержка переключения логического затвора МОП-транзистора определяется постоянной времени транзистора $T_{тр}$, зависящей от сопротивления канала и общей емкости транзистора, образуемой емкостью затвора C_3 и паразитными емкостями $p\text{-}$ переходов, стока, подложки и исток-подложки, $C_{сп}$ и $C_{ип}$, соответственно (на их долю приходится ~50% общего значения емкости) [18]. Таким образом, для снижения $T_{тр}$ необходимо уменьшать сопротивление канала, емкости $C_{сп}$ и $C_{ип}$ (путем уменьшения концентрации легирующей примеси подложки) и емкость затвора (за счет уменьшения толщины затворного диэлектрика).

По мере уменьшения минимальных размеров элементов микросхемы увеличиваются емкостные связи между линиями металлизации и между линиями металлизации и пластиной и возрастает задержка распространения сигнала. Это приводит к увеличению разницы между значениями локальной частоты микросхемы (частоты, определяемой совершенством ее транзисторов) и частоты передачи сигналов в ней. Индуктивность проволочных или шариковых (столбиковых) выводов между кристаллом и кристаллодержателем корпуса, а также самих выводов корпуса вызывает дополнительное снижение скорости распространения сигнала. Рост сопротивления и емкости соединительных линий наряду с ростом рабочей частоты микросхемы при переходе от одного УТ к другому приводит к росту энергопотребления ИМС, особенно логических.

Задержка распространения сигнала в ПЛ определяется постоянной времени соединительной линии, зависящей от ее удельного сопротивления, толщины, длины, ширины, диэлектрической постоянной, а также от толщины межслойного диэлектрика и расстояния между ПЛ, расположенными в одной плоскости [19].

На печатной плате ИМС соединены друг с другом с помощью проводных линий связи (ЛС), характеризующихся индуктивностью, емкостью, сопротивлением и волновым сопротивлением. ЛС выполняет функции фильтра низких частот и линии задержки. Если как минимум три гармоники разложения импульсного сигнала цифровой схемы в ряд Фурье по частоте передаются без значительных искажений, можно считать, что форма сигнала передается удовлетворительно. Полоса пропускания фильтра, образованного ЛС, должна быть больше частоты третьей гармоники. Время задержки сигнала в ЛС определяется ее постоянной времени, зависящей от скорости распространения электромагнитной волны в ЛС, и диэлектрической постоянной материала печатной платы [20].

Для УТ-250 нм при выполнении многослойной металлизации с толщиной слоя $t_m = 0,8$ мкм на основе алюминиевых сплавов с удельным сопротивлением $r = 3,0$ мОм·см и двуокиси кремния с диэлектрической постоянной $\epsilon = 3,9$ задержка сигнала в ПЛ микропроцессора оказывается больше задержки сигнала в транзисторах. При УТ-130 нм и выполнении металлизации той же толщины, но на основе меди с $r = 1,65$ мОм·см и межслойного диэлектрика с $\epsilon @ 2,0^*$ задержка сигнала в ПЛ превысит задержку сигнала в транзисторах [5, 21].

*Материалы с диэлектрической постоянной в диапазоне $2 \leq \epsilon < \epsilon(\text{SiO}_2)$ называются диэлектриками с низкой диэлектрической постоянной (НДП), а материалы с $\epsilon < 2,0$ – диэлектриками с ультранизкой диэлектрической постоянной (УНДП).

Быстродействие современных микропроцессоров определяют система металлизации на основе Al и SiO₂ для УТ менее 250 нм и медная с диэлектриком с НДП для УТ менее 130 нм.

Таким образом, улучшение характеристик логических ИМС следующих поколений может быть достигнуто путем совершенствования системы металлизации и соединений, используемых при корпусировании микросхем и их монтаже на печатную плату. Если при УТ-500 нм для формирования металлизации требовалось вдвое меньше операций, чем для изготовления транзисторов, то при УТ-250 нм число этих операций сравнялось, при УТ-130 нм для формирования металлизации требуется уже в 1,4 раза больше операций, чем для создания транзисторов, а при УТ-65 нм операций по формированию металлизации окажется вдвое больше, чем операций, необходимых для получения транзисторов [22].

Потребляемая мощность современных МП достигает 130 Вт, в текущем десятилетии она возрастет до 250 Вт, тогда как напряжение питания уменьшится с 1,8 до 0,5 В. Это приведет к резкому росту потребляемого тока – до 400 А в 2011 году [21]. Адаптировать современные системы металлизации к таким мощностям и токам – задача сложная. Но если использовать широкие (до 6–10 мкм) ПЛ, можно резко уменьшить их сопротивление с тем, чтобы они выдерживали большие токи. Широкие ПЛ также способствуют уменьшению задержки сигнала, которая к 2005 году (УТ-90 нм) может оказаться больше периода тактового импульса [22]. Задержку можно снизить и путем подачи дополнительных тактовых импульсов, но это приведет к резкому увеличению потребляемой мощности. Сопротивление широких ПЛ можно подобрать так, чтобы время распространения сигнала в схеме не превышало периода тактового импульса. Однако необходимо найти способы уменьшения индуктивности широких ПЛ, так как большая индуктивность может разрушить импульсный сигнал, преобразуя его в аналоговый.

Быстродействие ИМС зависит и от методов их корпусирования, и от способов их объединения на печатной плате. Объединение на одном кристалле цифровых и аналоговых, в том числе и высокочастотных, блоков, позволяющее создавать так называемые системы-на-кристалле (SoC), еще недавно казалось идеальным способом получения быстродействующих приборов и систем. Однако, если учесть сложность и дороговизну проектирования и тестирования таких микросхем [23], а также трудности совмещения технологии формирования низковольтных логических блоков и высоковольтных блоков памяти [24], этот путь уже не кажется идеальным. Проектировщики не смогут выполнить в SoC блок памяти с УТ-90 нм, пока этот уровень технологии не будет освоен для логических устройств. Таким образом, SoC будет отставать по УТ от отдельных микросхем. Кроме того, для некоторых SoC приходится жертвовать оптимальными характеристиками отдельных блоков. Так, ВЧ-блоки обычно создаются на пластинах арсенида галлия, и их перенос на кремниевые подложки связан с некоторой потерей быстродействия.

Более перспективным сейчас считается объединение в столбчатый модуль различных негерметизированных микросхем, выполненных по предельным УТ на оптимальных подложках, т.е. так называемая система-в-корпусе (SiP – system-in-a-package) [24]. В таком модуле микросхемы объединяются путем непосредственного соединения микрошариковых выводов одной схемы с контактными площадками другой или с помощью платы-кристаллодержателя с двухсторонней разводкой [22]. Емкость этих соединений не превышает 10 фФ, так что скорость обработки сигнала и потребляемая мощность модуля не превосходят значений, характерных для отдельных



микросхем. В SiP легко монтируются и пассивные компоненты с большими значениями емкости и индуктивности. Для УТ-350 нм SiP дешевле SoC, если площадь кристалла больше 80 мм² [22].

Дальнейшего повышения быстродействия микроэлектронных систем и приборов можно достичь путем изготовления плат-кристаллодержателей, оснований печатных плат и изоляционных прокладок, а также самого корпуса из НДП-материалов. Освоение производства SiP и SoC потребует разработки новой тестовой методологии, упрощающей процесс их тестирования. Кроме того, для решения проблем помехозащищенности таких систем необходимо создать специальные средства проектирования трассировки сигналов [4].

ЗАКЛЮЧЕНИЕ

Классические КМОП-транзисторные структуры при уменьшении размеров их элементов приобретают принципиальные физические, технологические и экономические ограничения. По мере приближения уровня КМОП-технологии к таким ограничениям наблюдается либо резкое сокращение темпов уменьшения топологических норм, либо ввод ряда новых технологических элементов, строго говоря, кардинально изменяющих конструкцию транзисторных структур и отодвигающих таким образом принципиальные физические, технологические и экономические ограничения [24]. КМОП-технология при сохранении настоящих темпов развития должна подойти к этому уровню в ближайшее десятилетие. Чтобы не допустить замедления темпов совершенствования микросхем, а следовательно, и снижения экономической эффективности их производства, ведущие специалисты компаний, университетов и научных центров интенсивно исследуют принципиальные ограничения транзисторных структур и возможности их технологической модернизации с целью обхода или продления сроков вступления этих ограничений в силу [25–28].

ЛИТЕРАТУРА

1. The International Technology Roadmap for Semiconductors, 1999 ed. Semiconductor Industry Association, San Jose, CA.
2. **Wolf S.** Silicon Processing for the VLSI Era. Vol. 2 – Process Integration.– Lattice Press: Sunset Beach, CA, USA, 1990.– 752 p.
3. **Ning T.H.** CMOS in the New Millennium. – Semiconductor Fabtech. – 13th Edition, ICG Publishing Ltd., London, UK, 2001, p. 287–295.
4. The International Technology Roadmap for Semiconductors, 2001 ed.– Semiconductor Industry Association, San Jose, CA.
5. The National Technology Roadmap for Semiconductors, 1997 ed.–Semiconductor Industry Association, San Jose, CA.
6. Solid State Technology, April, 2001, p.20.
7. **Kawamoto E., Kimura K., Nakazato J. et al.** The Outlook for Semiconductor Processes and Manufacturing Technologies in the 0.1-mm Age.–Hitachi Review, 1999, v.48, N6, p.334–339.
8. Microlithography: Science and Technology/edited by J.R.Sheats and B.W.Smith. Marcell Dekker Inc., N.Y., USA, 1998.– 780 p.
9. **Sytsma A., Loan H., Moers M. et al.** Improved Imaging Metrology Needed for Advanced Lithography.– Semiconductor International, April, 2001, 90.
10. **Derbyshire K.** Next-Generation Lithography: Beyond 100 nm. – Semiconductor Magazine, Sept., 2001, p.43–45.
11. **Sharan A., Ballingall J.** Speeding the Transition to Sub-wavelength Silicon –Semiconductor Magazine, July, 2001, p.87–98.
12. **Seidel P., Canning J., Mackay S. et al.** Next Generation Advanced Lithography –Semiconductor Fabtech–7-th Edition.– ICG Publishing Ltd., London, UK, 1998, p.147–171.
13. **Ware P.** Next Generation Lithography: What's Really Next?– New Direction in Lithography, 1999.– FSI International, Inc., p.16–22.
14. **Haavind R.** Economic will dictate the Future.– Solid State Technology, Aug., 2001, p.14.

15. Next-generation litho Progress, Innovative Technologies at MRS. – Solid State Technology, Feb., 2001, p.32.
16. **Roush W.** EUV Edging Out Reveals as Next Generation IC Fab Tool.– IEEE Spectrum, June, 2001, p.25–26.
17. **Colburn M., Bailey T., Choi B.J. et al.** Development and Advantages of Step-and-Flash Lithography.–Solid State Technology, July, 2001, p.67–68.
18. Handbook of Semiconductor Manufacturing Technology/edited by Y.Nishi and R.Doering.– Marcell Dekker Inc., N.Y., USA, 2000. –1157 p.
19. Handbook of Multilevel Metallization for Integrated Circuits: Materials, Technology and Applications/edited by S.R.Wilson, C.J.Tracy, J.L.Freeman.– Noyes Publications, Park Ridge, N.J., USA, 1993.–887 p.
20. **Ferry D., Akers L., Greeneich E.** Ultra Large Scale Integrated Microelectronics.– Prentice Hall Inc., N.J., USA, 1988, –304 p.
21. **Kimura M.** Bridging the Gap Between Packages and Chips: 10 mm Super Connect Technology.– Solid State Technology, Nov., 2000, p.56–60.
22. **Braun A.E.** Yield Learning Cycles Blast off at Warp Speed.–Semiconductor International, Nov., 2001, p.44.
23. **Raisanen W.** Better EDA Tool Integration Needed for Geowing SoC Market.–Solid State Technology, July, 2001, p.58–64.
24. **Asakura H.** System-on-a-Chip Challenged by Stacked System-in-a-Package Technology.–Solid State Technology, July, 2001, p.48–51.
25. **Денисенко В.** Особенности субмикронных МОП-транзисторов. – Chip News, 2002, N7 (70), с. 27–37.
26. **Красников Г.Я.** Конструктивно-технологические особенности субмикронных МОП-транзисторов. В 2-х частях. Часть 1б.– Техносфера.– Москва, Россия.– 2002.–416 с.
27. **Zeitoff P.M., Chung J.E.** Weighing in on Logic Scalling Trends.– IEEE Circuits and Devices Magazine, 2002, v.18, N2, p.18–27.
28. **Hutchby J.A., Bourianoff G.I., Zhironov V.V. et al.** Extending the Road Beyond CMOS.–IEEE Circuits and Devices Magazine, 2002, v.18, N2, p.28–41.