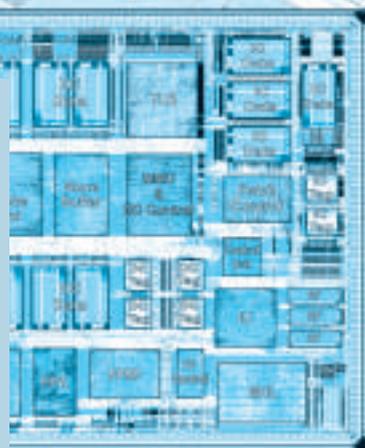


ОТЕЧЕСТВЕННЫЕ УНИВЕРСАЛЬНЫЕ МИКРОПРОЦЕССОРЫ СЕРИИ "МЦСТ-R"



Б.Бабаян, А.Ким,
Ю.Сахин

Семейство "МЦСТ-R" – первая российская разработка современных универсальных микропроцессоров. Уже выпускается серийно "МЦСТ-R150" – наиболее высокопроизводительный универсальный микропроцессор из когда-либо разработанных в нашей стране. Готовится к запуску в производство и спроектированный по самой современной 0,13-мкм технологии процессор "МЦСТ-R500". В планах – 1-ГГц процессор, четырехпроцессорные кристаллы. Однако наряду с выпуском конкретных микропроцессоров крайне важен сам факт проведения разработок с использованием новейших средств проектирования. Это свидетельствует о высоком профессиональном уровне и опыте коллектива разработчиков – специалистов компании "Московский центр СПАРК технологий". А сегодня в России профессиональные команды разработчиков – это один из немногих ресурсов, от которых в значительной степени зависит развитие отечественной электроники.

ПРОБЛЕМЫ СОЗДАНИЯ МИКРОПРОЦЕССОРОВ

Разработка высокопроизводительного микропроцессора является, пожалуй, наиболее сложным и дорогостоящим процессом в области создания средств вычислительной техники. Для выполнения такого рода разработок необходимы, как минимум, два условия: опытная, высококвалифицированная команда разработчиков и наличие современных САПР. В зависимости от цели проекта, для создания микропроцессора требуется от нескольких десятков до нескольких сотен или даже до тысячи человек.

Если разработка выполняется по уже известной архитектуре, используется стандартная библиотека элементов и сравнительно простая микроархитектура, не требуется задача получения предельной частоты, не требуется разработка компиляторов и адаптация операционной системы, – такую работу может выполнить команда из 15–20 специалистов за год-полтора. При этом предполагается, что разработка охватывает весь цикл проектирования – от структурной схемы процессора до размещения и трассировки всего кристалла, включая полную логическую и физическую верификацию и выдачу согласованной (т.е. прошедшей контроль проектных норм Design-Rule Checking – DRC) с фабрикой-изготовителем технологической документации для производства масок и изготовления кристалла (GDSII).

Другой крайний случай – разработка микропроцессора с новой архитектурой, с новым математическим обеспечением по полностью заказанной технологии с практически предельной частотой. Примером может служить разработка микропроцессора Itanium (Merced) фирмы Intel. К ней приступили в начале 90-х годов, первые кристаллы для тестирования сторонними организациями и разработки МО появились в 2000 году. В отдельные периоды в разработке участвовало до 1000 человек.

Выполнение подобных работ невозможно без современных САПР, которые охватывают весь диапазон проектирования – от высокоуровневого описания схемы до ее представления на топологическом уровне. Современные САПР достаточно сложны. Наш опыт показывает, что для освоения конкретной системы, например Apollo P&R, способному разработчику требуется от 6 до 12 месяцев. При этом разработчик не просто должен научиться "нажимать на кнопки", а достаточно глубоко изучить возможности, САПР, чтобы уметь находить пути к построению оптимального варианта схемы.

Средства САПР очень дороги. Так, одна лицензия на средства проектирования по субмикронной технологии, позволяющие выполнять синтез, размещение, трассировку, оптимизацию по времени и пространству, строить дерево синхронизации с минимальным временным разбросом, производить проверку конструкторско-технологических норм и ограничений, экстрагировать паразитные параметры, получать точные временные задержки логических цепей с учетом перекрестных наводок (crosstalk), учитывать импульсные изменения напряжения в цепях питания и делать многие другие проверки и оценки физического дизайна, стоит более миллиона долларов.

Еще дороже системы, позволяющие проектировать заказной вариант кристалла, т.е. вести разработку на транзисторном уровне. Напомним, речь идет только об одной лицензии. Если над проектом работают даже несколько десятков человек, то необходимо по крайней мере несколько лицензий на те компоненты системы, которые определяют срок разработки. А они, как правило, самые дорогие.

Еще один крайне важный фактор, влияющий как на процесс разработки, так и на конечный результат, – это возможности фабрики-изготовителя кристаллов. Уровень современных микропро-



цессоров – это 0,18 и 0,13 мкм, в 2003–2004 годах он станет 0,09 мкм. К сожалению, в России полупроводникового производства с соответствующими технологиями нет. Следует отметить, что для полностью заказного проекта, если ставится задача максимально использовать все возможности субмикронной (0,18 мкм и ниже) технологии, нужен очень тесный контакт с фабрикой на протяжении всей разработки, т.е. фабрика должна фактически стать соразработчиком кристалла. Только в этом случае можно использовать все особенности технологии, оперативно реагировать на ее изменения и, более того, даже влиять на технологию. Совершенствование технологического процесса продолжается в течение всей жизни изделия, вплоть до изготовления нового процессора. Об этом говорит опыт таких фирм, как Intel, IBM, AMD и др., реализующих проекты на собственных фабриках. Кроме того, все разработчики высокопроизводительных микропроцессоров имеют собственные САПР для физического проектирования (Inhouse Tools). Они позволяют использовать и, что самое главное, контролировать использование различных схемотехнических стилей (dynamic and self-reset logic, time borrowing, low-swing transmission gates и др.), а также учесть некоторые тонкие физические эффекты и особенности конкретной технологии, что позволяет подойти к самому краю работоспособности схемы. В результате достигается предельная для данной технологии частота работы микропроцессора, которая может быть в три-четыре раза выше, чем при разработке на стандартной библиотеке.

Даже при одинаковых топологических нормах на одной и той же фабрике СБИС, выполненные по разным техпроцессам, могут на 10–30% отличаться друг от друга по быстродействию. Сейчас, когда мир переживает настоящий электронный бум, все фабрики загружены полностью. Никто не хочет брать заказ на маленькие серии – несколько десятков тысяч изделий. Интерес представляют заказы как минимум на сотни тысяч штук (речь идет о технологии 0,18 мкм и ниже; для изделий с уровнем 0,5 и 0,35 мкм особых проблем нет). Кроме того, быстрые библиотеки, рассчитанные на быстрый техпроцесс, стоят достаточно дорого.

РАЗРАБОТКА МИКРОПРОЦЕССОРОВ "МЦСТ-R"

За несколько последних лет специалистами компании "Московский центр СПАРК Технологий" (МЦСТ) был выполнен полный цикл разработки трех поколений микропроцессоров серии "МЦСТ-R": разработка функциональной схемы и микроархитектуры, разработка Verilog-описания на RTL-уровне, синтез схемы, размещение и трассировка, построение дерева синхросигналов, расчет и разводка земли и питания, проверка топологических правил проектирования (DRC), проверка электрических правил проектирования (ERC), сравнение топологической схемы с исходной (LVS), проверка антенных эффектов и др. Большая работа проделана по временной и логической верификации проекта. Разработаны направленные тесты, генератор случайных тестов с интерпретатором, созданы отбраковочные тесты для проверки чипов на пластинах и в закорпусированном виде. Разработан MBus модуль, позволивший проверить работу процессора в составе рабочих станций SS-10 и "Эльбрус-90микро" на реальных приложениях под управлением операционных систем Solaris и Linux. В процессе наладки микропроцессоров возникла необходимость адаптации операционных систем под разработанные микропроцессоры – как для обеспечения совместимости, так и для обхода логических ошибок, выявленных в процессе наладки.

Опытная партия микропроцессоров "МЦСТ-R100" была изготовлена во Франции на фабрике ATMEL ES2 по технологии 0,5 мкм

и проверена в рабочих станциях SS-10 и SS-20. Процессор работал на приложениях под управлением ОС Solaris. Однако заказчик решил не запускать его в серию, а сделать редизайн на технологию 0,35 микрон. Эта работа была завершена в конце 2001 года, и сейчас МЦСТ серийно выпускает рабочие станции и четырехпроцессорные серверы с микропроцессором "МЦСТ-R150", выполненным по 0,35-мкм технологии. Пластины производятся в Израиле на фабрике Tower Semiconductor, а корпусированием и тестированием процессоров занимается компания ASE (Тайвань). Уже закончена и разработка микропроцессора "МЦСТ-R500" по 0,13-мкм технологии, ведутся переговоры с фабрикой-изготовителем о заключении контракта на производство.

Для высококачественной верификации проекта на всех этапах разработки требуются весьма существенные вычислительные мощности и специализированное оборудование. Так, скорость моделирования работы процессора в системе Verilog крайне невысока – ~20 тактов/с на ПК с процессором Pentium 4, а Verilog-описание необходимо проверять на загрузке ОС и выполнении прикладных программ, что составляет несколько миллиардов команд. Учитывая, что аппаратные эмуляторы крайне дороги (эмулятор на 10 млн. вентилях стоит несколько миллионов долларов), в МЦСТ разработана специальная аппаратно-программная верификационная система, позволяющая распараллелить выполнение на Verilog-модели одной последовательной программы (например, загрузки ОС) на любом числе персональных компьютеров.

Важно отметить, что компания МЦСТ не только разрабатывает собственно процессоры, но и поставляет вычислительные модули (рис. 1) и рабочие станции на их основе.

СТРУКТУРА И ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ ПРОЦЕССОРОВ

Один из основных вопросов проектирования микропроцессора – выбор его архитектуры. Если речь идет об универсальном процессоре, это должна быть широко распространенная в мире и доступная архитектура, для которой наработано развитое матобеспечение и огромное множество прикладных программ. Наиболее широко распространена в мире архитектура x86 фирмы Intel. Однако на пути разработки Intel-совместимых микропроцессоров стоит непреодолимая преграда – лицензию на эту архитектуру имеют

Таблица 1. Основные характеристики МП "МЦСТ-R150" и "МЦСТ-R500"

Параметр	"МЦСТ-R150"	"МЦСТ-R500"
Технология	Полузаказная, 0,35 мкм	Полузаказная, 0,13 мкм
Частота, МГц	150	500
Производительность	140 MIPS (Dhrystone 2.1) 63 MFLOPS (FLOPS 2.0)	350–400 MIPS* 150–170 MFLOPS*
Размер слов	32 / 64	32 / 64
Объем кэш-памяти		
L1 IC, Кбайт	8 (2 way)	16 (4 way)
L1 DC, Кбайт	16 (4 way)	32 (8 way)
L2 C, Мбайт	1	4
Пропускная способность L2C, Гбайт/с	1,2	1,6
Пропускная способность шины, Гбайт/с	0,4	0,8
Число транзисторов, млн.	2,8	4,9
Площадь кристалла, мм ²	100	20
Мощность, Вт, не более	4	2
Напряжение питания (ядро/периферия), В	3,3/3,3	1,2/3,3

* Оценка.

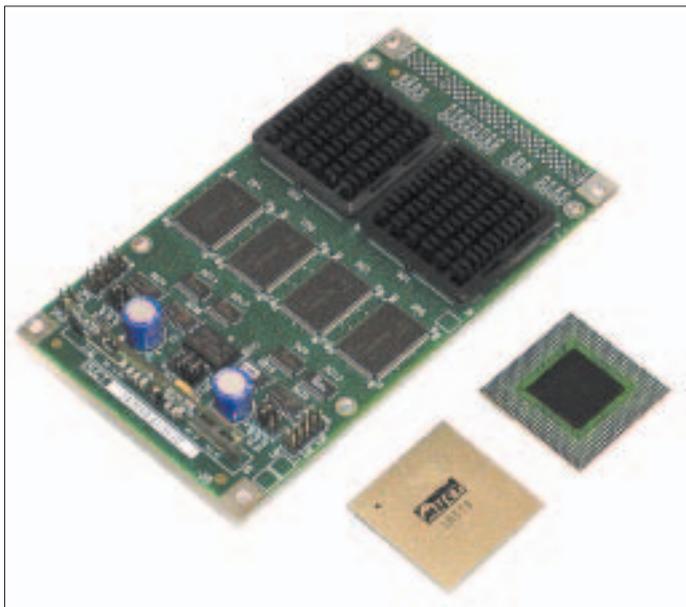


Рис.1. Микропроцессор "МЦСТ-R150" и двухпроцессорный вычислительный модуль на его основе

всего несколько фирм в мире (AMD, VIA). Российской компании получить ее практически невозможно. Кроме того, исходные тексты операционной системы (ОС) Windows также недоступны.

Второе место по распространенности в области рабочих станций и серверов занимает архитектура SPARC (Scalable Processor ARChitecture) фирмы SUN Microsystems. От x86 ее выгодно отличает чисто символическая цена лицензии на саму архитектуру (99 долл.) и возможность лицензирования исходных текстов ОС Solaris — основной операционной системы архитектурной платформы SPARC. Наличие текстов ОС явилось важным фактором для успешного завершения проекта. Немаловажно, что коллектив разработчиков МЦСТ досконально знал данную архитектуру благодаря богатому опыту работы с ней. Поэтому при разработке отечественного процессора предпочтение было отдано именно платформе SPARC-V8.

Первым из семейства SPARC-совместимых процессоров был микропроцессор "МЦСТ-R100". Он фактически послужил прототипом для серийного процессора "МЦСТ-R150", структурно незначительно отличающегося от своего предшественника. Процессор "МЦСТ-R150" содержит (рис.2):

- буфер команд IB (Instruction Buffer), в состав которого входит кэш команд IC (Instruction Cache);
- устройство управления CU (Control Unit);
- регистровый файл целочисленных данных IRF (Integer Register File);
- регистровый файл данных с плавающей точкой FRF (Floating Register File);
- арифметико-логическое устройство (АЛУ) целых чисел IU

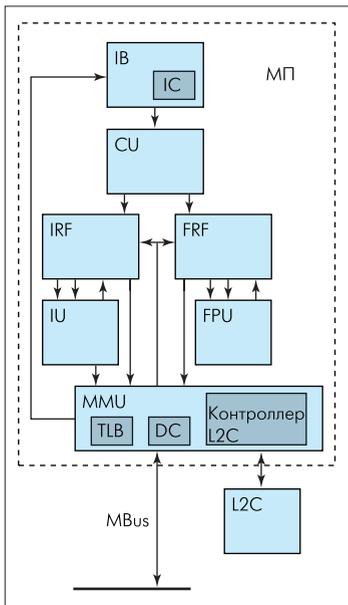


Рис.2. Структура микропроцессора "МЦСТ-R150"

(Integer Unit), включающее устройства сдвига (SH), логических операций (LOG) и суммирования (SUM);

- АЛУ чисел с плавающей точкой FPU (Floating Point Unit), включающее устройства сложения (FPA), умножения (MUL) и деления (DIV);
- устройство управления памятью MMU (Memory Management Unit), в состав которого входят буферная память, таблицы страниц TLB (Table Lookaside Buffer), кэш данных DC (Data Cache) и контроллер кэш-памяти второго уровня L2C.

Процессоры семейства "МЦСТ-R" основаны на RISC-архитектуре, с одним конвейером команд. Для связи процессоров друг с другом, с модулями памяти и устройствами ввода/вывода в архитектуре SPARC предусмотрена шина MBus. Это — высокоскоростная шина, обеспечивающая когерентность кэш-памяти процессоров в многопроцессорных структурах (рис.3). Интерфейс MBus поддерживают все процессоры семейства "МЦСТ-R".

Наиболее существенные отличия микропроцессора "МЦСТ-R500" от "МЦСТ-R150" — это увеличение более чем в три раза тактовой частоты, вдвое — внутренней кэш-памяти (IC и DC) и в четыре раза — внешней L2C (табл.1). Кроме того, удвоена пропускная способность шины MBus, а также шины связи с L2C.

Таблица 2. Скорость выполнения основных операций

Тип операции*	Абсолютное время
Целочисленные операции	1 такт (32 p.)
Сложение с плавающей точкой	3 такта (64 p.)
Умножение	3–4 такта (64 p.)
Деление	8 тактов (32 p.), 11 тактов (64 p.)
Квадратный корень	10 тактов (32 p.), 17 тактов (64 p.)

* Целочисленные команды, а также операции сложения с плавающей точкой и умножения могут передаваться на выполнение в конвейер каждый такт, в то время как операции деления и вычисления квадратного корня — только после выполнения всей команды.

Рабочая частота микропроцессора "МЦСТ-R500" составляет 500 МГц. Это частотный уровень западных микропроцессоров примерно пяти-шестилетней давности. Сейчас тактовые частоты лучших из них — 1–2 ГГц, у Pentium 4 даже 3 ГГц. Однако уровня 2 ГГц и более могут достичь только очень крупные фирмы (Intel, IBM, AMD и т.п.), обладающие собственными полупроводниковыми фабриками и собственными средствами проектирования (Inhouse tools), особенно — физического уровня, позволяющими учесть все особенности технологии, подойти к самому краю работоспособности схемы.

СРЕДСТВА И МЕТОДОЛОГИЯ ПРОЕКТИРОВАНИЯ

При проектировании современных микропроцессоров одна из самых сложных и трудоемких задач — построение быстродействующих логических схем, учитывающих временные ограничения в критических цепях. От тщательности проектирования подобных схем зависит общее быстродействие всего процессора.

На стадии синтеза и временной верификации процессора применялись средства фирмы Synopsys:

- HDL Compiler, DC Expert — синтез и оптимизация на вентиляльном уровне;
- PrimeTimeSI — статическая временная верификация как на вентиляльном, так и на топологическом уровнях с учетом RC параметров и перекрестных наводок (Crosstalk);
- Tetramax — генерация SCAN-тестов и определение тестового покрытия.

На фазе размещения и трассировки применялись средства фирмы Avant! (сейчас приобретена компанией Synopsys):

- Apollo – основное средство для размещения и трассировки на всех уровнях проектирования с учетом RC параметров;
- Saturn – логическая и физическая оптимизация на топологическом уровне;
- Star-RCXT – 2,5D-экстракция RC параметров;
- Hercules – проверка правил проектирования: топологических (DRC), электрических (ERC); проверка на соответствие восстановленной из топологии схемы и исходной схемы (LVS), проверка антенн и др.;
- Mars-Xtalk – анализ перекрестных наводок и коррекция трассировки;
- Mars-Rail – оценка динамического изменения напряжения на шинах земли и питания при работе устройств, контроль электромиграции.

Маршрут проектирования микропроцессора по полужаказной технологии включал следующие этапы (рис.4):

- разработка описания схемы на уровне регистровых передач с использованием языка описания аппаратуры Verilog;
- логическая верификация, заключающаяся в разработке тестов и прогоне их на модели микропроцессора. Методология разработки тестов должна обеспечивать их полноту как с точки зрения выявления ошибок разработки, так и с точки зрения обнаружения производственных дефектов. Оценка полноты тестов производилась с помощью специальных программных средств. Средства логической верификации представляют собой разработанную среду моделирования, в которую интегрированы модели внешнего окружения процессора, генератор случайных тестов, средства сличения трасс, средства управления конфигурацией и др.;
- синтез схемы, т.е. перевод логического описания в эквивалентное описание с использованием заданной библиотеки элементов. Использовались три основных подхода к синтезу схем – полностью автоматический синтез посредством стандартных средств автоматизации проектирования, автоматический синтез с ручной доводкой результата (применялся в основном при синтезе нерегулярных критических цепей) и полностью ручной синтез, который использовался при разработке регулярных структур, например арифметических устройств. Для автоматического синтеза запоминающих устройств использовался компилятор памяти;
- предварительная временная верификация позволяет значительно сократить время физического проектирования устройства. На этом этапе для оценок времени распространения сигналов используются данные из библиотеки элементов, а также оценочные значения площади кристалла и средней длины линий связи;
- размещение и трассировка. Размещение производится в два этапа: размещение

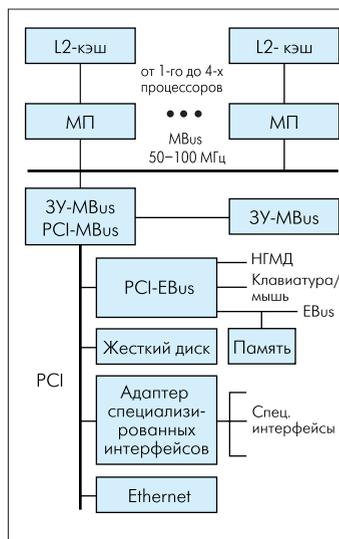


Рис.3. Многопроцессорный вычислительный комплекс на основе процессора "МЦТ-R"

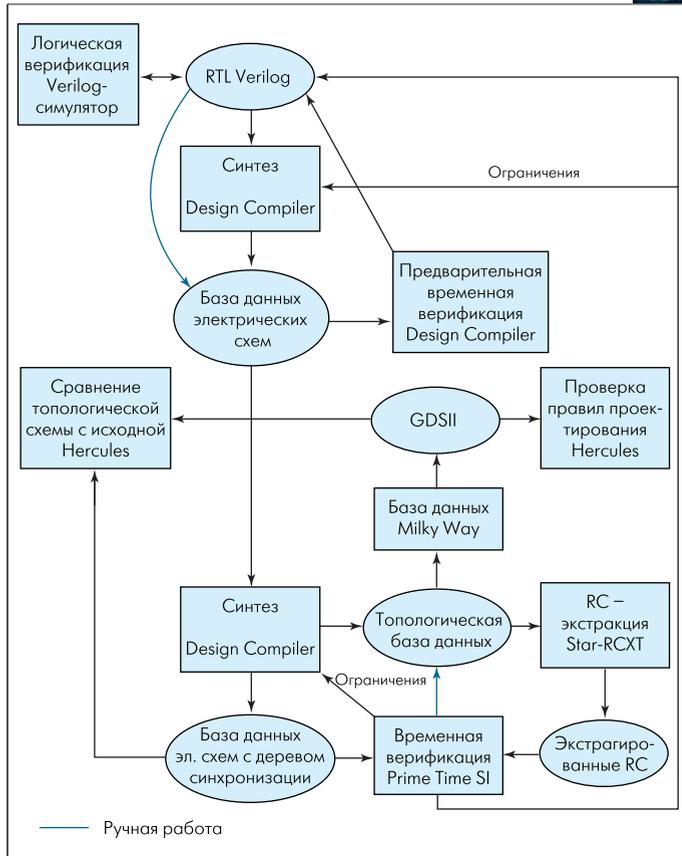


Рис.4. Маршрут проектирования микропроцессора по полужаказной технологии

макроэлементов – крупных логических модулей, блоков памяти и устройств (этот этап производился вручную) и размещение библиотечных элементов (с использованием средств САПР). Трассировка связей производится также с помощью САПР. Окончательная доводка как размещения, так и трассировки в ряде случаев производилась вручную;

- сравнение топологического представления схемы со схемой, описанной на вентиляльном уровне, – этап, полностью автоматизированный. Он заключается в экстрагировании схемы из топологического описания и ее сравнении с описанием входной схемы на вентиляльном уровне;
- экстракция паразитных сопротивлений и емкостей также полностью автоматизирована. Данные этого этапа необходимы для построения точной физической модели разрабатываемой СБИС;

- проверка выполнения правил проектирования (конструкторско-технологических норм и ограничений). Выполняется в полностью автоматизированном режиме. Этап заключается в проверке того, полностью ли разработанная схема отвечает требованиям конкретного производства. Правила проектирования включают перечень требований к физическим и геометрическим свойствам кристалла;
- окончательная временная верификация. Производится с учетом физических параметров кристалла – емкостей и сопротивлений линий связи, параметров технологии, разброса напряжения питания, температуры окружающей среды и др.;
- проектирование и расчет шин земли и питания внутри кристалла, на периферии кристалла и по корпусу.

Как видно из маршрута проектирования, весь процесс разработки охвачен обратными связями. Практически каждый этап проектирования может потребовать внесения изменений в предыдущие этапы. Многократные итерации завершаются, когда требования, предъявленные к проекту, удовлетворены.

ЛОГИЧЕСКАЯ ВЕРИФИКАЦИЯ ПРОЕКТА

Главное требование к системе тестирования – создание эффективных средств выявления логических ошибок в проекте. Основные цели тестирования МП – это его проверка на соответствие архитектуре и правильность функционирования. Тестирование процессора проводилось на двух уровнях. Первый уровень – это автономная проверка отдельных устройств на тестовых векторах, второй – проверка всего процессора на тестовых программах.

При архитектурной верификации на ранней стадии разработки основными средствами тестирования были написанные разработчиками устройств генераторы направленных входных последовательностей. С их помощью контролировали выходные и внутренние сигналы отдельных устройств. В дальнейшем использовались специально разработанные тесты верификации архитектуры (ТВА), проверяющие правильность и полноту реализации системы команд, функционирования системных регистров и прерываний, выдачи и приема шинных транзакций и т.п. Основное назначение ТВА – проверка полноты и правильности реализации архитектуры SPARC.

Тесты на соответствие микропроцессора заданной архитектуре не обеспечивают полноты функциональной проверки из-за большой комбинаторики различных схем и сложных динамических ситуаций. Для этого служит функциональный контроль. Он также проводился в два этапа.

Сначала на случайных тестах проверялись отдельные устройства, для чего были разработаны генераторы случайных тестов и средства создания направленных тестов. Это необходимо, поскольку ряд устройств (в особенности – АУ) при сравнительно небольшом интерфейсе по управлению имеют сложную внутреннюю комбинаторную структуру. Кроме того, при разработке этих устройств требуется активное ручное вмешательство в процесс синтеза, что приводит к описанию схем на низком уровне и, как следствие, увеличению числа тестовых последовательностей для верификации комбинаторной части схем.

Для тестирования всего процессора на случайных тестах был разработан их многофункциональный генератор, позволяющий создавать различные динамические ситуации. Для случайных тестов возникает дополнительная проблема сличения с эталоном. В частности, используемый в ТВА метод оценки результата прохождения теста по принципу "прошел – не прошел" по интерфейсным сигналам процессора дает хорошие результаты при те-

стировании статически известных событий, каждое из которых проверяется явно. Однако для случайных тестов возникшая ошибка может либо не оказать влияния на общий результат, либо ее проявление может оказаться далеко от момента возникновения. Такой подход затрудняет поиск причины ошибки.

Для верификации на случайных тестах принят другой метод. При генерации теста создаются трассы его прохождения – состояния счетчиков команд, код операции, исходные операнды и результаты команд, трассы запрограммированных прерываний и т.п. При тестировании сравнивается поведение процессора с предсказанными трассами при исполнении каждой команды, в результате ошибки быстро локализируются. Кроме того, повышается функциональный охват тестирования за счет сличения трасс в ветвях программы, результат которых не будет использован.

Как отдельная подзадача логической верификации, выделяется проверка правильности работы протокола внешней MBus-шины. Для этого в описание окружения процессора встроен модуль, контролирующий соблюдение протокола шины, а в состав ТВА добавлены тесты, направленные на проверку когерентных шинных транзакций.

СРЕДСТВА ОТЛАДКИ И ТЕСТИРОВАНИЯ ПРОЦЕССОРОВ

Микропроцессоры "МЦСТ-R" содержат тестовое и диагностическое оборудование, предназначенное для решения двух основных задач: отладки микропроцессора в составе рабочей станции и для контроля работоспособности процессорных СБИС при серийном производстве.

Микропроцессоры реализуют протокол, определенный стандартом IEEE 1149.1 Standart Access Port and Boundary Scan Architecture Specification (JTAG протокол), для чего в состав микропроцессора включен TAP-контроллер. Триггеры процессора объединены в несколько параллельных сдвиговых регистров внутреннего сканирования, что открывает относительно короткий путь к внутренним узлам процессора, труднодоступным через "штатные" выводы. Общая длина регистров – около 8 тыс. триггеров. При заводском выходном контроле эти сдвиговые регистры используются для проверки правильности функционирования кристалла, при отладке в составе рабочей станции – для анализа внутреннего состояния микропроцессора. В состав MMU микропроцессора включен набор регистров программных остановов. Очень полезным оказался режим, позволяющий после останова процессора по какому-либо условию загрузить через JTAG интерфейс несколько команд, выполнить их, а затем продолжить остановленную программу.

Значительную часть площади кристалла занимает кэш-память, причем эта доля кристалла все время увеличивается. Поэтому очень важно проверить данную часть кристалла. Для этого в процессор встроено отдельное оборудование (BIST), генерирующее специальные "тяжелые коды" для тестирования массивов памяти. В результате работы BIST-оборудования формируется сигнатура, которая затем считывается через интерфейс JTAG и сравнивается с эталоном.

НЕКОТОРЫЕ РЕЗУЛЬТАТЫ ПРОВЕРКИ ПРОЦЕССОРА "МЦСТ-R150"

Полученные опытные образцы процессоров после их первичной отбраковки на тестах были установлены в рабочую станцию и проверены при загрузке ОС Solaris и Linux и выполнении многочисленных прикладных программ. В результате всех прогонов обна-



ружилось несколько ошибок. Ряд логических ошибок, которые не обнаруживались существующими тестами (как направленными, так и случайными) и проявлялись в крайне редких ситуациях, при отладке удалось достаточно легко обойти минимальными изменениями в ОС или компиляторе, например, добавлением одной холостой команды "нет операции" (NOP) между двумя командами. Одна логическая ошибка, связанная с внешним интерфейсом, также была легко обойдена. Наиболее серьезная ошибка была вызвана тем, что у разработчиков не было описания всех тонкостей работы асинхронной памяти. Она приводила к редким сбоям на задачах с интенсивной плавающей арифметикой.

Все обнаруженные ошибки были исправлены в слоях металлизации, что потребовало изменения только семи масок. Вторая итерация дала партию полностью работоспособных микропроцессоров.

После второй итерации была проверена рабочая частота микропроцессоров (табл.3).

ПЛАНЫ И ПЕРСПЕКТИВЫ

Сегодня в рамках темы "МЦСТ-R" коллектив работает в двух направлениях – разработка полностью заказного варианта микропроцессора с частотой 1 ГГц и создание четырехпроцессорного кристалла с общей внешней кэш-памятью.

Таблица 3. Распределение партии процессоров по частоте

Рабочая частота, МГц	Доля, %
160	21
150	62
136	7
124	2
110	2
Менее 110	6

Закономерен вопрос: почему в семействе процессоров "МЦСТ-R" не используется суперскалярная архитектура (несколько параллельных конвейеров команд), которая по сравнению с RISC архитектурой могла бы увеличить производительность в 2–3 раза? Ведь у специалистов компании есть опыт разработки суперскалярных процессоров ("Эльбрус-1" и "Эльбрус-2") со всеми присущими им механизмами – исполнение с изменением последовательности команд (out-of-order execution); переименование регистров (renaming); спекулятивное выполнение команд (speculative execution); буфер восстановления последовательности команд (reorder buffer) и т.д. Дело в том, что в МЦСТ заканчивается работа по созданию микропроцессора с архитектурой, существенно более высокопроизводительной, чем суперскалярная. Это архитектура широкого командного слова с явным параллелизмом (VLIW/EPIC), которая, в свою очередь, позволяет повысить производительность в 2–3 раза по отношению к суперскалярной архитектуре.

В заключение отметим, что в разработке микропроцессоров участвовал большой коллектив сотрудников МЦСТ. Авторы статьи взяли на себя только дополнительный труд написать об этой работе. Руководителями отдельных направлений были: Волин В.С., Горштейн В.Я., Парахин Ю.Н., Рудометов В.В., Тихорский В.В., Фельдман В.М. В разработке участвовали также Власенко Э.С., Ефремова О.А., Зайцева З.Н., Лозовой В.В., Ломов С.Ю., Мальшин А.В., Подлесный А.В., Ревякин В.А., Хлобыстов В.Т., Шевцов С.Р. и другие специалисты.



Нанотехнология начинает самостоятельную жизнь

Развитие нанотехнологии окажет такое же влияние на научно-технический прогресс, как и появление транзистора, твердотельной электроники и, наконец, микроэлектроники, – таково мнение, высказанное на проходившем в начале 2003 года в США семинаре по нанотехнологиям.

Сейчас на работы в области нанотехнологии в США тратится примерно 1% федеральных ассигнований на НИОКР. В той или иной степени в этой сфере заняты 16 федеральных агентств, хотя их цели определены недостаточно четко. В сентябре 2001 года в рамках Национальной инициативы по нанотехнологии было открыто шесть центров науки и техники наноуровня и определены основные направления работ в данной области, в том числе разработка системы измерения параметров, формирование учебных и промышленных партнерств, координация и поощрение инициативных работ. Кроме того, Национальный научный фонд (ННФ) США стремится привлечь в нанотехнологии малый бизнес, который уже успешно реализовал ряд разработок в этой области.

Но образовательные учреждения США не готовы к продвижению новой технологии. И американские промышленные круги опасаются, что если проблемы нанотехнологии не войдут в традиционные обязательные курсы физики и химии, то только еще начинающая формироваться отрасль промышленности США так и не достигнет зрелости. Необходимость корректировки технического образования связана еще и с тем, что европейские стра-

ны, Япония, Тайвань, Корея и Китай наперебой рвутся приобретать интеллектуальную собственность (IP) на разработки в области нанотехнологии, проводимые американскими учеными. И вполне возможно, что Япония, которая как ни одна другая страна "сгребает" наноIP, первая приступит к коммерциализации этой технологии и обгонит США так же, как в 80-е годы она обогнала их в области полупроводникового производства.

По оценкам Джеймса Бардея, директора Управления координации работ по нанотехнологии (государственного агентства при ННФ), чтобы к 2015 году достичь прогнозируемого объема продаж изделий нанотехнологии (наноприборы, а также устройства и системы со встроенными наноэлементами) в размере 1 млрд. долл., университеты должны ежегодно выпускать 5 тыс. студентов по специальности нанотехнология. Профессор Корнеллского университета Сандиб Тивари отметил, что базовые университетские курсы в области нанотехнологии должны быть продлены с четырех до пяти лет: "Тише едешь, дальше будешь". Хотя результаты исследовательских работ должны как можно быстрее освещаться в учебных программах. К участию в НИР по нанотехнологии активно привлекаются преподаватели высших учебных заведений. ННФ выделяет из своих средств по 10 тыс. долл. на премирование каждого преподавателя, способствующего быстрому продвижению результатов исследований в учебную программу (по два преподавателя вуза). Но как привлечь внимание современных подростков к проблемам манипулирования атомами?

www.eetime.com/story/OEG20030206S0026

Станция сопряжения спутниковой сети THURAYA будет в России

В Москве подписано соглашение о строительстве российской станции сопряжения сети космической связи THURAYA между российскими фирмами ФГУП "Космическая связь", ЗАО "TM CAT", компанией Thuraya Satellite Telecommunications Company (ОАЭ) и Hughes Network System (США). В соответствии с соглашением, в городе Дубна Московской области на территории ФГУП "Космическая связь" будет построена вторая станция сопряжения системы космической связи THURAYA. Система THURAYA – это региональная система подвижной спутниковой связи, разработанная компанией Hughes Network System (США) по заказу Thuraya Satellite Telecommunications Company (ОАЭ) для предоставления услуг подвижной персональной спутниковой связи на территории стран Европы (включая все республики бывшего СССР и Европейскую часть России), Северной и Центральной Африки, Ближнего и Среднего Востока, а также Индии (всего в зону обслуживания входят 99 стран). На сегодня в системе Thuraya насчитывается более 100 тыс. активных пользователей.

Сейчас в системе THURAYA действует только одна станция сопряжения в г. Шарджа (ОАЭ). Планируется, что российская станция сопряжения будет обслуживать абонентов THURAYA на территории России и стран СНГ. В Российской Федерации эксклюзивным сервис-провайдером компании Thuraya выступает ЗАО "TM CAT" (лицензия №23211 от 01.08.2002), которое обладает эксклюзивным правом на распространение на российском рынке услуг и оборудования спутниковой связи компании Thuraya, включая продажу телефонов, дополнительного оборудования и аксессуаров для пользователей и гарантийное обслуживание. Генеральный директор ЗАО "TM CAT" Николай Витальевич Прохоров заявил: "подписав данное соглашение, мы открыли широкие перспективы, ведь постройка станции на российской территории позволит значительно снизить стоимость звонков в системе THURAYA, сделать тарифы на спутниковую связь сравнимыми с тарифами сотовых операторов. Мы ожидаем, что с увеличением доступности будет расти и абонентская база".

По материалам компании "TM CAT"

Спутниковая навигационная система Galileo – яблоко раздора между США и Европой?

Европейский проект спутниковой навигационной системы Galileo не нравится американским военным – по их мнению, Galileo дублирует разработанную США систему глобального позиционирования GPS, создавая ей конкуренцию. Чиновники Пентагона недовольны, кроме прочего, техническими параметрами Galileo – эта система должна использовать те же частотные диапазоны, что и модернизированная версия GPS. Генерал Ричард Майерс, председатель Объединенного комитета начальников штабов, выступая в феврале перед сенатским комитетом по военным службам, заявил, что Galileo "непосредственно перекрывает американскую сеть" и что проблема настоятельно требует решения.

Министр обороны США Доналд Рамсфелд во время своей первой встречи с министром обороны Франции Мишелем Альо-Мари прошлым летом также особо подчеркнул серьезность проблемы со спутниками. Французские источники сообщают, что, по словам Рамсфелда, США даже считают себя вправе при необходимости подавлять сигналы спутников Galileo.

Между тем чиновники ЕС подчеркивают, что собственная навигационная система сделает европейцев независимыми от созданной в 70-х годах американской GPS – сначала для военных нужд, а впоследствии открытой и для гражданских применений. Евросоюз и несколько не входящих в него государств планируют до 2008 года вложить в проект Galileo порядка 3,4 млрд. евро. Европейская спутниковая система навигации будет включать 30 спутников и функционировать наподобие сети GPS.

Источник: Cnews.ru

Токио и Новосибирск – лидеры в сфере мобильных платежей

В Японии создается национальная мобильная платежная система. Ряд компаний, обеспечивающих работу платежных систем на территории Японии (Visa International, Nippon Shinpan, Aeon Credit Service, OMC Card и др.), и крупнейший оператор сотовой связи Японии NTT DoCoMo анонсировали коммерческий запуск системы расчетов по кредитным картам через мобильные телефоны. В июне Visa и Nippon Shinpan откроют пробный сервис в Токио, а Aeon Credit и OMC Card присоединятся к ним позже с технологией обмена через инфракрасный порт. NTT DoCoMo использует для сервиса телефоны серии 504i и 504iS с поддержкой i-mode и инфракрасным портом. На телефонах будет установлено специальное ПО, написанное на Java. В тестировании будут участвовать 3000 владельцев карточек Nippon Shinpan Visa и 500 магазинов, оборудованных аппаратами для обмена данными через инфракрасный порт.

В то же время, 2 апреля компании SimMP и МТС в Новосибирске объявили об официальном запуске в промышленную эксплуатацию первого в России сервиса мобильных платежей SimMP. Это новый совместный сервис банков и сотовых операторов, позволяющий управлять банковским счетом с мобильного телефона. Сегодня SimMP объединяет 40 банков. Партнерами системы являются все ведущие поставщики sim-карт, а также более 15 операторов мобильной связи России. Сегодня в Новосибирске посредством мобильного телефона уже возможно оплачивать услуги сотового оператора (МТС в Новосибирске), Интернет-провайдера; вносить коммунальные платежи и плату за другие услуги (вода, газ, электричество, городской телефон и др.), делать покупки в Интернет-магазинах.

В ближайших планах SimMP – реализация такой уникальной возможности, как денежные переводы между физическими лицами. Эта опция позволит абонентам SimMP оперативно перечислять деньги с одного банковского счета на другой, используя мобильный телефон. Разработчиком технологии является компания Центр Финансовых Технологий.

По материалам Cnews.ru