

# ЦИФРОВАЯ ОБРАБОТКА РАДИОЛОКАЦИОННЫХ СИГНАЛОВ НА ОСНОВЕ ПРОЦЕССОРА L1879VM1

Серьезную научно-техническую проблему представляет разработка теоретической базы и методов построения аппаратуры цифровой обработки сигналов для радиолокационных станций (РЛС) обзорного типа, в частности когерентной активной РЛС с псевдослучайным фазокодоманипулированным радиосигналом и импульсным излучением. Оптимальное решение данной проблемы предложено в проекте, которому присуждено первое место на конкурсе, проведенном среди вузов совместно НТЦ "Модуль" и журналом "ЭЛЕКТРОНИКА: НТБ" на лучшую учебно-исследовательскую работу по применению процессора L1879VM1 (NM6403).

Специализированная цифровая обработка сигналов (ЦОС) – мощное средство повышения эффективности функционирования современных РЛС. К числу основных преимуществ ЦОС можно отнести получение стабильных характеристик РЛС в широком диапазоне условий эксплуатации; возможность реализации сложных, в том числе адаптивных, алгоритмов обработки без ущерба для точности и других показателей эффективности; снижение энергопотребления, массы и габаритов аппаратуры; простоту настройки и регулировки аппаратуры; повышение ее надежности и технологичности; возможность модернизации аппаратуры за счет модификации программного обеспечения (ПО). В конечном итоге достоинства ЦОС позволяют снизить затраты на всех стадиях разработки, производства и эксплуатации радиоаппаратуры.

Переход к программируемым цифровым устройствам принципиально изменил подход при разработке и проектировании специализированной аппаратуры ЦОС. Во-первых, существенно возросла роль алгоритмов обработки, которые теперь практически полностью определяют эффективность устройств ЦОС. Это, в частности, позволяет рассчитать характеристики разрабатываемого устройства до проектирования с использованием имитационного моделирования на универсальных ЦВМ. Во-вторых, на передний план выступает ПО процессоров, которое имеет большой удельный вес затрат в процессе проектирования. В-третьих, архитектура аппаратной части близка к архитектуре универсальной ЦВМ, и за счет рационального распределения вычислительных ресурсов и объема памяти ее можно оптимизировать, что не исключает возможность в готовой аппаратуре изменять рабочие программы. Все эти свойства позволяют получить гибкую аппаратуру, которая в процессе эксплуатации может быть перестроена под решение различных задач.

Основной объект данной разработки – блок ЦОС когерентной РЛС с псевдослучайным фазокодоманипулированным радиосигна-



лом и импульсным излучением. Первичная ЦОС включает в себя такие основные операции, как корреляционная обработка (сжатие) фазокодоманипулированных (ФКМ) сигналов и вычисление комплексной амплитуды; формирование доплеровских каналов обработки сигналов; селекция движущихся целей (СДЦ); равновесное и некогерентно-весовое накопление импульсов; обнаружение целей (пороговая обработка сигналов); критериальная обработка для устранения эхо-сигналов целей, находящихся за пределами дальности действия радиолокатора; формирование карты местных предметов, малоподвижных нецелеподобных объектов и "ангелов".

Анализ всего спектра алгоритмов, необходимых для реализации перечисленных операций, показал, что базой при обработке радиолокационных сигналов во временной области является преобразование вида  $Y=H \cdot X$ , где  $Y$  – процесс на выходе элемента обработки;  $H$  – набор весовых коэффициентов, необходимых для оптимальной обработки сигналов;  $X$  – процесс, поступающий на вход элемента. В общем случае компоненты, входящие в данное соотношение, мо-

## Представляем авторов статьи

**МИРОНОВ Сергей Николаевич.** Аспирант кафедры радиотехники Муромского института Владимирского государственного университета (МИ ВлГУ). Научно-техническая специализация – радиолокация, цифровая обработка сигналов, компенсация и картографирование помех, устройства обработки сложных радиолокационных сигналов.

**ДУДАРЕВ Валерий Александрович.** Аспирант кафедры радиотехники МИ ВлГУ. Научно-техническая специализация – цифровая обработка радиолокационных сигналов и изображений, программное обеспечение информационно-измерительных систем и систем отображения информации.

**БОГАТОВ Александр Дмитриевич.** Студент радиотехнического факультета МИ ВлГУ.

**КОСТРОВ Виктор Васильевич** – научный руководитель проекта. Профессор кафедры радиотехники МИ ВлГУ, д-р техн. наук, лауреат Премии Международной академической издательской компании "Наука/Интерпериодика". Научно-техническая специализация – активные и пассивные радиолокационные системы, цифровая обработка сигналов, прием сигналов на фоне помех.



гут быть матрицами, векторами. Поэтому основой вычислений в блоке ЦОС служит матричная операция вычисления скалярного произведения векторов. С ее помощью осуществляется корреляционная обработка, нерекурсивная фильтрация (предварительное накопление импульсов, некогерентно-весовое накопление, селекция движущихся целей).

Приведем некоторые исходные параметры сигналов, подлежащих обработке в блоке ЦОС:

База сигнала	не более 512
Число выборок дальности	не более 1600
Длительность элементарного импульса, составляющего сложный ФКМ-сигнал	не менее 0,8 мкс
Период повторения зондирующих сигналов	не менее 1,4 мс

Перечисленные технические параметры повлияли на выбор алгоритмов обработки. Например, при заданной базе сигнала его сжатие на основе быстрого преобразования Фурье не имеет преимуществ по вычислительным затратам перед прямым методом вычисления свертки сигналов. Поэтому все вычисления производятся во временной области. Также учитывалось, что переход к обработке сигналов в частотной области затрудняет формирование карты местных помех и критериальную обработку для устранения эхосигналов целей, находящихся вне дальности действия радиолокатора.

### ВЫБОР ЭЛЕМЕНТНОЙ БАЗЫ ДЛЯ УСТРОЙСТВ ЦОС

Технические характеристики устройств, реализующих алгоритмы обработки сложных сигналов, в значительной степени определяются рациональным выбором элементной базы. Одно из возможных направлений построения такого рода устройств основано на использовании цифровых сигнальных процессоров (DSP). Здесь следует отметить значительное отставание отечественной электронной промышленности от мировых лидеров, производящих DSP. Сегодня она серийно производит с приемкой "5" только 16-разрядные микропроцессоры M1827BE3 (аналог  $\mu$ PD7720), M1867BM1 и L1867BM2 (аналоги TMS320C10 и TMS320C25, соответственно), разработанные более десяти лет назад. Данные по состоянию разработок и освоению в производстве 32-разрядных аналогов DSP типа TMS320C30 (L1867BM3) и DSP96002 (1B577) весьма скудны и дают слабую надежду на серийную поставку в ближайшие годы.

При выборе элементной базы авторы ориентировались на новейшие, только что разработанные комплектующие изделия, хотя такой подход и имеет ряд недостатков:

- при разработке приходится опираться на опыт работы с другими элементами, что в ряде случаев может быть "тормозом";
- некоторая неопределенность в отношении серийных поставок данных элементов;
- определенный риск по прекращению их производства или выпуска модификаций;
- отсутствие легко доступной учебно-методической литературы по проектированию и описанию типовых схем реализации.

Одно из наиболее примечательных событий в отечественной микроэлектронике последних лет – безусловно, факт разработки и начала поставок отечественного и пока единственного в мировой DSP-индустрии 64-разрядного нейропроцессора L1879BM1\* (NM6403 производства НТЦ "Модуль", [www.module.ru](http://www.module.ru)), предназначенного для решения прикладных задач в области распознавания образов, радиолокации и криптографии. Сейчас разработчик

L1879BM1 предоставляет образцы микросхем по согласованным с ЦНИИ МО техническим условиям. Уникальные технические характеристики L1879BM1, поставки микросхем, а также программных и аппаратных средств поддержки разработки дают основание считать этот DSP наиболее перспективным в отношении применения в устройствах цифровой обработки сложных сигналов.

#### Основные характеристики нейропроцессора L1879BM1:

Тактовая частота	40 МГц (25 нс – время выполнения любой инструкции)
Технология изготовления	КМОП 0,5 мкм
Напряжение питания	(+3,3±0,3) В
Диапазон рабочих температур	(-60...+85)°С
Корпус	BGA 256
Производительность для скалярных операций	40 MIPS (млн. команд/с), или 120 MOPS (млн. операций/с) для 32-разрядных операций
Производительность для векторных операций	от 40 до 11500 ММАС (млн. умножений с накоплением/с)
Пропускная способность двух коммуникационных портов, совместимых с портами TMS320C4x	до 20 Мбайт/с
Стоимость в партии более 10 шт.	25 у.е.

В состав L1879BM1 входит 32-разрядное RISC-ядро с пятиступенчатым конвейером и 64-разрядный векторный сопроцессор. 64-разрядные команды RISC-ядра обеспечивают выполнение двух операций в одной команде. DSP L1879BM1 имеет два 64-разрядных программируемых интерфейса с SRAM/DRAM-разделяемой памятью, два адресных генератора с адресным пространством 16 Гбайт. Векторный сопроцессор содержит три внутренних 32x64-разрядных RAM-блока и выполняет основные операции векторной арифметики над данными с программируемой разрядностью от 1 до 64 бит.

Быстродействие вычислительных устройств на базе L1879BM1 во многом определяется возможностью работы без тактов ожидания (25-нс цикл). Максимальное быстродействие обеспечивается применением микросхем памяти с временем доступа порядка 10 нс, разрядностью 16 бит и напряжением питания 3,3 В. Такими параметрами обладают микросхемы KM616V1002BT-10 фирмы Samsung или MCM6323ATS10 фирмы Motorola в корпусах типа TSOP с 44 выводами.

Поскольку DSP L1879BM1 имеет напряжение питания +3,3 В и изготовлен по КМОП-технологии, для обеспечения совместимости с ним по входным и выходным уровням наиболее перспективной из числа стандартных серий микросхем следует считать 1554. Эта серия работоспособна в диапазоне питающих напряжений от 3 до 6 В и превосходит большинство отечественных серий ТТЛШ (533, 1533) по быстродействию и помехоустойчивости. Переход на элементную базу КМОП с пониженным напряжением питания позволяет снизить общее энергопотребление проектируемой системы ЦОС и повысить ее надежность.

### АЛГОРИТМ ВЫЧИСЛЕНИЯ СВЕРТКИ, ОРИЕНТИРОВАННЫЙ НА L1879BM1

Во многих приложениях ЦОС возникает необходимость вычисления взаимных корреляционных функций (ВКФ) длинных числовых последовательностей в реальном масштабе времени. При использовании для этих целей DSP L1879BM1, имеющего свои вычислительные особенности, процесс вычислений можно организовать по-разному. В результате время вычислений и соответственно объем аппаратуры в зависимости от степени учета особенностей функционирования DSP будут разными. Авторы провели модификацию ал-

\*ЭЛЕКТРОНИКА: НТБ, 1999, №2, с.30–34.

горитма вычисления свертки для реализации восьмиканального коррелятора на одном процессоре Л1879ВМ1.

В матричной форме ВКФ двух числовых последовательностей  $\{x_n\}$  и  $\{h_n\}$  определяется соотношением  $\bar{Y} = \bar{H} \cdot \bar{X}$ , где  $\bar{Y}$  и  $\bar{X}$  – N-элементные столбцы, образованные из отсчетов последовательностей  $\{y_n\}$  и  $\{x_n\}$ , а  $\bar{H}$  – матрица размером  $N \times N$ , образованная из отсчетов последовательности  $\{h_n\}$ .

К числу основных команд языка ассемблера Л1879ВМ1 относится операция взвешенного суммирования, которая является базовой при выполнении действий с матрицами и векторами. Именно эта особенность DSP Л1879ВМ1, обусловленная наличием векторного сопроцессора, существенно используется для вычисления ВКФ.

Для определенности алгоритм вычисления ВКФ, подлежащий реализации на Л1879ВМ1, рассматривался при следующих условиях. Последовательность  $\{h_n\}$  состоит из 255 двухразрядных отсчетов (один разряд плюс знак) и является опорной последовательностью. Последовательность  $\{x_n\}$  состоит из 1600 двухразрядных отсчетов (один разряд плюс знак) и представляет собой входной сигнал. Разрядность выходного сигнала (отсчетов последовательности  $\{y_n\}$ ) определяется исходя из длины последовательности  $\{h_n\}$  и разрядностей отсчетов последовательностей  $\{x_n\}$  и  $\{h_n\}$ . Из принятых данных следует, что последовательность  $\{y_n\}$  состоит из 1600 девятиразрядных отсчетов (восемь разрядов плюс знак). Поскольку длина последовательностей  $\{y_n\}$  и  $\{x_n\}$  значительно превосходит длину опорного сигнала  $\{h_n\}$ , при синтезе алгоритма применялось секционирование свертки и разбиение матрицы  $\bar{H}$  на подматрицы. Для повышения эффективности векторного сопроцессора все используемые в вычислениях данные были преобразованы в форму, позволяющую минимизировать время вычисления и объем памяти.

Вначале был рассмотрен алгоритм вычисления ВКФ для одной опорной и одной входной последовательности. При получении ВКФ ни одна из подматриц матрицы  $\bar{H}$  не загружалась в рабочую матрицу процессора дважды, то есть соблюдалось требование редкости перезагрузки рабочей матрицы. Программа вычисления ВКФ в соответствии с этим алгоритмом выполняется за 9150 тактов. Ее применение для последовательной обработки восьми реализаций входного процесса, поступающих на блок ЦОС, потребует  $9150 \times 8 = 73200$  тактов.

Затем был рассмотрен алгоритм параллельного вычисления ВКФ для одной опорной и восьми входных последовательностей, в

котором, как и в предыдущем случае, ни одна из подматриц матрицы  $\bar{H}$  не загружалась в рабочую матрицу процессора дважды. Однако в отличие от первого алгоритма процесс вычислений частичных сверток повторялся сразу для всех восьми входных последовательностей без перезагрузки рабочей матрицы. Программа вычисления ВКФ в соответствии со вторым алгоритмом (для одной опорной и восьми входных последовательностей) выполняется за 56414 тактов. Такая экономия времени вычисления достигнута только за счет более редких перезагрузок рабочей матрицы во втором алгоритме.

Таким образом, при проектировании аппаратуры ЦОС с использованием DSP Л1879ВМ1 необходимо учитывать особенности его построения и оптимизировать вычислительные алгоритмы под его структуру. Это позволит заметно сэкономить вычислительный ресурс процессора.

### ОЦЕНКА ВЫЧИСЛИТЕЛЬНЫХ ЗАТРАТ НА РЕАЛИЗАЦИЮ ОСНОВНЫХ АЛГОРИТМОВ ЦОС

Другой возможный метод оценки вычислительных затрат на реализацию основных алгоритмов ЦОС представляет метод оценки модели четырехпроцессорной системы в виде двух двухпроцессорных плат МЦ4.01 производства НТЦ "Модуль", связанных между собой через коммуникационные порты (рис. 1). Такой подход требует разработки программ, т.е. он более трудозатратен, однако ПО будет использовано на стадии производства. Загрузка программ, а также контроль хода вычислений осуществляются центральным ПК через разделяемую память.

Произведена оценка вычислительных затрат на обработку сигналов в амплитудном и когерентном каналах РЛС, каждый из которых содержит два подканала. Амплитудный канал включает в себя блоки: приема сигналов, образования доплеровских каналов, коррелятора, объединения квадратур и некогерентно-весаго накопителя. Входным сигналом для обработки в амплитудном режиме являются две квадратурные составляющие. Разрядность поступающих данных – два бита. При одном зондировании АЦП оцифровывает 1600 значений принятого сигнала в каждом подканале. На обработку всего диапазона дальности отводится 1,334 мс. Обработка ведется на базе DSP Л1879ВМ1. При переводе времени на обработку в количество тактов каждому процессору отводится 53334 такта. В двухпроцессорном соединении, работающем на общую память, возможны следующие вычисления: прием данных портом и перевод их в форму, пригодную для дальнейших вычислений; образование доплеровских каналов; вычисление корреляционных функций всех подканалов; объединение квадратур; передача результатов вычислений в другой процессор.

Моделирующая система процесса обработки организована таким образом. NM1 генерирует входные сигналы. Таймер с периодом 1,334 мс осуществляет периодический запуск коммуникационного порта на передачу  $4 \times 1600$  отсчетов (для каждого из двух каналов генерируются две последовательности по 1600 отсчетов). Всего по коммуникационному порту передается  $4 \times 1600 \times 2$  бит информации. Сгенерированный сигнал принимается портом 0 процессора 3 и упаковывается в локальное ОЗУ в режиме прямого доступа без участия самого DSP. Программная организация двухстраничного буфера позволяет одновременно писать портом в одну страницу и читать процессором другую, не мешая друг другу. При следующем зондировании происходит переключение страниц между собой. Кроме того, по окончании приема устанавливается флаг для дальнейших вычислений, что позволяет синхронизировать работу NM1 и 3. Обработка очередного зондирования начинается с переупаковки принятого сигнала и образования четырех массивов

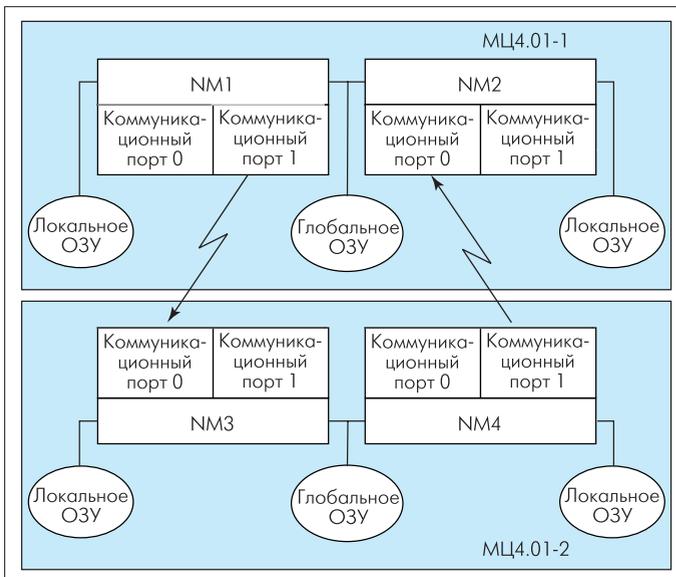


Рис. 1. Блок-схема моделирующей установки



из 50 элементов разрядностью 64 бита. Процесс переупаковки ведется на скалярном сопроцессоре и занимает 3590 тактов.

Блок образования доплеровских каналов реализует процедуру умножения полученных массивов на синус и косинус доплеровской частоты, в результате чего число обрабатываемых последовательностей удваивается, при этом разрядность данных остается два бита. Образование сумм и разностей возлагается на NM4. Эффективным оказывается использование векторного сопроцессора, позволяющего за один такт перемножить два 32-битных числа. Вычислительные затраты на этот блок составили 1517 тактов.

Блок коррелятора реализует функцию свертки входного сигнала с опорной последовательностью. Это наиболее ресурсоемкий процесс вычислений, поэтому приходится программно запрещать процессору 4 захват глобальной шины. Имея в монопольном распоряжении обе шины, NM3 на проходе читает данные с локальной шины, производит математические действия внутри векторного ядра и выгружает результаты на глобальную шину. По окончании вычислений корреляционных функций NM3 разрешает доступ к глобальному ОЗУ другому процессору и устанавливает флаг счета для NM4. После этого он переходит в режим ожидания следующего зондирующего сигнала. На эту часть вычислений DSP затрачивает 39634 такта. Вычисления NM4 начинаются, когда появляется его флаг дальнейших вычислений. Процессор образует суммы и разности из блока образования доплеровских каналов, на что затрачивает 6474 такта.

Блок объединения квадратур вычисляет корень квадратный из суммы квадратов синфазных компонент с помощью приближенной формулы

$$\sqrt{x^2+y^2} = \frac{123}{128} \cdot \max(|x|, |y|) + \frac{13}{32} \cdot \min(|x|, |y|).$$

На вычисление модуля NM4 затрачивает 10778 тактов. На вычисление максимума и минимума из двух операндов затрачивается

9350 тактов. Окончательное вычисление оценки квадратного корня составляет 16389 тактов. На этом NM4 заканчивает вычисления и запускает коммуникационный порт 1 на передачу результатов обработки. Всего передается 1000 64-битных слов за одно зондирование, что составляет четыре канала. Результаты обработки принимаются коммуникационным портом 0 процессора 2.

Последовательность вычислений в когерентном канале аналогична той, что осуществляется в амплитудном канале, за исключением обработки в системе СДЦ, которая несколько снижает скорость поступления данных на блок образования доплеровских каналов. Поэтому на вычисления в когерентном режиме работы РЛС отводится больше времени, чем в амплитудном режиме. При пересчете в количество тактов процессора Л11879ВМ1 получаем 480000 тактов. Блок приема получает данные с помощью коммуникационного порта и упаковывает их в локальное ОЗУ. По окончании приема данные переупаковываются в форму, удобную для дальнейших вычислений. Когерентно-весовой накопитель осуществляет череспериодную компенсацию и селекцию движущихся целей. Оценка вычислительных затрат дает 178812 тактов на прием, переупаковку и фильтрацию. Далее сигнал поступает на блок формирования доплеровских каналов и передается на обработку другому процессору. Вся эта процедура укладывается в 262754 такта. Коррелятор и объединение квадратур оцениваются аналогично амплитудному режиму и занимают 232012 тактов. Процедура нахождения максимума из всех последовательностей когерентного и максимума из всех последовательностей амплитудного каналов составляет 12458 тактов. Работа некогерентно-весового накопителя занимает 16962 такта.

Оценка вычислительных затрат показывает, что на реализацию всех необходимых операций ЦОС затрачивается 231700 тактов. Отсюда следует, что блок ЦОС должен представлять собой мультипроцессорную систему, содержащую от шести до восьми

Л11879ВМ1. За основу реализации всего блока ЦОС принято специально разработанное двухпроцессорное вычислительное ядро, построенное на базе Л11879ВМ1. Организация взаимодействия DSP при построении многопроцессорной системы через глобальные шины, существенно отличающаяся от рекомендаций предприятия-изготовителя, позволяет повысить быстродействие схемы в целом и облегчить решение задачи программирования процессоров Л11879ВМ1.

**ПРОГРАММНО-АППАРАТНАЯ РЕАЛИЗАЦИЯ АЛГОРИТМОВ ОБРАБОТКИ СЛОЖНЫХ СИГНАЛОВ**

Разрабатываемая система ЦОС должна обеспечивать прием и высокоскоростную обработку четырех параллельных цифровых квадратурных составляющих когерентных каналов с разрядностью 12 бит каждый, поступающих от АЦП с темпом выдачи 1,2 МГц, и четырех бинарных квадратурных составляющих амплитудных каналов; формирование зондирующих сигналов; общее управление взаимодействием всех составных частей изделия. В функции системы ЦОС входит также обеспечение аналоговой обработки сигналов двух угломестных каналов РЛС. Система ЦОС – многопроцессорное аппаратно-программное устройство, включающее в себя ячейку ввода, ячейки цифровых вычислителей, ячейку контроллера мультиплексного канала.

На функциональной схеме ячейки ввода (рис.2) показаны ее основные составные части, а также сигналы прерывания INT, данных D(8) и внешнего управления УПР(4) (в круглых скобках указана разрядность соответствующих сигналов). Входные устройства ячейки – приемники с входным импедансом 75 Ом, выходные – два байтовых коммуникационных порта и бинарный выход устройства формирования зондирующего сигнала (УФЗС). Ячейка содержит вычислитель на двух DSP Л11879ВМ1 с разделяемым ОЗУ и байтовыми коммуникационными портами.

Условно ячейка ввода делится на два независимых канала – когерентный и амплитудный. В когерентном канале осуществляется прием четырех 12-битных квадратурных составляющих, уплотненных в две 12-битные физические линии с частотой 2,4 МГц. Комму-

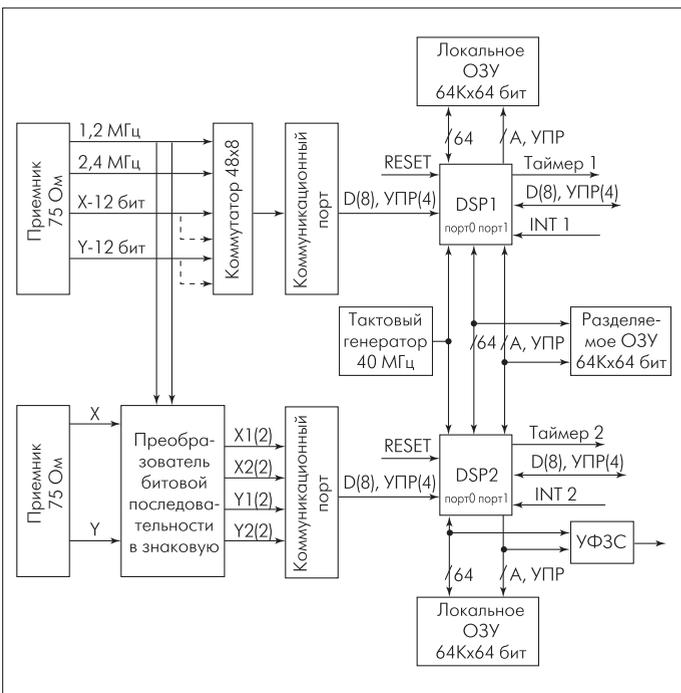


Рис.2. Функциональная схема ячейки ввода

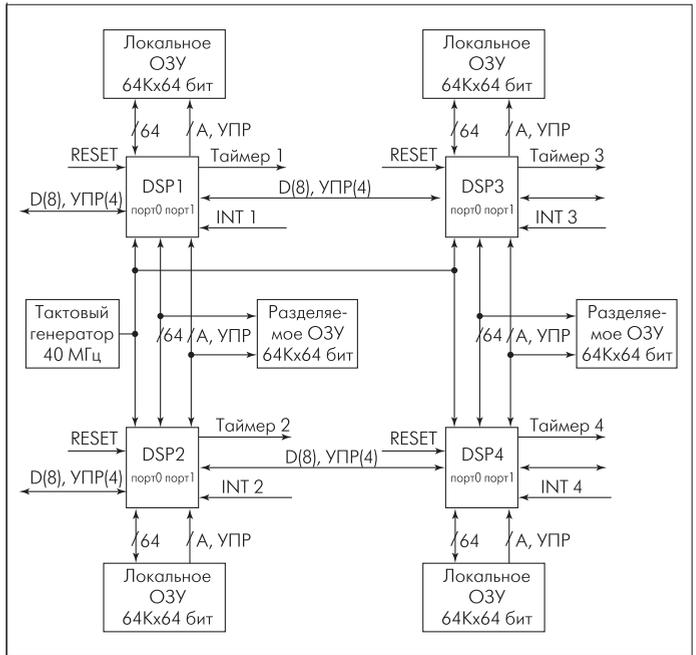


Рис.3. Функциональная схема ячейки цифрового вычислителя

татор 48x8 разбивает полученный 48-битный поток на байты и передает через коммуникационный порт в DSP для дальнейшей обработки. В амплитудном канале осуществляется прием четырех бинарных квадратурных составляющих, уплотненных в две физические линии с частотой 2,4 МГц. Преобразователь битовой последовательности представляет каждую составляющую в виде двухбитного числа в дополнительном коде (+1,-1). Полученные на выходе преобразователя четыре двухбитных числа передаются через коммуникационный порт в DSP для дальнейшей обработки.

Ячейка цифрового вычислителя выполнена на основе последовательного соединения двух двухпроцессорных модулей (рис.3). К каждому DSP подключен банк локальной памяти, а попарно DSP подключены к разделяемой памяти. Четыре байтовых коммуникационных порта процессоров служат для организации внешних связей с ячейкой. Остальные порты предназначены для межпроцессорного обмена внутри ячейки. Вычислительная мощность устройства обработки сложных сигналов наращивается путем последовательного соединения ячеек цифрового вычислителя через коммуникационные порты.

Ячейка контроллера мультиплексного канала представляет собой одноплатное устройство, построенное на базе Л11879ВМ1 (рис.4). К локальной шине DSP подключено ОЗУ информационной емкостью 64Kx64, к глобальной – четыре контроллера мультиплексного канала, выполненные на базе микросхем 588ВГ6. Микросхема может работать в 16-битном режиме обмена информацией, поэтому 64-разрядная шина данных процессора распределяется по 16 разрядам на каждый из контроллеров. Следует отметить, что шина данных DSP имеет 3-вольтовые логические уровни, а шина данных контроллера 588ВГ6 – 5-вольтовые, поэтому возникает необходимость преобразования уровней.

Коммуникационные порты DSP используются следующим образом: через порт 1 в ОЗУ загружается рабочая программа процессора, порт 0 используется для обмена данными с ячейкой цифрового вычислителя. Такая конфигурация при необходимости использования большего количества каналов позволяет свободно наращивать систему путем установки нескольких ячеек и соединения их через коммуникационные порты.



Обмен информацией между потребителями (абонентами) и ячейкой контроллера осуществляется по мультиплексным каналам, выполненным в соответствии с MIL-STD-1553B (ГОСТ26765.52-87). Скорость передачи информации по каналу составляет 1 Мбит/с, без учета служебных (неинформационных) слов – примерно 800 кбит/с. Для гальванической развязки абонентов используются импульсные трансформаторы. Физической средой распространения сигналов служат витая пара в экране, коаксиальный или триаксиальный кабель с волновым сопротивлением 75 Ом. Информация передается в коде "Манчестер-2" на частоте 1 МГц.

Аппаратные затраты ячейки контроллера – 30 корпусов микросхем, что требует для ее реализации одноплатную ячейку 170x200 мм с многослойной печатной платой.

#### ПРАКТИЧЕСКОЕ ИСПОЛЬЗОВАНИЕ РЕЗУЛЬТАТОВ НИР

Полученные результаты НИР использованы при разработке аппаратуры ЦОС и имитатора (тренажера) сигналов маловысотной РЛС кругового обзора со сложным зондирующим сигналом и при модернизации серийной РЛС. Основная цель – повышение надежности, помехоустойчивости и качества обработки информационных сигналов, снижение габаритов и энергопотребления. На базе Л1879ВМ1 разработаны устройства сжатия широкополосного сигнала и вычисления комплексной амплитуды, некогерентной весовой обработки, селекции движущихся целей. Практическая ценность НИР заключается в разработке эффективных алгоритмов и структурных схем устройств обработки сигналов с использованием современных DSP. Алгоритмы и структурные схемы устройства когерентной обработки сигналов, канала критерийной обработки, результаты анализа системы селекции движущихся целей, методика и программы моделирования сигналов на ЭВМ используются при проектировании блока ЦОС для модернизации серийной радиолокационной станции. Ряд результатов НИР внедряются на ОАО "МЗ РИП", что позволит повысить качество и эффективность работы выпускаемых изделий.

Для решения задач активной радиолокации с использованием современной элементной базы и цифровых процессоров обработ-

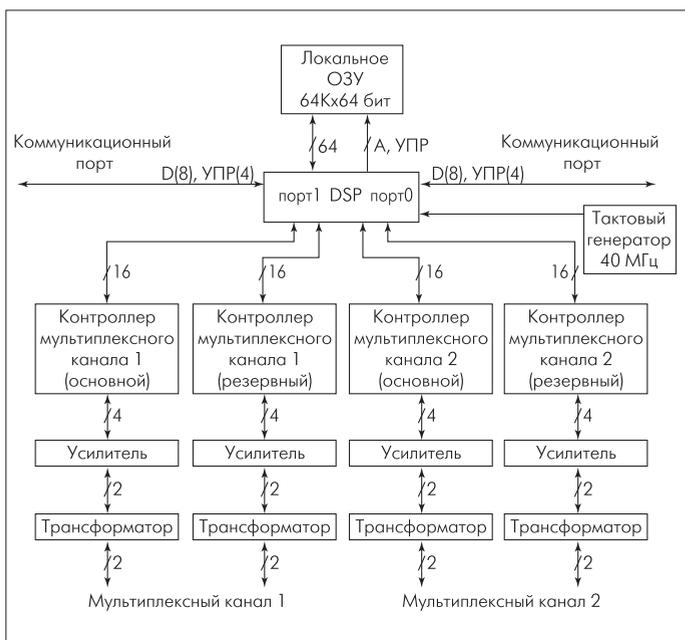
ки сигналов разработаны методы, алгоритмы и структурные схемы высокоэффективной цифровой обработки широкополосных сигналов, в частности:

- проведен сравнительный анализ вычислительных затрат на реализацию алгоритмов сжатия широкополосных сигналов при использовании различных СБИС (Л1879ВМ1, TMS320С30, ПЛИС), который позволил в качестве базового выбрать процессор Л1879ВМ1;
- разработана оригинальная методика синтеза специализированной аппаратуры вычисления свертки и оценки аппаратных затрат для ее реализации на Л1879ВМ1;
- проведена оптимизация структур цифровых вычислителей с точки зрения повышения точностных характеристик, быстродействия и уменьшения программно- аппаратных затрат при реализации типовых операций;
- для Л1879ВМ1 разработан алгоритм знаковой корреляционной обработки оцифрованного радиолокационного сигнала в восьми действительных каналах;
- для Л1879ВМ1 разработан алгоритм и программы объединения квадратурных составляющих обрабатываемого радиолокационного сигнала;
- на базе Л1879ВМ1 разработаны алгоритмы и программы генерации шума и фазокодоманипулированных эхо-сигналов для знаковой корреляционной и когерентной обработки оцифрованного радиолокационного сигнала в широком диапазоне доплеровских частот;
- на базе Л1879ВМ1 и ПК разработан имитатор радиолокационных сигналов и шума в реальном масштабе времени для статистической аттестации блока ЦОС серийной РЛС; разработаны методики проведения статистических экспериментов и расчета характеристик обнаружения;
- разработаны алгоритмы и структурные схемы устройств хранения и формирования карты пассивных помех;
- разработаны программы для моделирования сигналов и устройств цифровой обработки радиолокационных сигналов на ПК, соединенном с процессором Л1879ВМ1.

Конструктивно разработанная аппаратура ЦОС размещается в унифицированном одноотсечном шасси (модуль электронный 2-го уровня) УБНК по ОКР "Единство" (ГОСТ 2676515-86). Составные части аппаратуры ЦОС выполнены на ячейках (модуль электронный 1-го уровня) по ОКР УБНК "Единство" (ГОСТ 2676513-86) с размерами многослойных печатных плат 170x200 мм.

Питание аппаратуры ЦОС осуществляется от внутренних стабилизированных ИВЭП:  $+(5\pm 0,2)$  В при уровнях пульсаций не более 60 мВ,  $+(3,3\pm 0,1)$  В при уровне пульсаций не более 50 мВ, и от внешних стабилизированных ИВЭП:  $+(12\pm 0,12)$  В,  $-(12\pm 0,12)$  В при уровнях пульсаций не более 100 мВ. Токи потребления по цепям питания: при  $+3,3$  В – не более 8 А, при  $+5$  В – не более 10 А, при  $+12$  В и  $-12$  В – не более 0,3 А.

Перспективы использования результатов НИР связаны с разработкой НТЦ "Модуль" версий микропроцессоров NM6404, NM1281, имеющих внутрикристалльную SRAM объемом 2–4 Мбит, которая позволит отказаться от использования импортных микросхем ОЗУ. Эти микросхемы имеют ядро в виде матричного процессора, поэтому хорошо приспособлены для обработки пачек радиолокационных сигналов. Разрабатываемые версии будут иметь тактовую частоту 133 МГц и такую же систему команд, что и Л1879ВМ1. Преимуществом в разработках – положительное свойство, так как при этом используется полученное ПО с заменой конструкции.



**Рис.4. Функциональная схема ячейки контроллера мультиплексного канала**