

СРЕДА ПРОЕКТИРОВАНИЯ КОМПАНИИ cadence

ОБЩИЙ ОБЗОР

Компания Cadence Design Systems – признанный мировой лидер в области разработки средств проектирования электронных систем. Именно Cadence готова сегодня предложить наиболее интегрированные решения по разработке современных СБИС, в том числе – цифроаналоговых СБИС типа система на кристалле (SoC). Средства проектирования компании Cadence охватывают все стадии разработки – от проектирования на системном уровне с использованием IP-блоков до топологии ИС и формирования документации для передачи в производство. Более того, система Cadence включает инструментальные средства проектирования печатных плат. Существенно ускорить процесс разработки способны программно-аппаратные средства эмуляции, также предлагаемые компанией Cadence.

МАРШРУТ ПРОЕКТИРОВАНИЯ CADENCE

Современная СБИС, в частности – типа система на кристалле, может объединять программные и аппаратные средства, в том числе процессорные ядра, программируемую логику, память, интерфейсы, встроенные средства тестирования, аналоговые компоненты. Технология Cadence охватывает практически все уровни разработки сложных систем – от системного уровня, свойственного разработчикам аппаратуры, до уровней логического, схемотехнического и топологического проектирования СБИС, их корпусирования, а также разработки печатных плат, на которых эти СБИС будут монтироваться.

В целом проектирование СБИС в среде Cadence включает следующие этапы (рис.1):

- системное проектирование – построение модели системы на высоком уровне абстракции с использованием языков программирования C/C++ и SystemC, разбиение на программные и аппаратные модули, исследование параметров системы, получение спецификаций (набора требуемых параметров) на программные и аппаратные блоки;
- аппаратное проектирование и верификация – разработка на основе спецификации поведенческих моделей отдельных блоков системы с использованием языков Verilog/VHDL, реализация проекта в базе библиотек производителя ИС, проверка программно-аппаратной реализации на соответствие спецификациям, полученным на системном уровне;
- физическое прототипирование – предварительное размещение элементов, оценка потребляемой мощности, планирование шин

питания и иерархии тактовых сигналов, качественная оценка возможных искажений сигнала;

- проектирование и верификация топологии кристалла – разработка топологии заказных блоков, трассировка на уровне ячеек, проверка правил проектирования топологии, экстракция паразитных параметров.

СИСТЕМНОЕ ПРОЕКТИРОВАНИЕ

На этом этапе определяются функциональные параметры будущей системы на кристалле, ее характеристики, операционная среда, необходимые стандарты и протоколы, разрабатывается модель системы. На системном уровне анализируют характеристики и производительность системы, проверяют архитектуру, определяют способы разрешения конфликтов, оптимизируют алгоритмы и протоколы. При необходимости вносят функциональные изменения в отдельные блоки, перераспределяют программные и аппаратные средства и повторно моделируют работу системы. Для этого предназначены такие инструменты Cadence, как SPW2000 и i-Architect.

Система SPW2000 (signal processing worksystem – рабочая среда обработки сигналов) – это среда проектирования системного уровня. В нее входят средства моделирования системного уровня (включая поддержку моделей на языках C/C++, SystemC, Verilog, VHDL, VerilogAMS, а также созданных в среде Matlab), системные библиотеки элементов, виртуальные генератор и анализатор сигналов, инструментарий разработки фильтров, средства эмуляции системы.

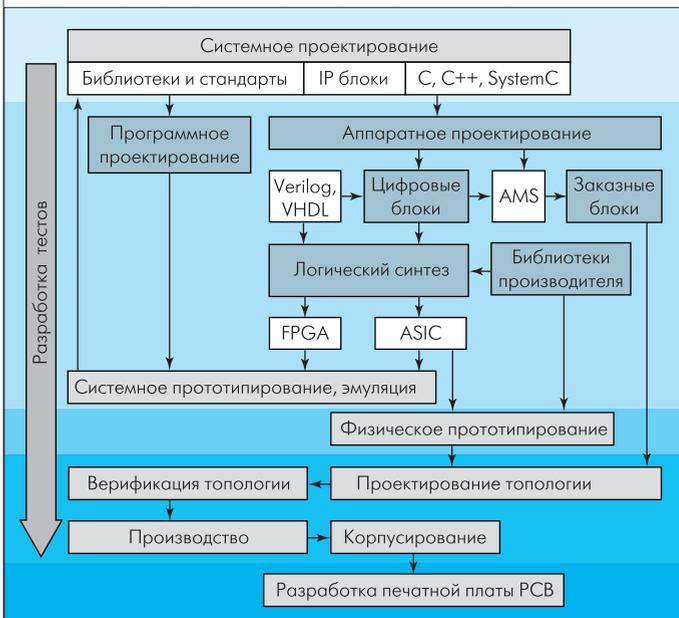


Рис.1. Маршрут проектирования СБИС в среде Cadence

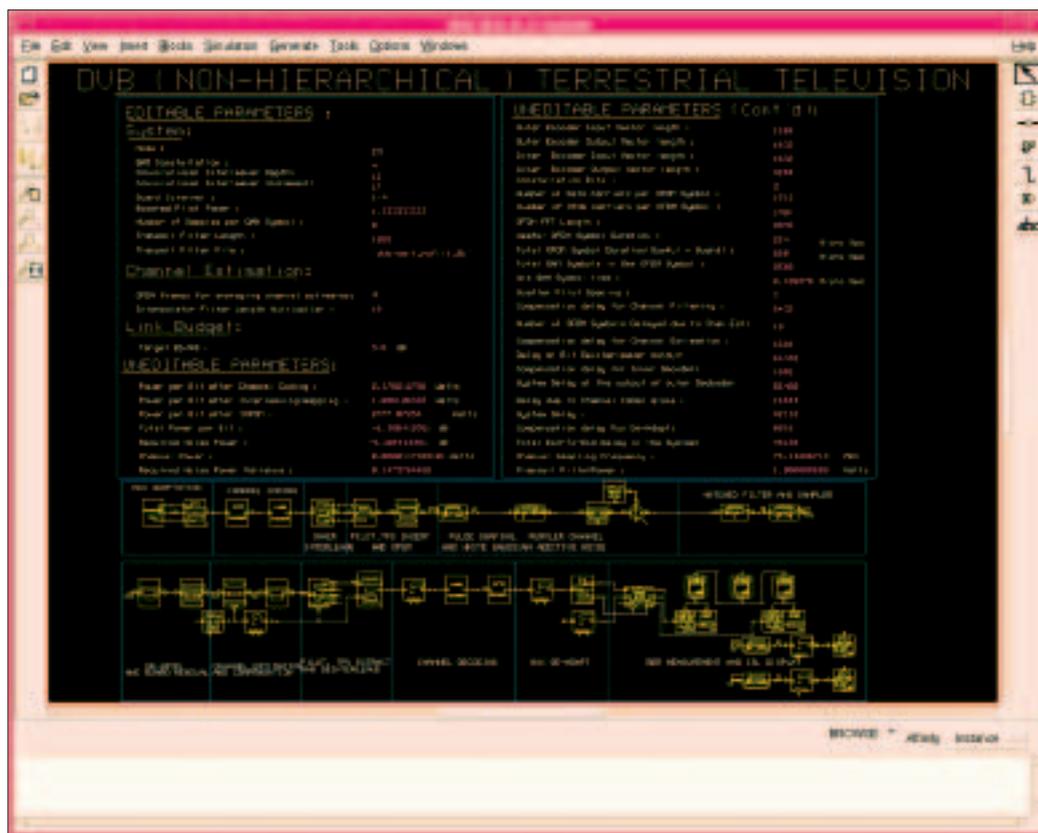


Рис.2. Пример работы редактора BDE

Сама модель строится в удобном специализированном графическом редакторе BDE (Block Diagram Editor) в виде иерархической блок-диаграммы – от общего описания системы до дефрагментации ее на отдельные функциональные блоки (рис.2). Каждый блок описывается поведенческой моделью и набором требуемых характеристик – спецификацией блока. Разработчику совершенно не обязательно создавать модели всех блоков – библиотека SPW2000 содержит более 3500 модулей. Среди них – коммуникационные системы сотовой связи WCDMA, cdma2000, IS-95, GSM/GPRS/HSCSD/EDGE, IS-54/136; беспроводные сети стандартов IEEE802.11a/b, HiperLAN/2, Bluetooth; телевизионные системы стандартов DVB-T, ISDB-T, NTSC; модемы физических линий ADSL; библиотеки высокочастотных систем и радаров, MPEG 1/2-кодеки, оптические системы, датчики, системы компрессии и т.д.

Кроме библиотечных модулей SPW2000, разработчик может использовать собственные системные модели на языках C/C++/SystemC и модели, созданные в среде Matlab. Принципиально, что при моделировании система может включать блоки, описанные на разных уровнях представления – как на системном, так и на уровне регистровых передач (RTL-уровень) на языках VHDL/Verilog (т.е. уже "готовые" блоки). Таким образом, в системной модели можно использовать непосредственно описания IP-блоков, включая прямую поддержку IP-ядер для FPGA компании Xilinx. Это существенно сокращает число циклов проектирования и повышает вероятность успешной реализации проекта с первого раза. Для работы с библиотеками IP-блоков, их пополнением из on-line-библиотек других компаний через Интернет, а также для поиска требуемых IP-блоков по заданным характеристикам служит платформа i-Architect.

Средства SPW2000 позволяют моделировать работу всей системы в целом или ее отдельных блоков. При этом можно использовать реальные сигналы и данные – например, промоделировать

передачу изображения через цифровой канал связи.

Платформа SPW использует алгоритмы вычислений с плавающей точкой. Их преобразование в алгоритмы с фиксированной точкой, необходимые для аппаратной реализации системы, выполняет пакет HDS2000. Он содержит специальную библиотеку стандартных блоков, а также поддерживает такие опции SPW, как виртуальный генератор/анализатор сигналов и логический анализатор. Именно HDS позволяет из структурного описания системной модели генерировать ее описание на языках Verilog/VHDL.

В результате проектирования на системном уровне формируются детальное описание архитектуры системы, спецификации отдельных программных и аппаратных блоков и их функциональное описание на языках C/C++ и SystemC (рис.3). Последующий этап

программно-аппаратного проектирования при необходимости может проводить уже другие группы разработчиков.

АППАРАТНОЕ ПРОЕКТИРОВАНИЕ И ВЕРИФИКАЦИЯ

На уровне аппаратного проектирования разрабатывается HDL-модель СБИС, формируется ее схема в базе библиотечных элементов конкретного производителя ИС и создается список цепей (netlist) для последующего топологического проектирования. Генерация схем цифровых блоков происходит преимущественно автоматически. Аналоговые узлы и модули смешанной обработки проектируются в интерактивном режиме с использованием средств Cadence SPICE и Spectre.

Основа аппаратного проектирования в системе Cadence – платформа Incisive. Она представляет собой единую среду программно-аппаратного проектирования, отладки, верификации и генерации

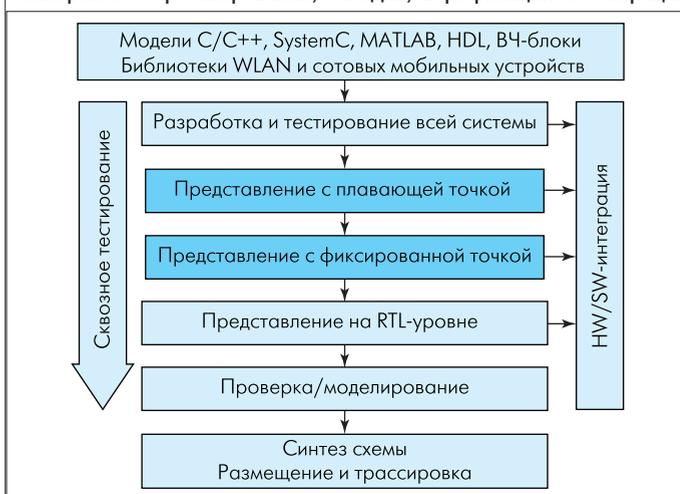


Рис.3. Последовательность этапов разработки на системном уровне

тестов для цифроаналоговых СБИС от системного уровня до уровня RTL. Incisive поддерживает языки Verilog, VHDL, SystemC, библиотеку SCV для SystemC и PSL/Sugar assertions. Наряду с этим Incisive предоставляет разнообразные средства отладки, в том числе – на уровне транзакций, и унифицированный генератор тестов. При необходимости платформу Incisive можно дополнить различными элементами, включая выборочное ускорение, аналоговое и смешанное моделирование с ВЧ-элементами, средствами разработки и отладки алгоритмов, аппаратным ускорителем моделирования Palladium. Использование ускорителя Palladium совместно с платформой Incisive позволяет в 100 раз повысить производительность аппаратного проектирования по сравнению со стандартным маршрутом разработки, сократить на 50% цикл разработки тестов и на 25% – время отладки.

Инструментом реализации проекта в базисе библиотечных элементов производителя СБИС служат средства логического синтеза BuildGates. Этот пакет предназначен для логического синтеза схемы с учетом физических и технологических особенностей проектируемого кристалла. В дальнейшем полученный в результате синтеза список цепей может служить входной информацией для трассировки топологии кристалла.

Средства Cadence позволяют вести и разработку заказных модулей СБИС, главным образом – аналоговых блоков и модулей смешанной обработки сигнала. Для этого, в частности, предназначен пакет AMS (analog mixed-signal). С помощью этой многоуровневой платформы можно разрабатывать, моделировать и отлаживать схему от системного уровня вплоть до выхода на топологическое проектирование.

По завершении этапа аппаратного проектирования происходит верификация и моделирование SoC с использованием различных уровней представления.

ФИЗИЧЕСКОЕ ПРОТОТИПИРОВАНИЕ

Физическое прототипирование предназначено для аппроксимации основных характеристик кристалла высокой степени интеграции и их оптимизации до трудоемкого этапа трассировки топологии СБИС и последующей экстракции ее параметров. Используемый на этом этапе виртуальный прототип СБИС позволяет с точностью до 90% определить ее основные параметры: временные характеристики, паразитные параметры, занимаемую площадь, потребляемую мощность и др. Весь комплекс задач по физическому прототипированию решает платформа Cadence First Encounter Ultra. Она позволяет произвести физический синтез до 2 млн. ячеек, размещение элементов на кристалле, пробную трассировку, быстрый анализ с 2,5D-экстракцией, анализ задержек и временных характеристик, анализ качества. Платформа включает средства физической оптимизации, автоматическое разбиение кристалла, присвоение выводов; иерархический синтез сигнала синхронизации; планирование сетки питания; содержит интерфейсы с ведущими средствами разработки топологии и удобный пользовательский интерфейс. С помощью First Encounter Ultra можно быстро – в течение одного дня – и эффективно прототипировать сложные цифровые системы, включающие до нескольких миллионов вентиляей.

ПРОЕКТИРОВАНИЕ И ВЕРИФИКАЦИЯ ТОПОЛОГИИ КРИСТАЛЛА

Как правило, современные SoC содержат и цифровые, и аналоговые блоки. Для разработки топологии цифровых блоков при технологиях до 0,18 мкм традиционно использовались средства автоматической трассировки Silicon Ensemble от Cadence. Однако сегодня массовыми становятся технологические нормы 0,13 мкм и менее.

Для таких технологий Cadence предлагает современные средства разработки топологии цифровых ИС NanoRoute.

Для трассировки заказных аналоговых блоков предназначен топологический редактор Virtuoso-XL. Он имеет удобный пользовательский интерфейс, поддерживает иерархические проекты и параметризацию ячеек, легко интегрируется с ведущими средствами проектирования различных уровней. Встроенный язык управления SKILL позволяет настроить процесс проектирования топологии под требования заказчика.

По окончании разработки топологии ее необходимо проверить на соответствие правилам проектирования и произвести экстракцию паразитных параметров с учетом реального размещения элементов и проводников на кристалле. Для решения всего комплекса задач верификации топологии ИС предназначены пакеты Diva, Dracula, Assura. Они содержат средства проверки правил проектирования (DRC), позволяют сравнить разработанную топологию со списком цепей или принципиальной схемой (LVS). С помощью средств верификации из топологии можно экстрагировать паразитные параметры (RCX) и временные задержки, а затем с их учетом промоделировать схему.

Проектирование СБИС с использованием современных технологий (0,13 мкм и менее) становится невозможным без детального анализа разработанной топологии, учета влияния на временные характеристики кристалла наводок и помех на проводниках и разброса напряжения питания на ячейках. Для решения комплекса этих задач могут быть использованы средства Cadence, ориентированные на нанотехнологии: Fire&Ice – 3D-экстракция паразитных параметров из топологии кристалла; Celtic – быстрая и эффективная система анализа перекрестных помех на проводниках и, как следствие, искажений сигналов; VoltageStorm – инструмент учета влияния разброса напряжения питания на временные характеристики системы.

Современные технологии Cadence основаны на открытых базах данных Open Access и легко конфигурируются в сквозной маршрут проектирования. Именно поэтому программные средства Cadence широко используются ведущими компаниями в России и за рубежом. ○