

ВОЗМОЖНОСТИ ПЛИС РАСТУТ

НЕ УПУСТИТЕ ИХ!

Для современной электронной техники характерны две противоречивые тенденции — сокращение их жизненного цикла и ужесточение требований, предъявляемых к сложности, быстродействию, мощности, надежности, стоимости изделий. Поэтому одна из важнейших задач, стоящих перед создателями современных цифровых систем, — сокращение цикла проектирования с тем, чтобы своевременно выйти на рынок с новым изделием, сохранив при этом гибкость его конструкции и способность использовать в ней новейшие технические достижения. Решить эту задачу с минимальными временными и материальными затратами наилучшим способом могут ПЛИС, позволяющие вносить изменения в конструкцию системы на любом этапе процесса ее проектирования. И сегодня производители предлагают все более широкий выбор ПЛИС с разнообразными сочетаниями таких характеристик, как быстродействие, потребляемая мощность, уровень интеграции и стоимость.

ТРАДИЦИОННЫЕ ПЛИС (CPLD)

До последнего времени сложные программируемые логические микросхемы использовались почти исключительно в качестве связующих логических схем (цифровых автоматов и декодирующих устройств). При этом они предназначались в основном для реализации периферийных устройств системы. Но сегодня новейшие разработки CPLD, сочетающие высокое быстродействие и уровень интеграции с малой потребляемой мощностью и низкой стоимостью, уже могут найти более широкое применение. Гибкость и богатые возможности этих ПЛИС отвечают требованиям сокращения циклов разработки электронных систем и быстро меняющимся стандартам и позволяют значительно упростить реализацию логического ядра системы, что и привлекает все большее внимание разработчиков. Принципы построения CPLD — сложных ПЛИС с множеством логических блоков, содержащих группы макроячеек на базе программируемых матриц И, ИЛИ и объединенных программируемой коммутационной матрицей, — были предложены фирмой Altera в конце 80-х годов. Основные достоинства CPLD: простота реализации требуемого устройства; малые издержки на проектирование благодаря его короткому циклу, относительной дешевизне средств проектирования и возможности реконфигурирования микросхемы; высокий уровень интеграции; малая площадь, занимаемая на плате; высокая



В.Юдинцев

доходность разработки и низкая стоимость владения (т.е. стоимость технического обслуживания и ремонта, настройки или гарантийного обслуживания). По сравнению с FPGA традиционные ПЛИС отличаются лучшей предсказуемостью характеристик, большей простотой реализации логических устройств со многими логическими элементами и относительно малым числом регистров. Что же сегодня представлено на рынке CPLD?

ALTERA В первых образцах CPLD фирмы для хранения конфигурации использовались ячейки ППЗУ или ЭППЗУ. С появлением микросхем семейства MAX фирма перешла к ЭСРПЗУ, что позволило конфигурировать микросхемы непосредственно в системе. "Рабочая лошадка" фирмы — семейство MAX7000, архитектура которого на протяжении многих этапов совершенствования технологии производства не претерпела каких-либо существенных изменений. Увеличение быстродействия и числа макроячеек на чипе, снижение рабочего напряжения и потребляемой мощности в основном достигалось за счет масштабирования элементов микросхемы.

Тем не менее, схемы семейства непрерывно совершенствовались и, пожалуй, главное достижение — возможность программирования в системе непосредственно на плате, начиная с микросхем серии MAX7000 на рабочее напряжение 5 В и ниже. MAX-архитектура второго поколения, на базе которой выполнены высокопроизводительные CPLD семейства MAX7000, содержит гибкие логические матричные блоки (Logic Array Blocks — LAB), объединяемые программируемой коммутационной матрицей. Число таких блоков в микросхемах серии — от 2 до 32. Каждый логический матричный блок содержит 16 макроячеек (рис.1). Таким образом, в микросхеме 32–512 макроячеек. В макроячейку входят программируемая матрица вентилей И и фиксированная матрица вентилей ИЛИ (PAL-конфигурация), а также конфигурируемый регистр с независимыми программируемыми функциями синхронизации, разблокировки, установки/сброса. Для построения сложных логических систем макроячейка может оперировать терминами логического произведения, или р-термами (product terms) расширителя коллективного пользования и быстродействующего расширителя параллельного действия. В результате на макроячейку приходится до 32 р-термов. Все это возможно благодаря размещению на кристалле от 600 до 10000 используемых вентилей. Максимальное число выводов пользовательского В/В — 36–164, время задержки (pin-to-pin) — до 3,5 нс при частоте регистра до 175,4 МГц. Приборы можно репрограммировать для проведения быстрых и эффективных итераций во время циклов конструирования и отладки. Число циклов записи/стирания

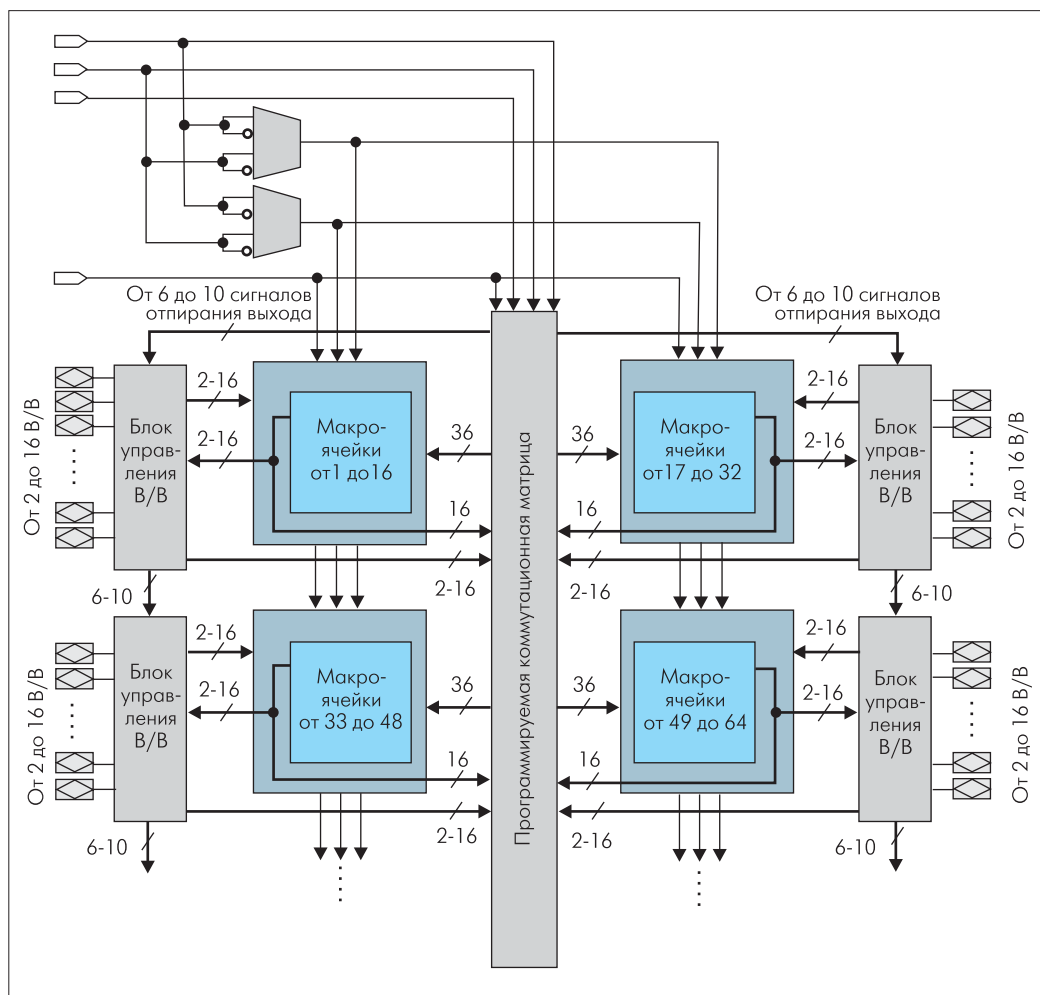


Рис.1. Блок-диаграмма микросхемы серии MAX7000B

достигает 100. Данные, необходимые для реализации логики, хранятся в ЭСРПЗУ. В CPLD семейства использована и гордость фирмы – техника MultiVolt, основанная на уникальной архитектуре банков В/В с отдельным источником питания для каждого банка. Эта техника позволяет согласовывать напряжение ядра с напряжением В/В, что и обеспечивает интерфейс с приборами на напряжение 3,3 и 5,0 В без применения дополнительных схем.

В серию MAX7000B входят самые быстрые микросхемы семейства. Эти CPLD, выполненные по 0,22-мкм технологии с четырехслойной металлизацией, работают при напряжении 2,5 В. Особенности микросхем серии – возможность внутрисистемного программирования и работы при входном напряжении блоков В/В 1,8; 2,5 и 3,3 В. И еще – микросхемы серии поддерживают такие стандарты В/В, как GTL+, используемый на объединительных платах и для интерфейса с быстродействующими процессорами, и SSTL-2/-3, используемый для установления связи с быстродействующими статическими ДОЗУ. Монтируются микросхемы серии в корпусе типа PLCC, TQFP, BGA, PQFP с числом выводов до 256. Цена микросхем по состоянию на конец 2001 года составляла 1,4–29 долл. при закупке партии 10 тыс. штук.

Здесь уместно отметить работу новой, образованной в 1996 году, фирмы Clear Logic по поддержке применения схем семейства в качестве прототипов при переходе к их массовому производству. Лазерная технология фирмы позволяет получать разъемосовместимые с микросхемами MAX7000 изделия типа LPLD, занимающие на 40–60% меньшую площадь и потребляющие на 10–15% меньшую мощность. Причем они будут вдвое дешевле оригинала. Достигнуто

это за счет "вырезания" ненужных транзисторов (более 1 млн. в CPLD MAX7512A с 512 макро-ячейками). Побочный результат применения лазерной технологии – уменьшение емкости разрядной шины на 40%. В архитектуре LPLD предусмотрены встроенные тестовые ячейки, обеспечивающие их 100%-ную проверку.

Но вернемся к фирме Altera. В начале 2002 года она объявила о выпуске CPLD нового семейства Stratix – как она утверждает, самых больших и быстродействующих выпускаемых промышленностью ПЛИС. Схемы семейства содержат более 110 тыс. логических элементов (минимальное число более 10 тыс.), ОЗУ емкостью до 10 Мбит и до 28 блоков цифровой обработки сигнала с встроенными, оптимизированными для цифровой обработки сигнала умножителями (9x9 бит) на частоту до 250 МГц, общее число их 224. И все это – на кристалле, размеры которого на 35% меньше, чем у предшествующих схем. Выполнены микросхемы се-

мейства по 0,13-мкм технологии с полностью медной металлизацией. Рабочее напряжение их – 1,5 В. По мнению фирмы, семейство Stratix – идеальное средство для реализации устройств, предназначенных для таких сложных систем, как память, контрольно-испытательное оборудование, телекоммуникационная инфраструктура. Схемы семейства способны выполнять требования вечно нуждающихся в широкой полосе пропускания систем за счет реализации:

- возможности ускоренного проектирования систем с максимально достижимым быстродействием с помощью соединительной матрицы MultiTrack, используемой в сочетании с новой техникой маршрутизации DirectDrive;

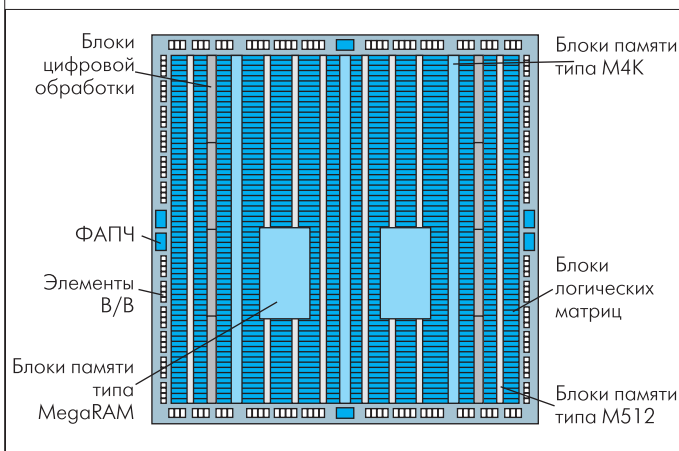


Рис.2. Блок-схема ПЛИС семейства Stratix

- усовершенствованной трехуровневой системы памяти TriMatrix;
- широкополосных блоков сигнальных процессоров;
- средств В/В, поддерживающих различные стандарты дифференциального ввода/вывода (LVD, LVPECL, PCML, HuperTransport) и высокоскоростные интерфейсы систем связи (10G Ethernet XSBI, SFI-4, POS-PHY Level 4 и др.) и обслуживающих до 116 каналов, из которых 80 рассчитаны на скорость передачи до 840 Мбит/с;
- иерархической системы синхронизации, содержащей 12 ФАПЧ и располагающей глобальными (до 16) и локальными (22) ресурсами синхронизации;
- так называемой Terminator-технологии с использованием дифференциальных, параллельно и последовательно включенных резисторных оконечных нагрузок, что позволяет исключить бесчисленные дискретные резисторы, обеспечить целостность сигнала и упростить конструкцию печатной платы.

Заказные логические устройства реализуются на основе двухмерной архитектуры рядов и столбцов LAB, блоков памяти и DSP-блоков ПЛИС семейства (рис.2). Каждый LAB содержит 10 логических элементов (LE), в каждый из которых, в свою очередь, входят четырехходовая таблица перекодировки (LUT), регистр и цепь переноса, обычно функционирующие как единое целое (рис.3). Регистры и LUT могут использоваться для выполнения различных функций, и в итоге число необходимых логических элементов может быть сокращено на 15%.

Блоки ПЛИС объединяются с помощью коммутирующей матрицы MultiTrack с линиями различной длины и быстродействия (рис.4). Для коммутации используется запатентованная фирмой технология DirectDrive, позволяющая при реализации функции одинаково использовать любой ресурс маршрутизации независимо от его положения в приборе. Совместное применение MultiTrack и DirectDrive позволяет свободно добавлять, модифицировать и перемещать различные элементы конструкции, не ухудшая ее характеристик, и тем самым исключить достаточно длительный цикл оптимизации конструкции, обычно требуемый после ее корректировки, т.е. упрощает процесс интеграции системы с блочной организацией.

MultiTrack-структуру дополняет схема синхронизации с малой расфазировкой тактовых импульсов, поддерживающая частоту ядра до 420 МГц. Каждая ПЛИС семейства Stratix имеет до 16 глобальных цепей синхронизации, распределенных по всей микросхеме и обслуживающих всю ее архитектуру. Управляют глобальной цепью внутренняя логика, выходы системы ФАПЧ или входные выходы прибора. Цепь может использоваться и асинхронными сигналами сброса и разблокировки синхронизации. Каждый квадрант микросхемы имеет четыре локальные цепи синхронизации, также управляемые внутренней логикой, выходами системы ФАПЧ или входными выводами. Цепи синхронизации формируют кратчайшие пути в пределах квадранта с минимальной расфазировкой. Для элементов с высоким нагрузочным коэффициентом предусмотрены быстрые локальные цепи синхронизации, управляемые отдельными входными выводами или периферийной шиной В/В. Такая архитектура позволяет сформировать до 40 уникальных цепей синхронизации, на любой узел которых может поступать до 22 независимых тактовых импульсов.

Еще одна "революционная" структура, реализованная в схемах семейства Stratix, – система памяти TriMatrix, состоящая из трех реконфигурируемых модулей оперативной памяти различной емкости и с различными значениями полосы пропускания и глубины разбиения. Это – до 12 модулей MegaRAM емкостью 512 Кбит каждый для систем, требующих большого объема памяти; до 520 модулей M4K емкостью 4 Кбит каждый для систем с памятью среднего объема и до 1118 модулей M512 емкостью 512 бит каждый для универсальных систем. Всего 1650 модулей памяти, т.е. у микросхем семейства Stratix самое большое для современных ПЛИС отношение реализованного объема реконфигурируемой памяти к числу используемых логических элементов. Предусмотрена возможность конфигурирования ширины порта каждого блока памяти. Каждый модуль M512 и M4K может иметь 18- и 36-бит порты, соответственно, обеспечивая наибольшую для современных ПЛИС пропускную способность памяти – от более 1 Тбит/с до 12 Тбит/с (для схемы семейства типа EP1S120 на частоту более 300 МГц с 42000 портами данных). Помимо больших ресурсов памяти, предоставляемых системой TriMatrix,

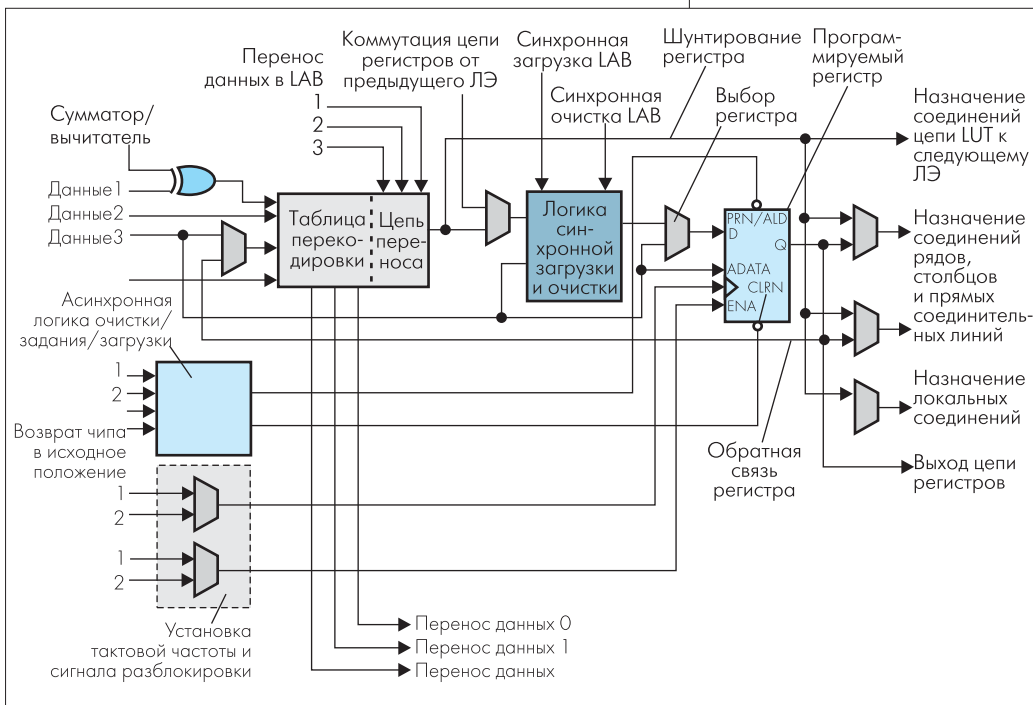


Рис.3. Блок-схема логического элемента (LE) ПЛИС семейства Stratix

ПЛИС семейства Stratix имеют специализированные интерфейсы для работы с быстродействующей внешней памятью, в том числе новейших типов – DDR, SDRAM, QDR II SRAM и ZBT SRAM.

Блоки цифровой обработки в микросхемах семейства – высокопроизводительные встроенные арифметические устройства, содержащие умножители, сумматоры/вычитатели, накопители и конвейерные регистры. Эти блоки могут выполнять многие типичные функции сигнальных процессоров (КИХ-фильтров, БПФ, корреляторов, кодирования/декодирования и т.п.). Применение встроенных ФАПЧ для TDM-передачи позволяет существенно сократить число используемых

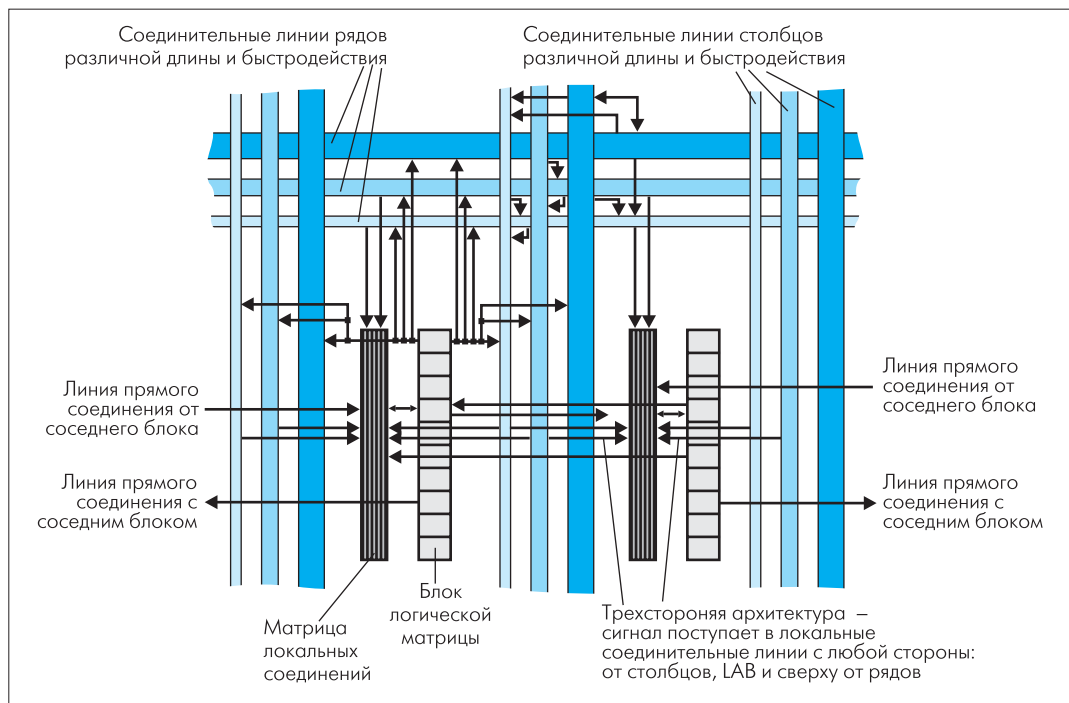


Рис.4. Структура соединительных линий блока логической матрицы (LAB)

логических ресурсов. Так, для реализации функции 100-отводного КИХ-фильтра, работающего на частоте 10 МГц, необходимы 12 тыс. логических элементов на тактовую частоту 100 МГц. Та же функция может быть реализована в одном DSP-блоке на частоту 250 МГц. При этом он будет занимать на 98% большую площадь кристалла. Производительность DSP-блока – $2 \cdot 10^9$ операций умножения с накоплением в 1 сек (2 GMACS). Поддержку проектирования на базе DSP-блоков обеспечивают программные средства Quartus II v.2.0 фирмы Altera.

Планы Altera амбициозны. Она рассматривает микросхемы семейства Startix как самые перспективные на сегодняшний день CPLD. Сейчас фирму привлекают перспективы реализации на их базе средств цифровой обработки сигнала для базовых станций сотовой связи третьего поколения, и возможность составить конкуренцию изделиям фирмы Xilinx, которая захватила большую часть этого рынка, поскольку вышла на него первой. Выпуск первых образцов CPLD типа EP1S25 сложностью 25660 логических элементов фирмой-foundry – TSM намечен на второй квартал 2002 года. Производство семи или более схем семейства запланировано на 2003 год. Цена микросхемы 125 долларов.

XILINX® Если Altera – фирма, специализирующаяся в области CPLD и позднее добавившая в свой портфель FPGA-микросхемы, то Xilinx, наоборот, – создатель FPGA, позже приобретший и разработавший несколько семейств CPLD. Одна из примечательных особенностей ПЛИС фирмы – замена ЭСРПЗУ флэш-памятью, что, по мнению фирмы, позволяет снизить стоимость микросхем и расширить возможности цикла репрограммирования (хотя большинство применений не нуждается в этом).

Чтобы упрочить свое положение на рынке ПЛИС, Xilinx в 1999 году приобрела права на CPLD/PAL фирмы Philips. В числе этих микросхем есть маломощные, но в остальном это обычные CPLD серии 22V10 с числом макроячеек от 32 до 128 и две серии ПЛИС на базе СОЗУ с большим числом макроячеек. Сразу же после приобретения ПЛИС фирмы Philips перед специалистами Xilinx была поставлена задача создать CPLD с высоким быстродействием и сверхниз-

кой потребляемой мощностью для рынка информационной бытовой техники – персональных цифровых помощников, smart-телефонов, цифровых камер, домашней аудиоаппаратуры, Интернет-игровых систем и оборудования беспроводной связи. (По оценкам фирмы IDC, этот рынок к 2005 году превысит 40 млрд. долл.)

Задача была успешно решена, и в начале 2002 года Xilinx объявила о выпуске первых образцов CPLD семейства CoolRunner-II. Тактовая частота микросхем этого семейства с числом макроячеек от 32 до 512 равна 300 МГц (частота переключения триггера 400 МГц), время задержки (pin-to-pin) – 3,5 нс при токе в режиме

покоя менее 100 мкА. Выполнены они на базе запатентованной быстрой с нулевой мощностью (Fast Zero Power – FZP) архитектуры второго поколения. Достоинство ее – формирование полностью цифрового ядра без обычных усилителей считывания с высоким энергопотреблением. Микросхемы изготовлены по 0,18-мкм КМОП-технологии, напряжение питания ядра 1,8 В.

В основе архитектуры микросхем семейства лежит традиционная структура ПЛИС – логические матричные блоки (названные фирмой функциональными – FB), объединяемые глобальной коммутационной матрицей (названной перспективной матрицей соединений – Advanced Interconnect Matrix, AIM) (рис.5). Логические матричные блоки имеют конфигурацию программируемой логической матрицы – PLA (программируемая матрица И и программируемая матрица ИЛИ) и содержат 16 макроячеек каждая. FB-блок имеет 40 точек входа и оперирует 56 р-термами. Такая конфигурация матричного блока позволяет назначать тракт передачи всем р-термам и пользоваться ими любой макроячейке матричного блока. Программное обеспечение в ходе проектирования автоматически вносит изменения в конструкцию, пользуясь 100%-ной возможностью маршрутизации PLA-матрицы функционального блока. Такой чрезвычайно “выносливый” компоновочный блок обеспечивает высокую стабильность разводки выводов при весьма широких возможностях проектирования. Все FB-блоки в микросхеме идентичны независимо от их числа.

Как уже отмечалось, отличительный признак семейства CoolRunner-II – малая потребляемая мощность. Это достигнуто благодаря выполнению микросхем полностью на КМОП-элементах, потребляемая мощность которых невелика. Кроме того, дополнительное снижение энергопотребления обеспечивает запатентованная фирмой технология DataGate, согласно которой каждый вывод блока В/В имеет последовательно включенный ключ, способный блокировать сигналы, не представляющие интереса для разработчика. Для этого к одному из выводов В/В подключен канал “назначения” (assertion rail), по которому можно передавать любую логическую функцию. Если уровень канала низкий, присоединенный к нему транзисторный ключ канала блокирован. А поскольку канал

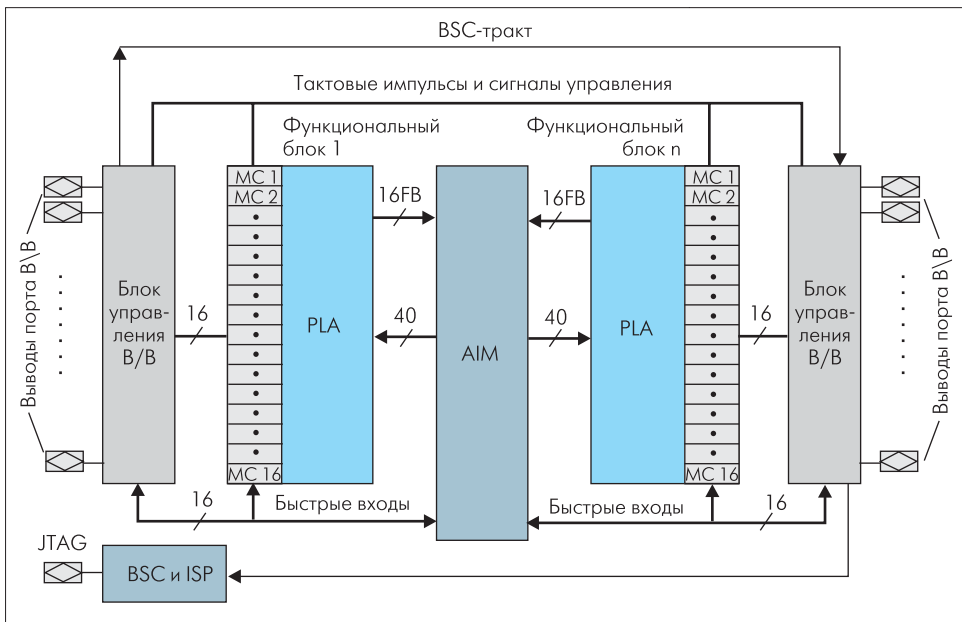


Рис.5. Архитектура ПЛИС семейства CoolRunner-II

объединяет все выводы, которые могут быть задействованы, этот ключ позволяет присоединять любой вывод к коммутирующей матрице, и, следовательно, любой вывод может быть заблокирован. При блокировке состояние вывода автоматически фиксируется защелкой (рис.6). Снижение потребляемой мощности обеспечивают и триггеры макроячейки, конфигурация которых позволяет осуществлять тактирование одним или двумя фронтами импульса, т.е. уменьшить частоту тактовых импульсов (и, следовательно, сократить энергопотребление).

Благодаря тому, что схема полностью выполнена по КМОП-технологии, возможно ее масштабирование и, следовательно, дальнейшая оптимизация стоимости, увеличение плотности элементов и быстродействия при снижении потребляемой мощности. Для микросхем семейства гарантируются 1 тыс. циклов программирования/стирания и 20-летний срок хранения данных. Выбор корпусов,

в которых поставляются микросхемы семейства, велик – CSP, TQFP, PQFP, VQFP, PLCC и BGA. Поддержку проектированию систем на базе CPLD семейства CoolRunner II любой плотности оказывают предоставляемые бесплатно программные средства WebPack или WebFITTER фирмы. Все это способствует высокой конкурентоспособности ПЛИС семейства CoolRunner II на рынке.

Отгрузки опытных образцов микросхем семейства CoolRunner II, изготовленных по 0,18-мкм технологии, начались уже в конце 2001 года. В первой половине 2003 года Xilinx намерена выпустить образцы с 0,13-мкм нормами. Напряжение питания этих микросхем – 1,5–1,2 В. Процессы их производства отработаны Xilinx совместно с тайваньской фирмой-foundry – UMC. Это позволит фирме сократить разрыв

между уровнями технологии изготовления CPLD и FPGA и уже через полгода после появления FPGA с минимальными размерами элементов 100 нм выпустить CPLD с теми же топологическими нормами.

В число ведущих производителей CPLD входят также фирмы Atmel, Cypress Semiconductor, Lattice Semiconductor, STMicroelectronics. Особый интерес представляют микросхемы фирмы Atmel серии 22V10, позволяющие "выжать" дополнительную логику из прибора с малым числом выводов, а также серия ATF1500, претендующая на совместимость по архитектуре с микросхемами семейства MAX7000 компании Actel. "Усиление" микросхем серии за счет увеличения числа входов (до 40 на каждый логический блок) и совершенствования глобальной ком-

мутационной матрицы позволяет фирме утверждать, что по возможностям реализации логических функций ее изделия намного превосходят микросхемы конкурентов с аналогичным числом макроячеек.

Для CPLD фирмы Cypress семейства Ultra37000 с традиционной архитектурой характерны нетрадиционные временные характеристики (никаких задержек на разветвление по выходу, задержек расширителей, дополнительных задержек программируемой коммутирующей матрицы, задержек, вызванных использованием всех 16 р-термов, их управлением или коллективным пользованием). Гордость фирмы – не только выпускаемые ПЛИС, но и предлагаемые программные средства и средства проектирования. За 99 долл. можно получить техническую поддержку и своевременную корректировку программы Warp, предусматривающую синтез на языках VHDL и Verilog, редактор конечного автомата (для Windows), а также анализатор статических

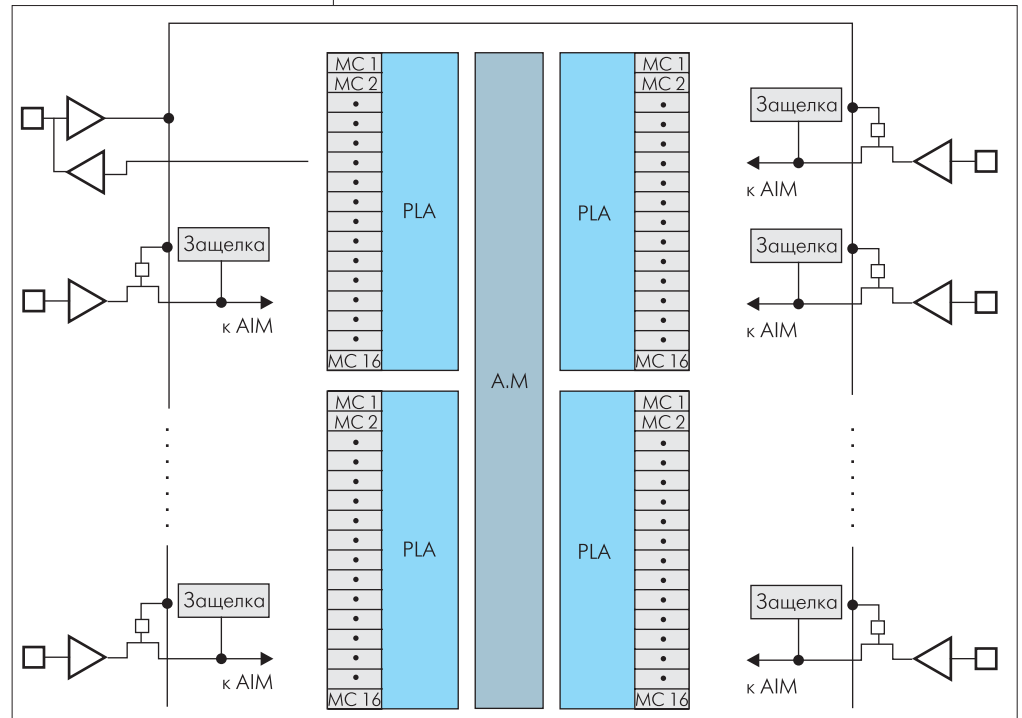


Рис.6. Архитектура DataGate-модуля



временных соотношений. Выпущенный в конце 2001 года комплект программирования WarpISR позволяет программировать микросхемы семейств Ultra37000, Ultra37000V, Delta39K, а также приборы с программируемым интерфейсом. Стоимость его – 175 долл.

Особенность фирмы **Lattice Semiconductor** – выпуск микросхем с оптимизированной структурой, в отличие от подхода "один размер для всего", принятого конкурентами. Изделия линии SuperBig отличаются архитектурами с высокой плотностью (до 1000 макроячеек), линии SuperFast – высоким быстродействием (до 350 МГц), линии SuperWide – наличием блоков с 68 входами, наиболее оптимальных для реализации 32- и 64-бит функций.

ВСТРАИВАЕМЫЕ СПЕЦИАЛИЗИРОВАННЫЕ ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ ЯДРА

Стремительное развитие ПЛИС вызвало к жизни новые интересные их разновидности. Так, поставщики программируемой логики добавили к своим разработкам гибридные программируемые устройства, содержащие ячейки специализированных ИС (ASIC) и IP-блоки программируемой логики, получившие название встраиваемых специализированных программируемых логических ядер. Пока такие ПЛИС выпускает небольшое число фирм – Actel, Adaptive Silicon, Agere Systems, Atmel и Integrated Circuit Technology.

Одно из самых известных ПЛИС этого типа – микросхемы VariCore фирмы **Actel**. Приобретение этой серии в результате покупки компании Prosys Technology позволило фирме наладить сотрудничество со своими бывшими конкурентами – производителями ASIC. VariCore – гибкие высокоэффективные специализированные, репрограммируемые soft-аппаратные FPGA-ядра (EPGA). Основным компоновочный элемент EPGA-ядра – программируемый специализированный вентиляльный блок (Programmable Embedded Gates – PEG), состоящий из матрицы функциональных групп, каждая из которых образована четырьмя парами трехходовых LUT и четырьмя регистрами. PEG-матрица 8x8 содержит до 160 000 ASIC-вентилей с учетом ОЗУ или 2500 вентиляей без него. Изучение технических данных семейства VariCore позволило выявить некоторые интересные особенности микросхем этого семейства, а именно отсутствие схем умножителей или других оптимизированных арифметических устройств, трехуровневых буферов или двунаправленных шин, а также возможности частичной реконфигурации. Однако в них предусмотрены встроенные вертикальные цепи переноса, присоединенные к одному из трех входов LUT. Цепи переноса обеспечивают быстрые соединения и эффективную реализацию арифметических функций. Длина цепи переноса равна числу функциональных элементов в столбце. Регистры функциональной группы совместно пользуются управляющими входами (разблокировки, установки, сброса и синхронизации). В PEG-блоке предусмотрены различные опции каскадирования блоков ОЗУ емкостью 9 кбит каждый с возможностями 9- и 18-бит интерфейса и встроенной логикой флага FIFO. Эти структуры могут использоваться как мосты между логикой ASIC и FPGA, ширина шин и тактовая частота которых отличаются друг от друга.

EPGA-ядра могут иметь не только различное число PEG-блоков в матрице (2x1, 2x2, 4x2 и 4x4), но и форму. По мнению разработчиков, идеальная форма EPGA-ядра – квадратная с минимальными задержками, хотя более эффективным может оказаться ядро прямоугольной или даже L-образной формы. Каждый PEG-блок имеет 48 вводов/выводов вдоль горизонтальной стороны и 32 ввода/вывода вдоль вертикальной. В результате 2x2 матрица таких блоков имеет 640 В/В, а матрица 4x1 с тем же числом PEG – 740 В/В.

Программные средства размещения и маршрутизации VariCore-микросхем рассчитаны на поддержку различных размеров и ориентаций PEG-матриц, благодаря чему отпадает необходимость точно задавать с помощью исходного HDL-кода окончательную физическую топологию. Благодаря иерархическому расположению логических структур и соединительных линий между ними обеспечивается гибкость реализации логического устройства, предсказуемость временных соотношений и числа используемых элементов, а также сокращается длительность процесса размещения элементов и маршрутизации. По данным Actel, проектирование с использованием 70% трехходовых LUT, входящих в EPGA-ядро на основе 4x4 PEG-матрицы, позволяет полностью скомпилировать 500-МГц ПК примерно за 9 минут.

Освоить производство первых коммерческих образцов EPGA-ядер, выполненных по 0,18-мкм технологии с использованием COЗУ, планируют партнеры компании – тайваньские фирмы-foundries TSMC, UMC и Charmed Semiconductor. Рабочее напряжение их равно 1,8 В, тактовая частота – 250 МГц, потребляемая мощность на 100 МГц – 200 мВт (в среднем). В дальнейшем Actel совместно с партнерами намерена использовать в EPGA-блоках другие типы памяти, возможно и флэш.

Специализированная программируемая логика фирмы **Adaptive Silicon** выполнена на базе ячеек АЛУ. Основной компоновочный блок адаптивной многомерной матрицы (Multiscale

Array – MSA) – 4-разрядное АЛУ. Четыре АЛУ формируют квадратичный (Quad) блок, объединяемый с другими такими же блоками коммутирующей матрицей и ресурсами управления. 16 Quad-блоков образуют шестнадцатеричный (Hex) блок, содержащий в среднем 1500 ASIC-вентилей. Фирма уже имеет контрольные чипы, выполненные ТМС по 0,18-мкм технологии партнера и инвестора LSI Logic (назвавшим их ячейкой "жидкой логики" – LiquidLogic). Фирма предусматривает продажу лицензии на технологию этих микросхем по цене 300 тыс. долларов.

Фирма **Agere** предлагает многочисленные IP-ядра, в том числе входящий во многие гибридные чипы компоновочный блок Series 4 на базе FPGA-макроячейки, содержащей 800 логических ячеек. Кроме того, благодаря лицензионному соглашению с компанией Chip Express, фирма выпускает программируемые лазерным излучением логические ядра.

Integrated Circuit Technology, специализирующаяся в области производства простейших ПЛИС – PLA, стремится убедить заказчиков использовать небольшие программируемые логические матрицы, "разбросанные" по ASIC. Основной довод в пользу такого решения – размещение больших блоков на базе р-терм ячеек приводит к значительному удорожанию микросхемы в основном из-за необходимости использовать глобальную коммутирующую матрицу.

Промышленность ПЛИС развивается высокими темпами. Ежегодно ведущие фирмы в стремлении сохранить лидерство на рынке выпускают новые схемы с расширенными возможностями. И, конечно, нас ждет еще много неожиданных и интересных решений, открывающих новые применения для этих микросхем.

EDN, 2001, August 30, p.36-54.

Материалы фирм Altera, Xilinx, Actel, Adaptive Silicon, Cypress, Integrated Circuit Tecnology.

SPIRIT заключила сделку века С Texas Instruments

18 апреля 2002 г. группа компаний Spirit (www.spiritcorp.com) – разработчик и экспортер программных продуктов в области телефонии – объявила о заключении крупнейшей в России продуктовой лицензионной сделки. Spirit выиграла тендер, проводимый компанией Texas Instruments (TI) – мировым лидером в производстве DSP-процессоров (около 50 % мирового рынка) – среди 20 ведущих американских и европейских компаний. Примечательно, что Spirit выиграла тендер не за счет низкой цены – она была средней среди участников тендера, – а благодаря качеству программного продукта.

Продукт компании Spirit – набор 14 программных модулей Client Side Telephony (CST) – позволяет на одном DSP реализовать весь набор функций, необходимых для работы современного телефонного оборудования, от телефонных аппаратов до промышленных и медицинских систем.

Сделка уникальна не только по своим масштабам, но и по условиям соглашения. Впервые программное обеспечение сторонних разработчиков устанавливается непосредственно в ПЗУ самого массового процессора TI TMS320C54, а имя Spirit написано прямо на его корпусе. Процессор с интегрированным ПО получил название C54CST, и его уже можно купить по всему миру, в том числе в России у дистрибьюторов TI. По словам президента группы компаний Spirit Андрея Свириденко, TMS320C54 для коммуникации играет ту же роль, что Pentium для ПК.

В соответствии с лицензионным соглашением Spirit получает роялти с каждой продажи C54CST. Стоит отметить, что Spirit сохранил за собой право продавать CST как отдельный программный продукт. Spirit активно стремилась к сотрудничеству с TI несколько лет. В 1999 году эта компания была включена в программу TI 3rd Party, которая объединяет независимые компании-поставщики ПО, участвующие в разработке решений для процессоров TI.

В пресс-конференции участвовали представители Texas Instruments: David Pahl – General Manager Worldwide DSP C5000 Products (глава самой массовой платформы TI) и Tobias Waldruff – Business Development Manager, отвечающий за партнерские взаимоотношения TI с независимыми компаниями в Европе.

Собств. Инф.

Главному редактору
журнала "ЭЛЕКТРОНИКА: НТБ"
Б.И.Казурову

Уважаемый Борис Иванович!

В журнале "ЭЛЕКТРОНИКА: НТБ", 2001, №3 опубликована интересная статья К. Джуринского "Миниатюрные помехоподавляющие фильтры для РЭА СВЧ", которая может помочь разработчикам радиоэлектронной аппаратуры при выборе отечественных и зарубежных фильтров для подавления электромагнитных помех. К сожалению, в разделе "Отечественные помехоподавляющие фильтры" автор ограничился анализом ранее разработанных проходных конденсаторов и фильтров, не указав характеристики более современных L-C-фильтров Б23-Б и Pi-фильтров Б24. Значения емкости фильтров Б23-Б – до 6,8 мкФ – в 1000 раз больше, чем у приведенных в статье фильтров при номинальном напряжении 50, 250, 500 В, токе 10 и 25 А. Они обеспечивают вносимое затухание до 67 дБ на частотах до 1000 МГц. Фильтры Б24 на номинальное напряжение 100 и 250 В, предназначенные для подавления помех в диапазоне частот от 0,7 до 10000 МГц при затухании 65–70 дБ на частоте 1500 МГц, имеют широкий диапазон групп температурной стабильности и емкостей. Отечественные фильтры Б23-Б и Б24 по своей конструкции и характеристикам сопоставимы с фильтрами лучших фирм (Spectrum Control и др.) и могут заменить ранее разработанные проходные конденсаторы и фильтры.

Для справки сообщаем, что ведущим российским предприятием по созданию конденсаторов и фильтров является не указанное автором НПО "Позитрон", которое прекратило свое существование в 90-х годах, а НИИ "Гириконд", ранее входивший в НПО на правах головного предприятия.

С уважением
Зам. Генерального директора по научной работе НИИ "Гириконд"



Б.П.Беленький

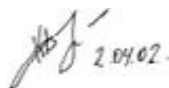
Ответ автора статьи "Миниатюрные помехоподавляющие фильтры для РЭА СВЧ" на письмо Б.П.Беленького

Благодарю за интерес, проявленный к моей работе. По существу сделанных замечаний сообщаю следующее.

Фильтр Б24 не упомянут в статье, поскольку в период ее написания сведений о нем еще не было. Действительно, этот фильтр на номинальные напряжения 100 и 250 В и ток 1; 5 и 10 А, с номинальными емкостью 43–100000 пФ и вносимым затуханием до 70 дБ, выпускаемый ОАО "Кулон" и ОАО "НИИ Гириконд", – лучший из серийных фильтров. К сожалению, он имеет те же недостатки, что и его предшественники – фильтры Б7-2, Б14, Б23, Б23А: недостаточную герметичность и низкую допустимую температуру нагрева.

Известный фильтр Б23Б не включен в перечень серийно выпускаемых фильтров, так как имеет большие габариты и массу и поэтому не относится к числу миниатюрных. По этой же причине в статье не упомянуты и многие фильтры зарубежных фирм.

С уважением



К.Б.Джуринский