

О. Дворников

Создание конкурентоспособных аналоговых БИС

по совмещенной ВТ-JFET-технологии

Проектирование и изготовление аналоговых БИС — одна из областей, где отечественные предприятия могут производить конкурентоспособную и пользующуюся спросом продукцию. Специализированные аналоговые БИС позволяют изготовителям радиоэлектронной аппаратуры уменьшить число комплектующих деталей и их поставщиков, снизить зависимость производства от неритмичности поставок, сохранить ноу-хау, удешевить разработку и изготовление печатных плат. Постоянно растущую потребность в таких изделиях определяет экономическая целесообразность их применения, которая особенно наглядна при замене нескольких зарубежных ИС общего назначения одной отечественной аналоговой БИС.

Большинство аналоговых ИС (прецизионных, быстродействующих, микроомощных) изготавливают по биполярным технологиям, по уровню которых отечественные предприятия не столь значительно отстают от зарубежных, как по уровню КМОП-технологий. Основные параметры КМОП ИС в большей степени зависят от достигнутых минимальных проектных норм и возможностей технологического процесса. Поэтому освоение передовых КМОП-технологий на отечественных предприятиях связано с большими материальными затратами. Характеристики же биполярных аналоговых БИС в первую очередь определяются уровнем схмотехнических, топологических и конструктивных решений. Кроме того, тщательное схмотехническое моделирование с учетом паразитных параметров интегральных элементов и применение многомодульных шаблонов проекционной фотолитографии существенно снижают затраты и риск при проектировании и серийном производстве этих схем.

Для аналоговых БИС ряд зарубежных фирм разработали комплиментарные биполярные технологии, позволяющие формировать на одном кристалле вертикальные $n-p-n$ - и $p-n-p$ -транзисторы. Эти технологии обеспечивают хорошие частотные и усилительные свойства приборов, однако довольно сложны и дорогостоящи. В качестве хорошей альтернативы им возможно применение комплиментарной пары: $n-p-n$ -биполярный транзистор (BJT) и p -канальный полевой транзистор, управляемый $p-n$ -переходом (JFET). Такое решение имеет ряд достоинств. Прежде всего оно позволяет максимально увеличить коэффициент усиления напряжения K_u каскада с активной нагрузкой:

$$K_u = S R_{\Sigma} \quad (1)$$

где S — крутизна усилительного элемента 1 (рис.1), а R_{Σ} — суммарное сопротивление всех цепей в высокоимпедансном узле (параллельное соединение выходного дифференциального сопротивления усилительного элемента 1, активной нагрузки 2 и входного сопротивления последующего каскада 3).

Увеличение степени интеграции и связанное с этим уменьшение вертикальных размеров приводит к усилению эффекта Эрли, уменьшению выходного дифференциального сопротивления

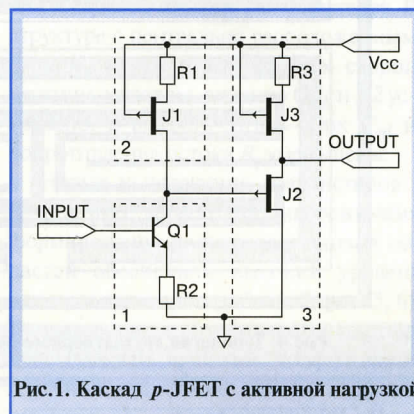


Рис.1. Каскад p -JFET с активной нагрузкой

биполярных транзисторов [1] и падению коэффициента усиления напряжения. Типовое значение напряжения Эрли вертикальных $n-p-n$ -транзисторов современных БИС составляет 20–40 В, а горизонтальных $p-n-p$ — 15–30 В, что гораздо меньше напряжения Эрли дискретных приборов (100–200 В). Выходное дифференциальное сопротивление p -JFET можно повысить, увеличив топологическую длину канала, но даже при минимальной длине оно больше, чем для $p-n-p$ -транзисторов. Использование этой возможности, а также применение истоковых повторителей для

соединения с последующими каскадами позволяет увеличить коэффициент усиления каскада с активной нагрузкой. Коэффициент усиления будет ограничиваться только напряжением Эрли (U_{AN}) $n-p-n$ -транзистора:

$$K_{UMAX} = S_{MAX} \frac{U_{AN}}{I_C} \approx \frac{U_{AN}}{\Phi_T} \quad (2)$$

где I_C — коллекторный ток $n-p-n$ -транзистора Q1 (рис.1), Φ_T — температурный потенциал.

Кроме того, каскады с p -JFET-транзисторами обеспечивают работу с близкими к нулю входными синфазными сигналами при однополярном отрицательном напряжении питания. Применение p -JFET с разделенными затворами обеспечивает рекордно малый входной ток смещения — около 50 фА [2]. Аналоговые ключи на их основе гораздо проще, чем на биполярных транзисторах. JFET — более радиационно стойкие приборы, чем биполярные и КМОП-транзисторы. Во входных каскадах JFET обеспечивают наименьшие шумы при работе с высокоомными источниками сигналов [3–5]. Кроме того, технология p -JFET совместима с процессом изготовления биполярных ИС. Для формирования p -JFET требуется лишь минимально изменить технологический маршрут [2,6,7].

Широкие возможности интегральных p -JFET и простота их реализации по сравнению с высококачественными вертикальными $p-n-p$ -транзисторами выдвинули задачу разработки совмещенной ВТ-JFET-технологии для малошумящих и быстродействующих устройств.

При разработке этой технологии наиболее сложные проблемы были связаны с минимизацией шума и увеличением граничной частоты усиления p -JFET транзистора.

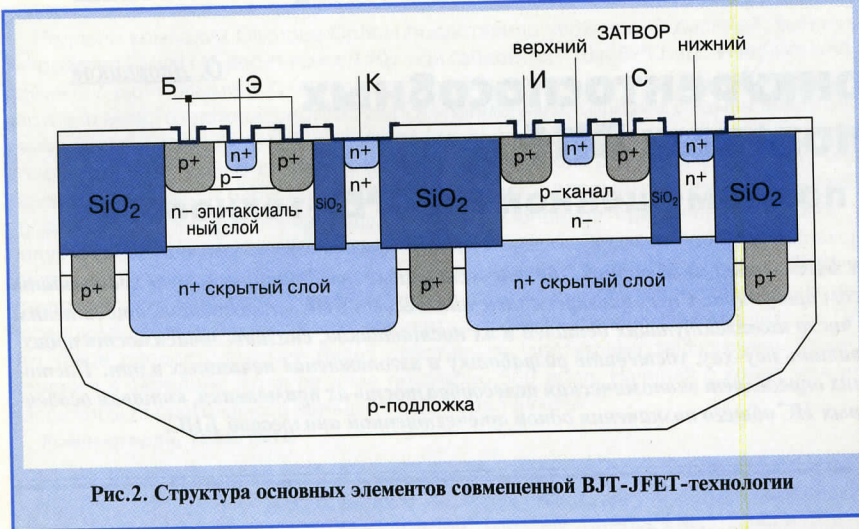


Рис.2. Структура основных элементов совмещенной ВJT-JFET-технологии

Структура основных элементов совмещенной технологии и эквивалентная электрическая схема *p*-JFET показаны на рис. 2, 3. Сопротивления R1 и R2 соответствуют токопроводящим областям от внешнего контакта затвора до рабочей области транзистора. R_{sub} – сопротивление подложки от *n*⁺-скрытого слоя нижнего затвора до контакта к подложке, через который подают обратное смещение. Барьерные емкости C_{gdt} и C_{gst} связаны с переходом “верхний затвор–канал”, емкости C_{gdb} и C_{gsb} – с переходом “нижний затвор–канал”, C_{sub} – барьерная емкость “нижний затвор–подложка”. Пренебрегая влиянием R1 и R2, граничную частоту усиления транзистора *f_T* можно оценить по формуле [7]

$$f_T = \frac{g_{mi} + g_{mb}}{2\pi (C_{gst} + C_{gsb} + C_{gdt} + C_{gdb} + C_{sub})}, \quad (3)$$

где *g_{mi}* и *g_{mb}* – крутизна верхнего и нижнего затворов соответственно. Выражение (3) справедливо, если верхний и нижний затворы объединены.

Граничная частота усиления при управлении только по верхнему затвору –

$$f_{T1} = \frac{g_{mi}}{2\pi (C_{gst} + C_{gdt})}, \quad (4)$$

а по нижнему –

$$f_{T2} = \frac{g_{mb}}{2\pi (C_{gsb} + C_{gdb} + C_{sub})}, \quad (5)$$

Увеличивать граничную частоту можно двумя способами.

Поскольку концентрация примеси в верхнем затворе *p*-JFET обычно намного больше, чем в нижнем, то наибольшее пережатие канала производит верхний затвор и *g_{mi}* > *g_{mb}*. Барьерная емкость C_{gst} существенно меньше сумм C_{gsb} и C_{sub}. Следовательно, *f_{T1}* > *f_{T2}*.

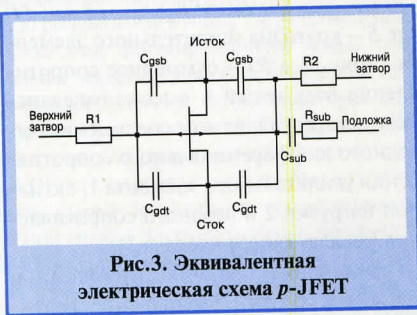


Рис.3. Эквивалентная электрическая схема *p*-JFET

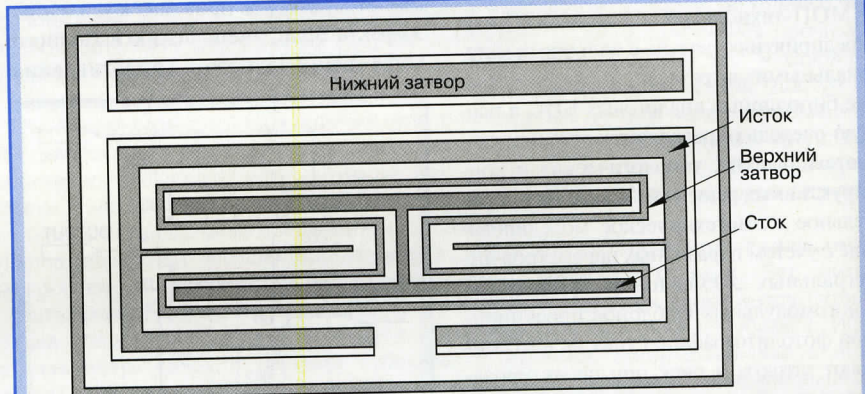


Рис.4. Топология двухзатворного *p*-JFET с разьединенными затворами

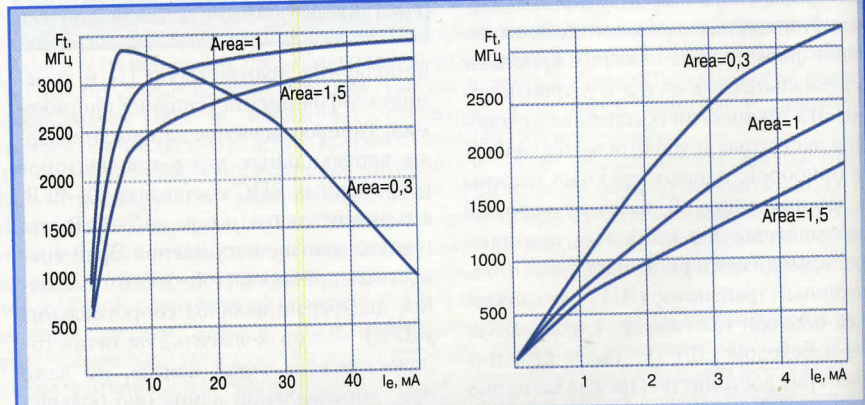


Рис.5. Зависимость граничной частоты усиления *p*-*p*-транзисторов от тока эмиттера. Здесь и далее AREA – параметр моделирующей программы Pspice, коэффициент площади, описывающий зависимость параметров полупроводниковых элементов от их топологических размеров и численно равный количеству одинаковых параллельно соединенных элементов

Таким образом, управление *p*-JFET только верхним затвором позволяет добиться высокой граничной частоты. Для изоляции емкости подложки от верхнего затвора используют *p*-JFET структуры с отдельными выводами верхнего и нижнего затворов. Сопротивление верхнего затвора R1 можно уменьшить соединением металлизации с *n*⁺-областью, формируемой только во вскрытом окне окисла. Недостаток двухзатворного JFET заключается в том, что для предотвращения взаимодействия верхнего и нижнего затворов необходимы сложные цепи смещения [2].

В то же время *f_T* возрастает при увеличении крутизны нижнего затвора благодаря повышению в нем концентрации примеси. Этот способ обычно применяют в технологических процессах, использующих тонкий эпитаксиальный слой, при глубине залегания области *p*-канала, соприкасающейся со скрытым *n*⁺-слоем. Крутизна нижнего затвора *gmb* существенно возрастает, а емкости C_{gsb} и C_{gdb} увеличиваются незначительно. Другое преимущество такой структуры – возможность умень-

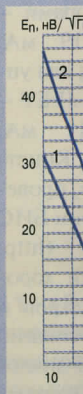


Рис. 1. Зависимость граничной частоты усиления от тока эмиттера

шения емкости затвор-канал. К тому же затвор-канал имеет меньшую емкость по сравнению с затвором-подложка, что приводит к увеличению частоты усиления.

Подключение затвора к источнику сигнала осуществляется через резистор R1, что приводит к уменьшению частоты усиления.

Таким образом, для увеличения частоты усиления необходимо уменьшение емкости затвор-канал и увеличение крутизны затвора.

Первое преимущество такой структуры – возможность уменьшения емкости затвор-канал и увеличения крутизны затвора.

Отметим, что при увеличении площади затвора частота усиления увеличивается.

Рис. 2. Структура основных элементов совмещенной ВJT-JFET-технологии

“ЭЛЕКТРОНИКА: Наука, Технология, Бизнес” 3-4/98

ие p -JFET
 позволяет
 ой частоты.
 подложки от
 ют p -JFET
 выводами
 ов. Спро-
 R1 можно
 металлиза-
 рмируемой
 окисла. Не-
 JFET за-
 одотвраще-
 его и ниж-
 сложные

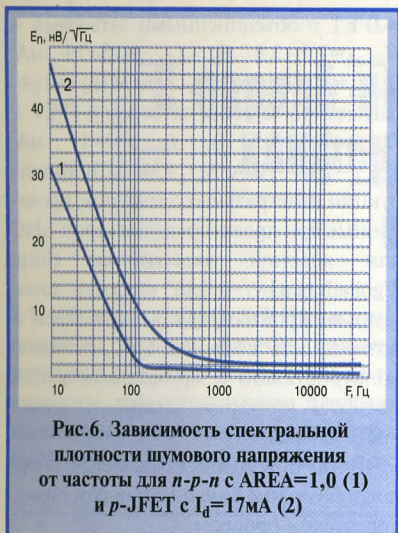
ает при уве-
 его затвора
 ем концент-
 соб обычно
 ких процес-
 й эпитаксии
 залегания
 ающей со-
 на нижнего
 озрастает, а
 иваются не-
 шество та-
 ьность умень-

Исток
 Верхний
 затвор
 Сток

МИ



а эмиттера
 нент площади,
 ологических
 ентов



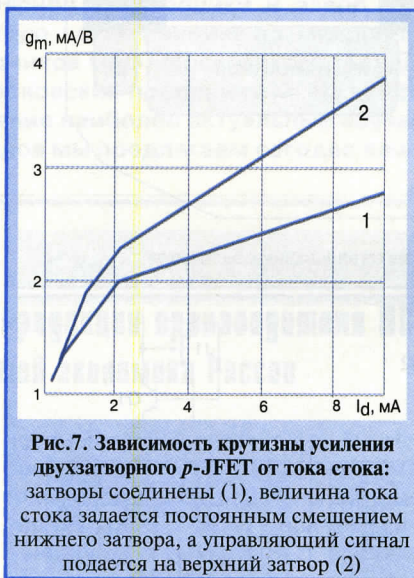
шения емкости C_{sub} при изоляции окислом. К сожалению, емкости "нижний затвор-подложка" и "нижний затвор-канал" остаются соединенными с затвором. Это препятствует уменьшению входной емкости каскадов, особенно при сильном эффекте Миллера, и вызывает большой входной ток смещения, определяемый площадью p - n -перехода "нижний затвор-подложка".

Подчеркнем, что повышение граничной частоты p -JFET-транзистора позволяет для транзистора минимальной площади увеличить крутизну усиления, что влечет за собой снижение спектральной плотности шумового напряжения. А уменьшение тока утечки затвора снижает спектральную плотность шумового тока.

Так как оба способа увеличения граничной частоты не свободны от недостатков, в ВJT-JFET-технологии предусмотрена возможность управления p -JFET только верхним затвором, а также увеличение крутизны затвора. Первый способ осуществлен за счет центрального расположения области стока, окруженной со всех сторон верхним затвором (рис. 4); второй – посредством встречной диффузии сильнолегированного n^+ -скрытого слоя и углубленной области p -канала. В последнем случае область пространственного заряда нижнего затвора распространяется не в слабо легированный n^- -эпитаксиальный слой, а в переходную зону между n^- -эпитаксиальным и n^+ -скрытым слоем.

Отметим ряд важных технических решений, реализованных при проектировании активных элементов совмещенной ВJT-JFET-технологии. Для получения малой длины затвора L (до 1,5 мкм) и, таким образом, большой крутизны усиления p -JFET n^+ -затвор формировался во вскрытом окне в окисле. Аналого-

чно сформирован и n^+ -эмиттер n - p - n -транзистора, что обеспечивает малое распределенное сопротивление базовой области. Благодаря контактированию металлического межсоединения с областью верхнего затвора по всей ее протяженности уменьшилось сопротивление R1. Так как межсоединение стока не может проходить через вскрытое окно верхнего затвора, второй уровень метал-



ла использован для трассировки стока через первый металл верхнего затвора. В структуре с центрально расположенным стоком, окруженным со всех сторон верхним затвором, влияние C_{sub} и $R2$ устранено, а емкость затвор-сток C_{gd} и сопротивление истока R_s уменьшены.

Новые конструкции транзисторов в сочетании с доработанными режимами формирования полупроводниковых областей обеспечили высокий уровень электропараметров (табл. 1, 2; рис. 5, 6). В первых экспериментальных партиях был получен высокий коэффициент усиления тока $\beta > 200$ в схеме с общим эмиттером n - p - n -транзистора [6]. Одна-

Таблица 1
Характеристики маломультиящего n - p - n -транзистора (AREA=1)

Зависимость емкости от обратного напряжения				
U, В	0,0	1,0	3,0	5,0
C_{cb} , пФ	1,93	1,53	1,24	1,13
C_{be} , пФ	1,45	1,17	0,87	0,79
C_{sub} , пФ	2,22	1,79	1,51	1,40

Таблица 3
Основные характеристики p -JFET-транзисторов

Тип транзистора	$U_{ds}=3,0$ В				C, пФ, U=0 В		f_T , МГц	
	I_d max, мА	U_{pinch} , В	g_m max, мА/В	λ^{-1} , В	канал-затвор	подложка-затвор	минимальная	номинальная, $U_{ds}=5$ В
с объединенными затворами	15-19	2,2-2,8	11,3-14,4	80-90	9,2	5,8	120	230
с управлением верхним затвором	7,0-11	4,75-5,5	2,6-3,3	90-100	3,1	-	134	340

ко из-за более тонкой активной базы транзистора возросло ее распределенное сопротивление, а напряжение пробоя коллектор-эмиттер составило ~ 8 В. В дальнейшем β была уменьшена, но увеличено пробивное напряжение U_{ceo} и снижено сопротивление базы.

Разработанная ВJT-JFET-технология позволяет формировать p -JFET как с разведенными, так и с объединенными затворами. Их основные параметры приведены в табл. 3. Граничная частота усиления p -JFET рассчитывалась по формулам (3) и (4) для двух случаев: для минимальной f_T (емкость измерялась при обратном напряжении U=0 В), и номинальной f_T (емкость – при U=5 В). На рис. 6 показана спектральная плотность шумового напряжения p -JFET с объединенными затворами при $I_{dmax}=17$ мА.

Проведенные измерения выявили интересные особенности двухзатворных p -JFET: при малых токах стока крутизна усиления g_m при управлении только верхним затвором (рис. 7, кривая 2) больше, чем при управлении двумя объединенными затворами (кривая 1). Поскольку емкость верхнего затвора намного меньше емкости нижнего, то, учитывая возможность отсоединения емкости подложки от верхнего затвора, весьма привлекательным схемотехническим решением представляется включение двухзатворного p -JFET с разведенными затворами. При этом на верхний затвор подают управляющий сигнал, а на нижний – постоянное напряжение, задающее рабочий ток стока.

Таблица 2
Характеристики малосигнального n - p - n (AREA=0,05) и горизонтального p - n - p -транзистора минимальной площади

Электропараметры	n - p - n	p - n - p	
Коэффициент усиления β	при $I_e=0,1$ мА	>80	>20
	при $I_e=1,0$ мА	>100	>5
Граничная частота усиления f_T , МГц	>3000	>30	
Пробивное напряжение, В	U_{cbo}	>15	>20
	U_{ebo}	>5	>20
	U_{ceo}	>10	>15

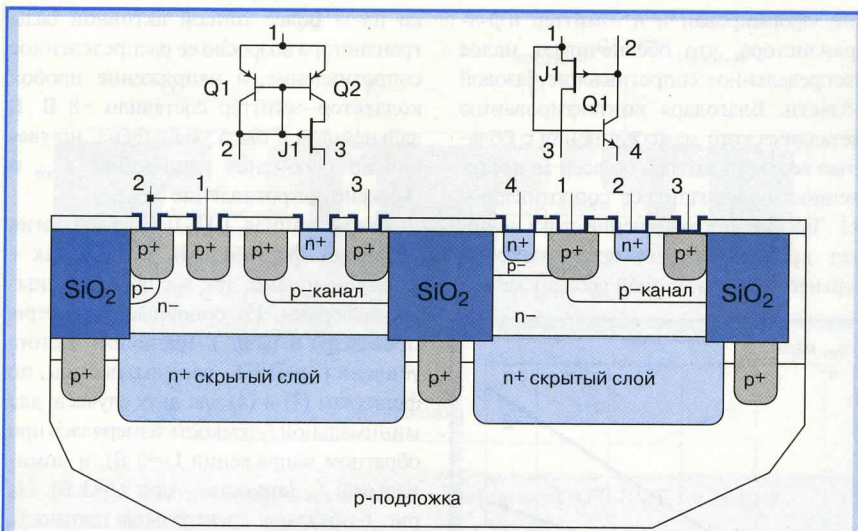


Рис. 8. Структура функционально-интегрированных элементов

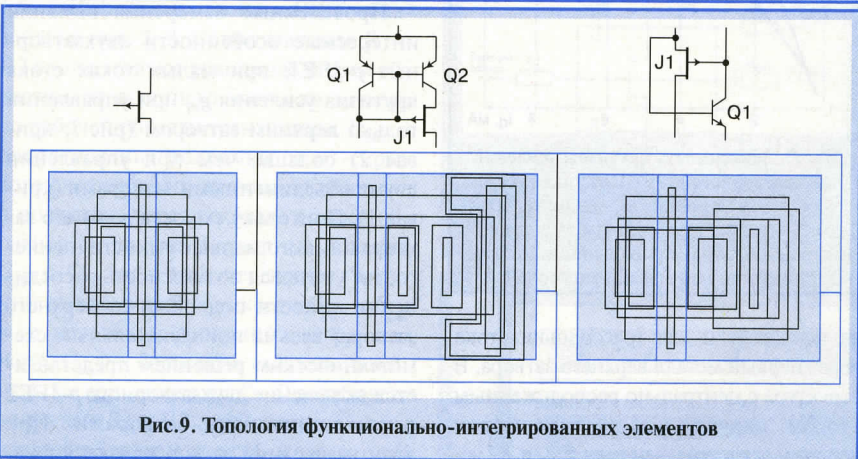


Рис. 9. Топология функционально-интегрированных элементов

Кроме транзисторов по совмещенной ВТТ-JFET-технологии формируются резисторы на слоях p -базы и p -канала с удельным сопротивлением слоя $R_s=550$ Ом/квadrat и $R_s=5500$ Ом/квadrat, соответственно. Более того, можно создавать новые элементы, в частности высокоомные пинч-резисторы на слоях p -канала и n -эпитаксиальной пленки с удельным сопротивлением слоя $R_s=9$ кОм/квadrat и $R_s=10$ кОм/квadrat, соответственно; МОП-конденсаторы, обладающие уменьшенной паразитной емкостью с подложкой, а также функционально-интегрированные элементы (ФИЭ) токовых зеркал, содержащих в одном изолированном кармане соединенный p -JFET и n - p - n -транзистор и p -JFET и p - n - p -транзисторы (рис. 8). Топология функцио-

нально-интегрированных элементов в сравнении с отдельным p -JFET приведена на рис. 9. Очевидно, что ФИЭ занимают на кристалле площадь, несущественно превышающую площадь одного транзистора.

Итак, новый технологический процесс для реализации маломощных и быстродействующих аналоговых БИС позволяет одновременно формировать p -JFET (как с соединенными, так и с разъединенными затворами) и маломощные n - p - n -транзисторы. Благодаря отдельному формированию верхнего затвора и p -канала электропараметры p -JFET оптимизированы без ухудшения характеристик n - p - n -транзисторов. Для n - p - n -транзисторов получены параметры $f_T \geq 3$ ГГц, $\beta \geq 100$, $R_{bb'} \geq 20-40$ Ом; для

p -JFET с объединенными затворами — $U_{pinch}=2,2-2,8$ В, $I_{dmax}=15-19$ мА, $g_{mmax}=11-14$ мА/В, $f_T \geq 230$ МГц; для управляемого верхним затвором p -JFET — $U_{pinch}=4,7-5,5$ В, $I_{dmax}=7-11$ мА, $g_{mmax}=2,6-3,3$ мА/В, $f_T \geq 340$ МГц. Конструкции интегральных элементов, проведенные при проектировании серии БИС для ядерной электроники (<http://goliath.hep.by/~tchek>), показали хорошую воспроизводимость параметров и возможность создания БИС, успешно конкурирующих с зарубежными аналогами по критерию стоимость—сложность—качество.

Автор будет рад предоставить более подробную информацию о новом технологическом процессе.

Литература

1. Воронин А.В., Горовой В.В., Дворников О.В., Духновский Л.Я. Особенности создания высококачественных транзисторных структур аналого-цифровых БИС. — Электронная техника. Сер.3. Микроэлектроника, 1986, вып. 1 (117).
2. Close J.P., Counts L.W. A 50 — fA Junction — Isolated Operational Amplifier. — IEEE Journal of Solid-State Circuits, 1988, v. SC-23, N 3.
3. Baturitsky M.A., Dvornikov O.V. Multichannel Monolithic Front-end System Design. Part 1. Peculiarities of the Monolithic Transistor Application in Head Stages. Construction and Operation Mode Optimization. — Nuclear Instruments and Methods in Physics Research, 1996, v. A378.
4. Дзарданов А.Л., Китайгородский М.Д., Лобова Г.Н., Масленников Н.М. Выбор маломощного транзистора для предварительного усилителя низкой частоты. — Радиотехника, 1987, N2.
5. Gatti E., Hrisoho A., Manfredi P.F. Choice between FETs or bipolar transistors and optimization of their working points in low noise preamplifiers for fast pulse processing. Theory and experimental results. — IEEE Transactions on Nuclear Science, 1983, v.NS-30, N1.
6. Baturitsky M.A., Dvornikov O.V., Reutovich S.I. and Solomashenko N.F. Multichannel Monolithic Front-end System Design. Part 2. Microwave Bipolar-JFET Process for Low-noise Charge-sensitive Preamplifiers. — Nuclear Instruments and Methods in Physics Research, 1996, v. A378.
7. Nanver L.K., Goudena E.J.G. Design Considerations for Integrated High — Frequency P-channel JFET'S. — IEEE Transactions on Electron Devices, 1988, v. ED-35, N11.

Представляем автора статьи

Дворников Олег Владимирович. Главный специалист ОАО МНИПИ (г. Минск), кандидат технических наук. Окончил Белорусский государственный университет по специальности “Радиофизика и электроника” в 1980 году. Разработал 32 аналоговых и аналого-цифровых ИС различной степени интеграции. Имеет 112 научных трудов, в том числе 23 авторских свидетельства и патента. Область научных интересов — схемотехника, топология и моделирование аналоговых биполярных ИС. Контактный телефон — (0172) 264-587, факс (0172) 628-881

“Мы не рассматриваем заимствования схем патентами на уровне на основе данного случая. Это не является нарушением рыночных правил. Это считается допустимым, так как являются новые полупроводники”

“ЭЛЕКТРОНИКА