

ТРЕХМЕРНАЯ КРЕМНИЕВАЯ ТЕХНОЛОГИЯ ЧТО, ГДЕ, КОГДА?

ЧАСТЬ I

В. Юдинцев vlad@elvees.com

Сегодня кремниевая технология осваивает изготовление микросхем с минимальными размерами элементов в диапазоне нанометров, в связи с чем нарастает беспокойство о возможности сохранения существующих темпов развития полупроводниковой промышленности. Это обусловлено не только достижением пределов масштабирования планарных (двухмерных, 2D) транзисторов, но и постоянно возрастающей сложностью формирования наноразмерных структур и в результате ростом стоимости производства [1]. Тем не менее, большинство экспертов, работающих в полупроводниковой промышленности, полагают, что кремниевая технология сохранит свое лидирующее положение до 20-нм топологических норм. Но для этого предстоит решить немало сложных задач. С одной стороны, 20-нм технология с учетом противодействия различного рода помехам представляется практическим пределом для транзистора, содержащего всего несколько десятков электронов. С другой стороны, вследствие чрезвычайной плотности размещения ключей (транзисторов) растет вероятность рассогласования характеристик элементов и интерференции. По-видимому, устранить эти проблемы и поддержать развитие микроэлектроники до топологических норм менее 10 нм сейчас возможно лишь с помощью трехмерной (3D) технологии.

Дальнейшее развитие микроэлектроники на основе пока новейших нанотехнологий — процесс длительный и весьма дорогостоящий (рис.1) [1]. Тем не менее, существует немало примеров, свидетельствующих о серьезности намерений крупных производителей освоить выпуск изделий с минимальными размерами элементов ≤ 20 нм. Так, промышленная полупроводниковая компания GlobalFoundries подписала соглашение о долгосрочном стратегическом партнерстве с бельгийским дизайн-центром IMEC по программе масштабирования КМОП-технологии до субмикронного уровня. Программа предусматривает исследования материалов и приборов, инструментальных средств и технологических операций, проблем интеграции, а также совершенствование

средств измерения характеристик, необходимых для создания логических схем и схем памяти следующих поколений с топологическими нормами ≤ 20 нм. Планируется тесное сотрудничество с другими ведущими промышленными компаниями, заводами, дизайн-центрами и поставщиками материалов, входящими в экосистему центра IMEC* [2], в области жесткой УФ-литографии (EUV), формирования наноразмерных межсоединений и трехмерной интеграции.

* IMEC — фирменный знак, зарегистрированный следующими организациями: IMEC International, действующей в рамках законодательства Бельгии, IMEC Belgium, финансируемой правительством Фландрии, IMEC the Netherlands, входящей в Holst Centre и финансируемой правительством Голландии и компании IMEC Taiwan.

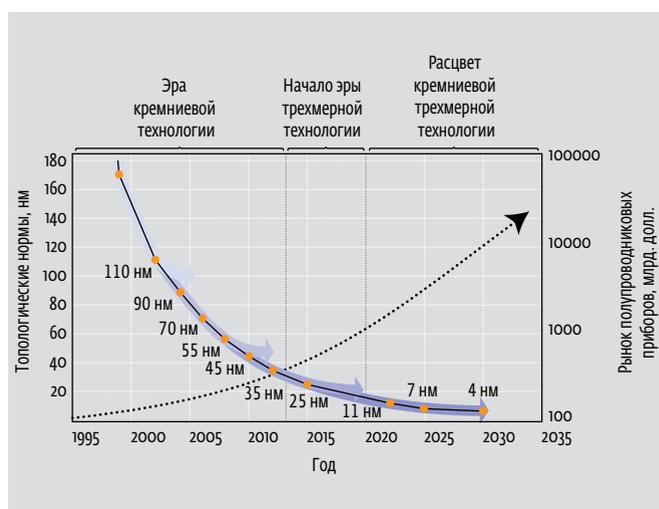


Рис.1. Динамика развития кремниевой технологии

Компания Intel недавно объявила о намерении построить завод Fab42, ориентированный на производство микросхем по 14-нм технологии. Строительство завода (стоимостью более 5 млрд. долл.) по обработке пластин диаметром 300 мм должно начаться в середине 2011 года и, как ожидается, завершится в 2013 году [3].

Но на развитие технологии лишь немногие фирмы могут выделить такие средства, как компания Intel. И здесь на передний план выходит 3D-интеграция, у которой следующие преимущества перед современной планарной (2D) технологией:

- устранение неточности размеров транзисторов, изготавливаемых с нанометровыми нормами;
- возможность использования современной инфраструктуры производства кремниевых микросхем, в особенности литографического оборудования;
- формирование фундамента будущей многофункциональной электроники с иерархической архитектурой, где каждый слой предназначен для выполнения специфической функции [1].

В международной маршрутной карте развития полупроводниковой технологии ITRS 3D-интеграция, которая позволяет выполнять принцип "больше чем Мур" [4], рассматривается, как ключевая техника, способная преодолеть "кризис проводников".

МЕТОДЫ ТРЕХМЕРНОЙ ИНТЕГРАЦИИ

В общем случае 3D-интеграция предусматривает формирование на кристалле со сквозными

отверстиями через кремний (Through-Silicon-Via, TSV) набора "приборных слоев", где например, первый слой содержит устройства обработки данных, второй – схемы памяти, третий – считывающие устройства и т. д.

Сейчас существуют три основных метода 3D-интеграции:

- интеграция кристаллов;
- формирование 3D-транзисторных структур на кристалле;
- формирование 3D-структур на пластине в ходе конечных операций обработки (Back-End-Of-Line, BEOL) [5].

3D-интеграция кристаллов

3D-интеграция кристаллов реализуется путем сборки полностью обработанных и протестированных автономных кристаллов методом перевернутого кристалла (flip Chip) и разварки проволочных выводов. К 3D-микросхемам этого типа относятся трехмерные сборки в корпус (System-in-Package, SiP), формируемые интеграцией утоненных кристаллов и разваркой их проволочных соединений (рис.2а), а также сборки типа корпус на корпусе (Package-on-package, PoP), получаемые путем интеграции SiP-модулей памяти и логики с помощью межсоединений и контактов корпусированных модулей. При этом габариты корпуса соответствуют размеру подложки (Wafer level Package, WLP). Благодаря стандартизации площади корпусов памяти в верхнем слое PoP-системы можно располагать модули памяти различных производителей. При этом схемы памяти монтируются в верхнем слое путем разварки проволочных выводов, тогда как логические устройства в нижнем слое все чаще монтируются методом перевернутого кристалла с использованием медных контактов.

Основное достоинство 3D-сборки кристаллов – уменьшение размеров изготавливаемого устрой-

ства. Плотность упаковки элементов такая же, как и в 2D-микросхемах, но сигнал в таких устройствах распространяется так же, как и в многокристальных системах. Поэтому сейчас решения SiP и PoP в основном используются в новейших моделях сотовых телефонов (особенно смартфонов), в плеерах iPod, планшетных компьютерах, играх, и цифровых видеокамерах.

3D-интеграция возможна и путем объединения кристаллов с помощью TSV-межсоединений (рис.2б). Существуют различные типы TSV, но все они представляют собой проводящую дорожку в кремнии, изолированную от остального кристалла или пластины. Проводящая дорожка, как правило, выполняется из металла или легированного кремния. В качестве изолятора применяется оксид кремния, нитрид кремния или диэлектрик, разработанный компанией-изготовителем сквозных соединений. TSV-соединения можно создавать до изготовления структур активных компонентов и в процессе соединения кристаллов, но до утонения верхнего кристалла или пластины (via first) или после изготовления структур, соединения пластин и утонения верхней пластины (via last). Соединяемые слои могут иметь покрытия из органического клея, пленок оксида или металла.

Процесс формирования TSV достаточно сложен, но выполним. Самая простая операция этого процесса – создание сквозного отверстия с помощью лазерной прошивки или глубокого ионного травления. Получение надежного диэлектрического покрытия отверстия и заполнение его проводящим материалом со структурной целостностью и без пустот – сложная задача. Сквозные отверстия могут полностью заполняться металлом или металл может осаждаться на боковые поверхности отверстия. Но в любом случае проводимая термообработка при осаждении металла может привести к механическому напряжению подложки, "всплыванию" сквозного соединения, а иногда и к его дефекту.

Изучение влияния различных металлов на механические напряжения сквозных отверстий, проведенное в Университете штата Техас в Остине, показало, что наилучшее согласование с коэффициентом теплового расширения кремния у вольфрама. В результате вольфрамовые сквозные отверстия вызывают наименьшие механические напряжения, приводящие к растрескиванию кремния (рис.3). Тем не менее, поскольку вольфрам вызывает напряжения ~1 ГПа, толщина вольфрамовой пленки не должна превышать нескольких микрон. Поэтому при

возможности выбора большинство изготовителей по-прежнему отдают предпочтение низкоомной меди.

Утонение кристалла для открытия соединения может привести к его деформации и растрескиванию. Работы по преодолению этих проблем успешно проводят компании Austriamicrosystems, ALLVIA, IMT, IPDIA и Silex Microsystems.

3D-интеграция кристаллов предусматривает и присоединение кристаллов к пластине (Die-to-Wafer, D2W) (рис.2в). Для получения электрических контактов используются TSV или разварка выводов. 3D-интеграция осуществляется как с помощью операций корпусирования (захват и монтаж), так и технологических операций. Путем размещения на пластине нескольких кристаллов меньших размеров можно реализовать 3D-систему на кристалле.

Формирование 3D-транзисторных структур на кристалле

При создании таких трехмерных структур транзисторы могут изготавливаться следующими способами:

- между слоями межсоединений (рис.2г) в пленке рекристаллизованного кремния, для получения которого проводится лазерный нагрев либо быстрый термический отжиг участка осажденного на пластину аморфного кремния. Транзисторы изготавливаются с помощью процесса, совместимого с BEOL-операциями. Трехмерные структуры транзисторов могут использоваться в качестве повторителей для межсоединений на кристалле или сигнальных усилителей для оптических межсоединений;
- послойно в пленках поликристаллического кремния, получаемых осаждением аморфного материала поверх слоя с готовыми транзисторными структурами и его последующего лазерного нагрева или быстрого отжига для получения поликремния (рис.2д). Соединения приборов выполняются с помощью вольфрамовых межслойных сквозных отверстий. Выбор вольфрама обусловлен тем, что этот металл выдерживает температуру преобразования аморфного кремния и формирования транзисторов (~600°C). Такие структуры перспективны для создания энергонезависимой памяти с невысокой пропускной способностью;
- послойно в пленках монокристаллического кремния (рис.2е). Слой монокристаллического

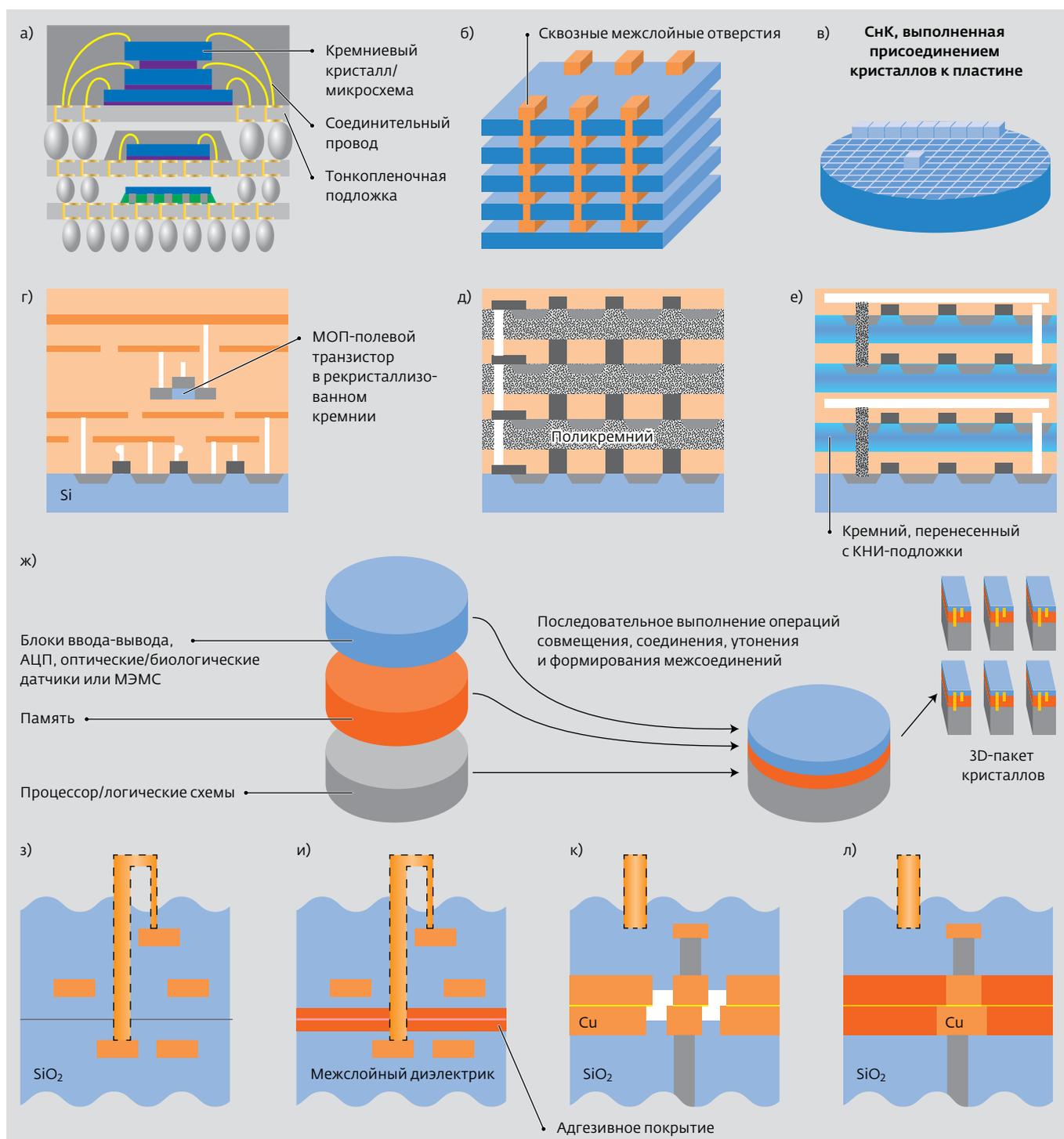


Рис.2. Основные виды 3D-интеграции: интеграция кристаллов (а–в); формирование 3D-транзисторных структур (г–е); интеграция пластин (ж–л)

кремния переносится с КНИ-пластины на оксидную поверхность слоя с готовыми транзисторами. Промежуточные сквозные отверстия заполняются поликремнием и/или вольфрамом. Такие структуры пригодны для создания высокоплотных СОЗУ и флеш-памяти NAND-типа.

3D-интеграция пластин

Процесс интеграции пластин, совместимый с конечными операциями обработки, выполняется соединением пластин и реализацией TSV-межсоединений. Этот метод позволяет объединять пластины из различных материа-

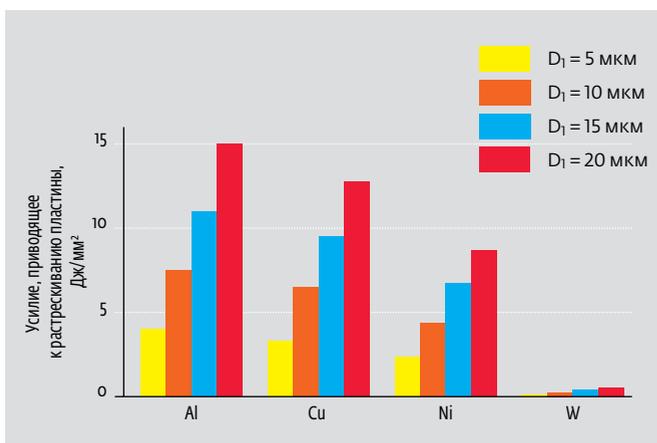


Рис.3. Сопоставление значений усилия, приводящего к растрескиванию пластин, различных материалов

лов, содержащих различные функциональные элементы, выполненные по различным технологиям, т.е. осуществлять гетероинтеграцию микросхем (рис.2ж). 3D-гетероинтеграция выполняется с помощью традиционного оборудования манипулирования пластинами, в котором предусмотрена защита от статического электричества. Плотность TSV-межсоединений при гетероинтеграции пластин зависит от точности совмещения пластин, которая сейчас не превышает 1 мкм.

Можно выделить четыре основных метода соединения пластин:

- окисленными поверхностями, (рис.2з);
- с помощью клейкой полимерной пленки, после создания структур (via last) (рис.2и);
- с помощью медных контактных площадок, до создания структур (via first) (рис. 2-к);
- с помощью обработанных химико-механической полировкой медных контактных площадок с клейким слоем (via first) (рис. 2л).

ДОСТОИНСТВА И НЕДОСТАТКИ ОСНОВНЫХ МЕТОДОВ 3D-ИНТЕГРАЦИИ

Поскольку технология 3D-интеграции все еще находится на ранней стадии развития, сравнивать ее различные методы пока трудно. В целом эта технология обеспечивает высокую плотность интеграции компонентов при малом факторе, малых габаритах корпуса и меньшей потребляемой мощности и, следовательно, меньшую стоимость 3D-устройств в сравнении с 2D-схемами. Так, по оценкам специалистов компаний Intel и AMD, площадь отдельных кристаллов в двухкристалльной 3D-схеме составляет 50-80 мм², в трехкристалльной схеме – 33-53 мм² (против 100-160 мм² для однокристалльной схемы).

К достоинствам метода интеграции кристаллов также относятся применение заведомо бездефектных кристаллов (Known Good Dies, KGD) и достаточно короткие сроки выпуска изделия на рынок благодаря гибкости процесса сборки (табл.1). Здесь следует отметить достоинства постоянно совершенствуемой PoP-технологии. Тактовая частота первых процессоров, выпущенных по этой технологии в 2005 году компанией Amkor, увеличилась с 300 МГц при шаге соединений с верхним слоем комбинированной памяти (синхронное ДОЗУ и флеш-память NOR-типа) 0,65 мм до 1 ГГц при шаге соединений с верхней маломощной DDR памятью 0,4 мм. Ожидается, что в ближайшее время тактовая частота достигнет 2,5 ГГц (при высокоплотных соединениях с верхним слоем маломощной DDR2 памяти). В итоге по данным компании TechSearch International, исследующей тенденции развития методов корпусирования микроэлектронных приборов, среднегодовые темпы прироста продаж PoP-устройств за период 2009-2015 годов составят 31% [6].

Однако затраты при массовом производстве трехмерных устройств методом интеграции кристаллов велики, что связано с необходимостью тестирования кристаллов и относительно малой производительностью оборудования их установки.

Формирование 3D-транзисторных структур на кристалле позволяет получать чрезвычайно высокую плотность размещения транзисторов с помощью передовых методов фотолитографии. К тому же, затраты на массовое производство невелики. Но параметры технологического процесса (в частности, температурный режим) могут влиять на свойства транзисторов и ограничивать выбор используемых материалов — кремнием и вольфрамом.

3D-интеграция пластин позволяет получать требуемые для каждой системы электрические, высокочастотные, оптические, тепловые и механические характеристики. Так, первоначально с помощью оптимизированных технологических процессов можно изготовить логику и память на отдельных пластинах, а затем объединить эти пластины в ходе 3D-интеграции. Тем самым увеличивается выход годных систем и уменьшается их стоимость. При объединении каждая последующая пластина утоняется. Первая пластина, толщина которой не уменьшается, служит механическим основанием. В результате пакет пластин по толщине почти не отличается от основной пластины, что допускает монтаж в корпус с помощью существующего оборудования. Благодаря наличию множества коротких (длиной

Таблица 1. Сравнение основных видов 3D-интеграции [5]

Технология	Достоинства	Проблемы	Основное применение
3D-интеграция кристаллов	Применение технологии годных кристаллов (KGD) Возможность гетерогенной интеграции	Низкая производительность при массовом производстве	Автономные схемы памяти, схемы микропроцессорной памяти, объединение дискретных приборов с микросхемой
Формирование 3D-транзисторных структур на кристалле	Применение литографии и обработки на уровне пластины	Тепловые ограничения Ограничения в выборе материалов	Схемы памяти большой емкости, КМОП-микросхемы с низкими характеристиками
3D-интеграция пластин	Множество коротких межслойных соединений Возможность гетерогенной интеграции Низкая стоимость при массовом производстве	Сложность конструирования и технологии	Любые системы с высоким уровнем интеграции, высокоскоростные системы передачи данных, память, микропроцессоры с памятью большого объема, устройства отображения информации, схемы смешанной обработки сигнала и средства беспроводной связи, устройства с низкой потребляемой мощностью

в несколько микрометров) межслойных соединений обеспечивается широкая полоса пропускания данных и чрезвычайно малые значения задержки сигнала и потребляемой мощности. По-видимому, гетерогенная 3D-интеграция пластин с TSV-межсоединениями, совместимая с процессами конечной обработки благодаря возможности объединения различных материалов, технологических процессов и функциональных компонентов – наиболее перспективная технология формирования трехмерных систем.

ЛИТЕРАТУРА

1. **Kim K. and Jung S-M.** 3-D technology for nano-electronics. Nanotechnology Materials and Devices Conference, 2006, p.84-85.
2. GLOBALFOUNDRIES, IMEC partner on sub-22nm, GaN-on-Si. – www.electroiq.com/index/display/semiconductors-article-display/9037521631/articles/solid-state-technology/semiconductors/industry-news/technology-news/2011/4/globalfoundries-imec-partner-on-sub-22nm-gan-on-si.html
3. **Deffree S.** Intel targets with new fab. – http://www.edn.com/article/512821-Intel_targets_14_nm_with_new_fab.php.

4. **Хэйер Дж., Петенко А.** Полупроводниковые технологии в Европе. Пути развития. – ЭЛЕКТРОНИКА: НТБ, 2010, №6, с.126-128.
5. **lu J-Q.** 3-D Hyperintegration and Packaging Technologies for Micro-Nano Systems. – Proceedings of the IEEE, January 2009, v.97, №1, p.18-30.
6. Will PoP delay TSV advantage? TechSearch International analyzes the 3D technologies – www.ic-marketplace.com/2011/05/will-pop-delay-tsv-adoption-techsearch-international-analyzes-the-3d-technologies.html