

МЕЖДУНАРОДНАЯ КОНФЕРЕНЦИЯ IEDM САМЫЕ БЫСТРЫЕ, САМЫЕ НЕБОЛЬШИЕ, САМЫЕ НЕОБЫЧНЫЕ МИКРОСХЕМЫ

М.Гольцова

Международная конференция по электронным приборам IEDM (International Electron Devices Meeting) – один из выдающихся мировых форумов, на котором производители и научные организации представляют крупные технологические достижения в области физики, проектирования, производства и моделирования полупроводниковых и электронных приборов. В связи с развитием технологий КМОП-транзисторов нанометровых размеров, новых типов продвинутой памяти, дисплеев, сенсоров, МЭМС, новейших квантовых и наноустройств, приборов аккумулирования энергии на конференции, состоявшейся 5–7 декабря 2011 года, основное внимание было уделено трем проблемам. Первая – насколько реально в последующие три–пять лет развитие технологии трехмерных транзисторов типа FinFET. Вторая – конкуренция между "несдающейся" памятью на фазовых переходах (PCRAM), магнитной памятью на основе эффекта передачи спинового момента (Spin Torque Transfer MRAM, STT-MRAM), так называемой трековой (гоночной или "ипподромом") памятью (Racetrack memory) компании IBM и резистивной памятью (MRAM). Третья – развивающиеся технологии – устройства на графене, туннельные полевые транзисторы, в том числе на полупроводниковых соединениях III–V и нанопроводах.

ВОЙНА ТРАНЗИСТОРОВ?

Технические достоинства полевых транзисторов с полностью обедненным каналом (fully-depleted) активно изучаются и широко обсуждаются высококвалифицированными специалистами полупроводниковой промышленности и научного сообщества. Сегодня существуют две основные архитектуры полностью обедненных транзисторов: планарные и трехмерные FinFET. Планарные транзисторы с полностью обедненным каналом выполняются на сверхтонком слое кремния на КНИ-подложке (FD SOI), FinFET с чрезвычайно узкими ребрами, встроенными в кремний, – на кремниевой или также на КНИ-подложке. И сегодня перед микроэлектронной промышленностью стоит вопрос выбора наиболее приемлемой для ее развития технологии:

планарной FD SOI-технологии или Tri-Gate FinFET (трехмерных полевых транзисторов с тройным затвором). Эта проблема нашла отражение и в докладах, представленных на конференции IEDM 2011 года [1].

22-нм Tri-Gate-транзисторы серьезно заявили о себе за семь месяцев до открытия IEDM, после того как компания Intel объявила о намерении развивать эту "революционную" технологию. Ожидалось, что компания на конференции подробно ее представит. Но на открытии конференции "технологический гуру" – руководитель отделения архитектуры компании Марк Бор – во вступительном слове лишь сообщил, что на основе проверки большого числа контрольных схем задержка транзисторов с тройным затвором при напряжении 0,7 В сокращается на 37% или

активная мощность в непрерывном режиме – на 50% по сравнению с современной 32-нм логикой. При этом Бор утверждал, что 22-нм процессоры на основе Tri-Gate-технологии, которые должны появиться в 2012 году в персональных компьютерах, докажут возможность значительного улучшения подпороговой крутизны и уменьшения напряжения питания на 0,2 В. Бор отметил, что, конечно, эта технология несколько запоздала, но ее стоило дожидаться. Благодаря Tri-Gate-технологии Intel уже на три года опережает конкурентов, и, возможно, в будущем этот разрыв увеличится.

Правда, по мнению главного редактора объединения Semiconductor Manufacturing and Design Дэвида Ламмерса, 22-нм процессоры семейства Ivy Bridge на основе Tri-Gate-транзисторов появились слишком поздно для того, чтобы компании, анализирующие перспективы различных технологий, такие как Chipworks (Канада), могли полностью их оценить к открытию IEDM. Тем не менее, перспективы применения finFET-технологии широко обсуждались на конференции. С критикой трехмерной 22-нм технологии Intel выступил бывший ее сотрудник, а ныне технический директор компании SuVolta Томпсон. Он отметил, что хотя компания добилась 19%-ного улучшения потребляемой мощности процессора Ivy Bridge (77 Вт на тактовой частоте 3–3,5 ГГц против 95 Вт для 32-нм процессоров семейства Sandy Bridge), таких результатов можно было добиться и у планарного 22-нм транзистора. Масштабирование планарного транзистора позволяет уменьшать потребляемую мощность на 15–20%, так что структура с тройным затвором не дала существенных преимуществ.

При реализации первых промышленных образцов новых типов finFET для получения оптимальных соотношений технологических процессов придется решать множество проблем, например, определять высоту ребра с точностью до нанометра, что выдвигает высокие требования к соотношению процессов литографии и травления. Необходимо упростить контроль примеси, попадающей по диагонали в близко расположенные ребра, определить контактные области и меры по уменьшению их сопротивления. Современное технологическое оборудование не пригодно для нанесения диэлектрика под затворы ребер. Таким образом, производство вертикальных транзисторов потребует освоения новых техпроцессов. Вот почему сейчас основная задача Intel – отладить производственные процессы изготовления Tri-Gate-структуры и подготовиться к переходу

к следующей топологической норме (14 нм), при которой появится возможность полной реализации достоинств транзисторов к моменту их планируемого выпуска в 2013 году.

Несмотря на то, что трехмерные Tri-Gate-транзисторы и 22-нм микросхемы на их основе, очевидно, уже появятся в этом году, большая часть производителей полупроводниковой электроники сосредоточили свои усилия на совершенствовании технологии планарных полностью вырожденных устройств.

Планарные транзисторы с полностью вырожденным каналом на КНИ-подложках проще проектировать и изготавливать, чем трехмерные полевые транзисторы. При этом они практически не отличаются от Tri-Gate-транзисторов ни по своим рабочим параметрам, ни по энергопотреблению. Этим и объясняется интерес ведущих полупроводниковых компаний к этой технологии.

Компания STMicroelectronics первой на конференции IEDM сообщила о планах использовать FD SOI-технология при реализации программы построения 28-нм КМОП-схем [2]. В микросхеме, выполненной в рамках программы, помимо сверхтонкого полностью обедненного слоя на изолирующей подложке, будут применены метод обратного смещения, встроенное DDR ДОЗУ на тактовую частоту 400 МГц (площадь ячейки памяти на основе TiN/ZrO₂/TiN-конденсатора равна 0,08 мм²/Мбит) и сквозные отверстия в кремнии (TSV). Благодаря созданию нижнего затвора под утопленным оксидным слоем толщиной 25 нм и отсутствию эффекта подложки пороговое напряжение транзисторов может изменяться в пределах ±100 мВ при напряжении питания 1 В, а благодаря обратному смещению управляющий затвор может быть использован для увеличения или снижения порогового напряжения на 100 мВ и тем самым обеспечивать либо повышенное быстродействие, либо энергосбережение. Всего в разрабатываемой микросхеме процессора предполагается использовать 1024 сквозных отверстия диаметром 6 мкм и глубиной 50 мкм с пропускной способностью 12,8 Гбит/с при передаче данных DDR оперативной памяти по 512-бит шине на частоте 200 МГц.

Транзисторы выполнены по технологии первичного изготовления металлического затвора с диэлектриком с высокой проницаемостью (gate first High-k/Metal Gate, НКМГ), поддерживаемой альянсом IBM Semiconductor Development (помимо IBM и STMicroelectronics в него входят Chartered Semiconductor Manufacturing, GlobalFoundries,

Infineon Technologies, Samsung Electronics). По утверждению участников альянса, в сравнении с finFET FD SOI-технология, требующая меньшее число операций легирования, намного проще. Дороже лишь КНИ-подложка (толщина кремния КНИ-подложки, используемой STM, – 7 нм, толщина утопленного слоя оксида – 25 нм). Но более простой и, следовательно, более дешевый процесс изготовления прибора компенсирует высокую стоимость подложки. К тому же подложки со сверхтонким слоем кремния STM поставляют компании Soitec, SEH и MEMC. STM планирует выпустить опытный образец 28-нм системы процессора приложений на кристалле для смартфонов во II квартале 2012 года.

Как показала конференция, существует несколько интересных подходов к выбору наиболее перспективной технологии для построения будущего поколения 14-нм микросхем, и в этом году нужно внимательно следить за различными разработками компаний. Так, пока не ясно, какую технологию поддержит концерн IBM: finFET на кремниевой или КНИ-подложке и/или планарную FD SOI-архитектуру. Концерн уже использовал КНИ-технология при изготовлении встраиваемого ДОЗУ серверных процессоров семейства Power. Правда, пока неизвестно, какую платформу примет концерн – планарную или вертикальную КНИ-архитектуру.

О намерении выполнить следующее поколение микросхем с 14-нм нормами по технологии полностью обедненного канала заявила компания GlobalFoundries. Но на IEDM доклад компании касался лишь основных показателей, определяющих выбор той или иной технологии: от требований, предъявляемых к характеристикам системы, потребляемой мощности и возможности масштабирования, до производственных затрат, рисков производства, надежности, простоты проектирования и возможности реализации различных систем на кристалле. К критическим критериям качества компания относит максимальную частоту f_{max} , вычислительные возможности при неизменной плотности мощности (измеряемые в МГц/мВт/мм²) и обеспечиваемое быстродействие в зависимости от потребляемой мощности при заданной стоимости (Performance vs Power vs Cost, PPC, измеряемое в МГц/мВт/долл.) [1].

Транзисторы с глубоко обедненным каналом (Deep Depletion Channel, DDC), представленные небольшой компанией SuVolta и позволяющие значительно сократить энергопотребление существующих микросхем, могут вызвать интерес

у производителей, не заинтересованных в переходе к finFET- или FD SOI-архитектурам [3]. DDC-транзисторы, выполненные по технологии, входящей в платформу маломощных КМОП-схем PowerShrink компании SuVolta, позволяют на 50% сократить энергопотребление схемы без ухудшения ее быстродействия, а также уменьшить напряжение питания и масштабировать элементы микросхемы до менее 20 нм. По утверждению разработчиков, при уменьшении управляющего напряжения DDC-технология позволит сократить энергопотребление на 80% и более.

Работа новой структуры основана на формировании глубокого обедненного канала при подаче напряжения на затвор. Канал образуют три слоя: нелегированный или слабо легированный, слой регулировки порогового напряжения V_T и экранирующий слой (рис.1). Нелегированный слой обеспечивает удаление примеси материала канала при подаче смещения на затвор, что позволяет сократить произвольную флюктуацию примеси и тем самым уменьшить управляющее напряжение и повысить подвижность носителей. Область регулировки порогового напряжения устанавливает значение V_T , не ухудшая подвижности носителей в канале, и улучшает среднеквадратическое отклонение напряжения по сравнению с этим показателем обычных транзисторов. Экранирующая область удерживает носители заряда и задает глубину обедненной области. Она также может выполнять функцию динамической регулировки порогового напряжения.

Основные преимущества транзисторов DDC-структуры:

- меньшее на 30% рабочее напряжение без ухудшения рабочих характеристик;
- меньшие токи утечки;
- возможность установления различных значений порогового напряжения в маломощных схемах;
- ослабление требований к проектированию "защитных" средств;
- повышенный выход годных изделий;
- более высокая подвижность носителей;
- уменьшение вносимой стоком нагрузки канала (Drain Induced Barrier Loading, DIBL);
- уменьшение влияния эффекта подложки, что обеспечивает лучшее управление пороговым напряжением.

Разработанная SuVolta технология DDC легко адаптируется под существующие производственные линии. Согласно оценкам, приведенным на сайте TechCrunch, применение DDC-технологии

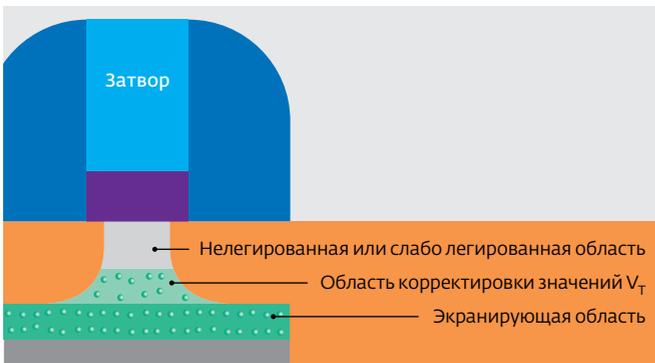


Рис.1. Транзистор с глубоким обедненным каналом

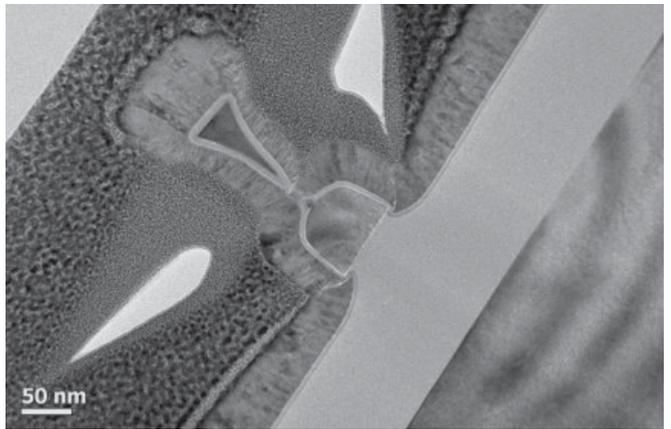


Рис.2. Поперечное сечение треугольного ребра полевого транзистора с GAA-архитектурой

позволит производителям интегральных микросхем сэкономить миллиарды долларов на покупку нового оборудования. Отмечается также, что теоретически технологией компании может воспользоваться и компания Intel.

Лицензию на DDC-технология приобрела компания Fujitsu Semiconductor, которая планирует во второй половине 2012 года выпустить интегральные схемы на ее основе. Сообщение Fujitsu на конференции IEDM было посвящено надежности СОЗУ емкостью 576 Кбит с рабочим напряжением до 0,425 В (против 1 В для современных схем памяти такого объема), выполненных на основе DDC-технологии по 65-нм КМОП-процессу [4]. Интерес к платформе PowerShrink компании SuVolta проявили и такие разработчики планшетных компьютеров, как ARM и Broadcom.

Разработчики утверждают, что DDC-технология сможет найти применение в широчайшем диапазоне полупроводниковых приборов – от обычной оперативной памяти до систем на кристалле и сетевых контроллеров. При этом любой класс устройств на основе DDC-транзисторов получит ощутимые достоинства не только в плане экономии электроэнергии, но и тепловыделения.

Сейчас компания SuVolta в сотрудничестве с несколькими производителями ведет разработку 28-нм техпроцесса, результаты которой планируются опубликовать в 2012 году.

Таким образом, на конференции не был получен однозначный ответ на вопросы: окажется ли FinFET-технология через два-три года пригодна для освоения в производстве и смогут ли FD SOI и DDC-транзисторы конкурировать с FinFET?

А что происходит со стандартной планарной КМОП-технологией?

Стандартная планарная технология не была обойдена вниманием на IEDM. Компания Samsung Electronics намерена наращивать

быстродействие, энергетическую эффективность и плотность упаковки традиционных планарных 20-нм микросхем [5, 6]. При разработке нового поколения микросхем использована проверенная в ходе создания предыдущего поколения 32-нм схем Gate Last НКМГ-технология. Для снижения рассеиваемой мощности в новых микросхемах применен диэлектрик второго поколения, позволивший уменьшить емкость межсоединений и задержку проводящих линий. Применение напряженного кремния пятого поколения позволило также уменьшить потребляемую мощность и генерируемое тепло.

Рабочее напряжение 20-нм микросхем составило 0,9 В при значениях управляющего тока 770 мкА/мкм для п-канальных транзисторов и 756 мкА/мкм для р-канальных. Расстояние между затворами равно 80 нм, что и позволило получить микросхемы со сверхвысокой плотностью упаковки. Характеристики нового поколения микросхем улучшены на 30% по сравнению с маломощными 28-нм схемами при том же значении тока в спящем режиме. С помощью нового техпроцесса компанией созданы несколько перспективных структур, в том числе СОЗУ с шеститранзисторными ячейками памяти. Разработчики считают, что запас помехоустойчивости схемы при рабочем напряжении 0,9 В составит 250 мВ. Ожидается, что новые 20-нм микросхемы найдут применение в смартфонах, планшетных компьютерах и т.п., а также в инфраструктуре связанных ИТ-систем.

Samsung, как, впрочем, и TSMC, – серьезный конкурент Intel в области прогрессивной полупроводниковой технологии – не планирует использовать FinFET до 14-нм поколения микросхем.

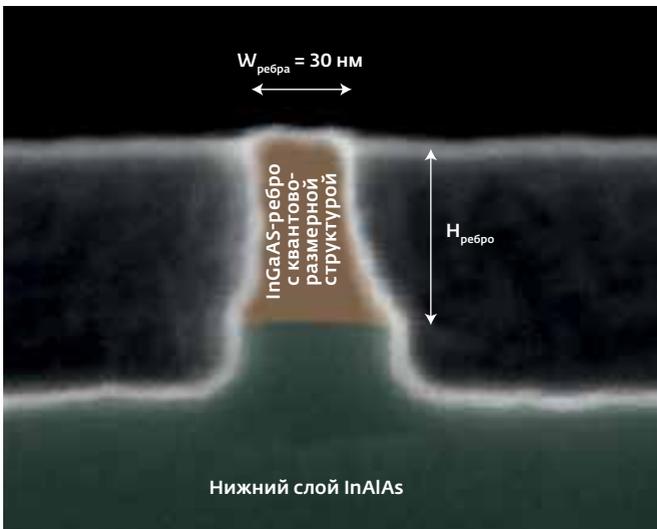


Рис.3. InGaAs Tri-Gate FinFET

Поэтому качество 20-нм технологии компании и возможность ее быстрого промышленного освоения определяют будущий рейтинг Intel в списке ведущих полупроводниковых компаний.

Интерес вызвал и разработанный совместными усилиями компаний Sony, Panasonic, Fujitsu и Межуниверситетским центром микроэлектроники IMEC простой НКМГ-процесс изготовления 30-нм архитектуры планарной КМОП-схемы с двойным каналом и одним затвором. Пороговое напряжение п-канальных транзисторов схемы составляет 0,12 В, р-канальных – 0,16 В. На основе разработанной двухканальной архитектуры был изготовлен кольцевой генератор, задержка которого при напряжении питания 0,7 В составила 17 пс, а потребляемая мощность – 1 мкВт. Разработанная архитектура может изготавливаться как по технологии Gate First, так и Gate Last [6, 7].

При переходе к 32-нм топологическим нормам разработчики вынуждены были заменить термически выращиваемый оксид кремния и поликремниевый затвор осаждаемым диэлектриком с высокой диэлектрической постоянной и металлическим затвором. В результате можно считать, что КМОП-технология в "чистом" виде исчезла. Для перехода к 20-нм и менее технологиям нужно будет решать еще более трудные задачи

Таким образом, дальнейшее развитие кремниевых интегральных микросхем связано не только с масштабированием, и на конференции были представлены новые экспериментальные процессы изготовления полупроводниковых приборов.

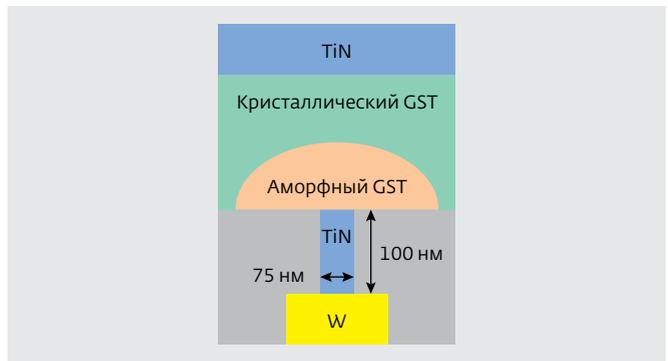


Рис.4. Элемент коммутирующей ячейки Стэнфордского университета

ПЕРСПЕКТИВНЫЕ ТЕХНОЛОГИИ

Каждая технология освоения новой топологической нормы требует применения новых материалов и новых структур. Этим объясняется интерес к сообщению IMEC о результатах многолетних работ по созданию р-канальных транзисторов с германиевым каналом и п-канальных транзисторов с каналом на основе соединения III-V [8, 9]. Для изготовления таких транзисторов специалисты IMEC применили двухэтапный процесс, заключающийся в вытравливании канавки в кремниевой подложке, осаждении в нее пленки германия и последующего ее профилирования для исключения образования межфазных границ доменов. Большое внимание пришлось уделить и вопросам совершенствования границы раздела диэлектрика с высоким k и материала канала. Несмотря на низкую стабильность, была показана возможность пассивации германия оксидом германия GeO₂ при изготовлении как р-, так и п-канальных МОП-транзисторов. Для пассивации новых приборов рассматривалась возможность применения сверхтонких пленок кремния, атомных слоев триметилалюминия (Al₂(CH₃)₆, или ТМА) и сульфидных пленок. По утверждению исследователей, все пассивирующие покрытия показали хорошие результаты.

Дальнейшие усилия разработчиков будут направлены на совершенствование р-канальных транзисторов с германиевым каналом за счет применения напряженного материала, а также новых исходных материалов и методов осаждения бездефектных пленок GeSn.

По мнению разработчиков, новые (для кремниевой технологии) материалы перспективны и для создания таких приборов, как туннельные гетеротранзисторы и приборы на нанопроводах. По утверждению руководителя исследовательских

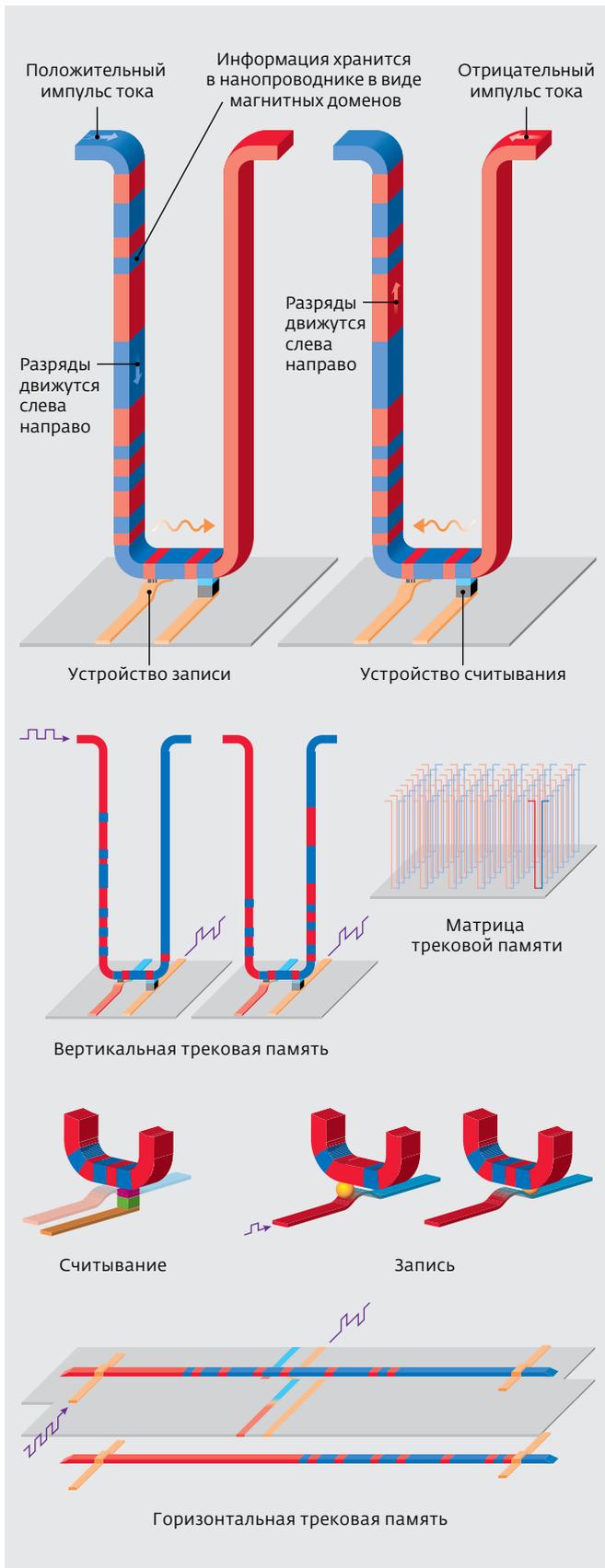


Рис.5. Структура микросхемы трековой памяти

работ IMEC Марка Хейнса, уже через пару лет мы увидим германиевые и III-V-приборы в наших компьютерах.

Исследователи Национальной лаборатории наноприборов Тайваня доложили о результатах работ по устранению дефектов наноразмерных германиевых транзисторов на кремниевых подложках, позволивших создать архитектуры с германиевым окольцовывающим канал затвором (Gate-All-Around, GAA). С помощью процесса анизотропного травления им удалось изготовить германиевые полевые транзисторы с треугольным затвором шириной 52 нм и длиной 183 нм (рис.2) с отношением токов во включенном/выключенном состояниях 10^5 , подпороговой крутизной 130 мВ/декаду (декада соответствует увеличению тока стока на порядок) и управляющим током 235 мкА/мкм [10].

До сих пор наилучшие характеристики полевых транзисторов на арсениде индия-галлия получены для планарных приборов с длиной затвора ~10 нм, изготовленных на сверхтонких подложках. Поэтому неудивителен интерес, который вызвало сообщение компании Intel о разработке InGaAs Tri-Gate FinFET с длиной канала 30 нм, не уступающего по своим характеристикам лучшим образцам полевых транзисторов на полупроводниковых соединениях III-V (рис.3) [11]. Подпороговая крутизна этих, пока еще "экспериментальных", как охарактеризовал их представитель концерна, транзисторов составила 66 мВ/декаду, что близко к теоретическому минимуму в 60 мВ/декаду. Благодаря малой ширине ребра и применению затворного диэлектрика с высоким k созданные InGaAs-транзисторы по DIBL существенно превосходят лучшие образцы планарных полевых транзисторов на III-V соединениях. Ток во включенном состоянии на 50% больше, чем у планарных приборов при том же значении тока в выключенном состоянии.

Сейчас ведутся работы по устранению рассогласования кристаллических решеток буферного слоя и верхнего приборного слоя, содержавшего ~70% индия и 30% галлия. Теперь содержание индия в квантовой яме составляет 53%, что соответствует его содержанию в буферном слое. По утверждению разработчиков, толщина затворного диэлектрика может быть уменьшена до 80 нм, что приведет к дальнейшему улучшению характеристик транзисторов

"Война" транзисторов или "мир" - пока не ясно, но сложившаяся ситуация интересна. До сих пор не наблюдалось конкуренции двух различных

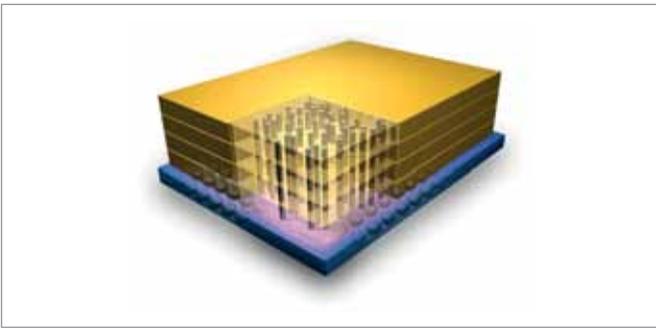


Рис.6. НМС-модуль компаний IBM и Micron Technology

транзисторных структур, предназначенных для одного и того же приложения (в данном случае для маломощных логических устройств следующего поколения). Поскольку каждая архитектура имеет свои достоинства и недостатки, сейчас трудно предсказать, какая из них "победит". Возможно, явного победителя и не будет. Пока можно отметить пригодность архитектуры FinFET для выполнения на полупроводниковых соединениях III-V. А это, в свою очередь, может стимулировать массовое производство логических интегральных микросхем на этих соединениях.

Но транзисторные архитектуры, новые и "старые", конечно, не единственные приборы, представленные на конференции IEDM 2011.

УНИВЕРСАЛЬНАЯ ПАМЯТЬ?

Производители микросхем сосредотачивают основное внимание на повышении быстродействия процессоров, забывая, что высокоскоростные схемы могут оказаться бесполезными, когда узким местом системы является память. Микросхемы памяти, часто воспринимаемые как товар широкого потребления для компьютерных платформ, сегодня начинают занимать все более важное место в компьютерной архитектуре. А поскольку производительность процессоров растет быстрее, чем пропускная способность памяти, необходимо уделять больше внимания задаче преодоления эффекта "стены памяти", препятствующей росту быстродействия компьютерных систем. Именно эта задача стоит перед создателями современных перспективных микросхем оперативной памяти, флеш-памяти NAND-типа и других пока еще экзотических запоминающих устройств.

Флеш-память. На конференции IEDM 2010 компанией Nupix Semiconductor была представлена микросхема NAND-памяти, впервые выполненная с 25-нм проектными нормами. На конференции этого года компания Nupix, стремящаяся

укрепить свои позиции на рынке флеш-памяти*, сообщила об успешной разработке памяти этого типа, получившей название Middle-1Xnm (среднего 10-нм формата), т.е. микросхемы, выполненной с 15-нм проектными нормами [12]. Таким образом, новая микросхема по своим размерам на 21% меньше самой малогабаритной флеш-памяти NAND-типа компании Toshiba, выполненной с 19-нм топологическими нормами.

Для решения проблем, связанных со столь активным масштабированием, разработчиками был принят новый подход к выполнению разрядных шин и шин слов. За счет увеличения площади участка под управляющий затвор и уменьшения ширины плавающего затвора в направлении, параллельном шине слов, разработчикам удалось в пять раз сократить взаимные помехи разрядных шин в направлении шин слов. Чтобы уменьшить риск утечки заряда разрядных шин при записи данных, увеличен изолирующий воздушный зазор между шинами слов. В структуре микросхемы воздушный зазор занимает более 50% пространства между соседними шинами слов. В результате напряженность электрического поля между управляющим и плавающим затворами при записи данных удалось уменьшить на 20% по сравнению со структурой, в которой воздушные зазоры не предусмотрены. Кроме того, напряжение, подаваемое на шину слов, соседствующую с шиной записи, увеличено примерно на 2 В. Это позволило уменьшить риск утечки и повысить скорость записи. И, наконец, благодаря совершенствованию перехода сток-исток удалось уменьшить токи считывания и утечки.

По утверждению разработчиков, 15-нм технология пригодна для создания двухразрядных многоуровневых ячеек NAND-памяти. Nupix надеется, что при освоении промышленного производства новой 15-нм флеш-памяти она сумеет существенно сократить затраты и увеличить свои прибыли.

Память на фазовых переходах (PCM, PRAM или PCRAM) – одна из перспективных современных схем памяти. Подобно флеш-памяти она энергонезависима, но отличается большими пропускной способностью и долговечностью. Одна из основных проблем памяти этого типа – обеспечение высокой плотности ячеек памяти. Компания Nupix не только совершенствует свою технологию

* По данным аналитической компании iSupply, во II квартале 2010 года на долю Nupix приходилось 13,5% доходов от продаж в секторе флеш-памяти NAND-типа, тогда как доли Samsung и Toshiba за этот период составляли 41,6 и 28,7%, соответственно.

флеш-памяти, но, несмотря на продолжающуюся дискуссию относительно перспектив замены оперативной памяти и энергонезависимой флеш-памяти памятью на фазовых переходах, не прекращает разработки в этой области. На конференции компания представила быстродействующую энергонезависимую память PCRAM-типа со сверхвысокой плотностью упаковки элементов емкостью 1 Гбит. Площадь ячейки памяти равна 0,007 мкм², шаг – 84 нм, площадь микросхемы – 33,2 мм² [13, 14]. Разработчики отмечают ее высокие функциональные характеристики и надежность. Прогнозируемый срок хранения данных памяти при температуре свыше 200°C составляет 10 лет.

Ячейку оперативной памяти на фазовых переходах, изготовленную с 20-нм нормами, представила компания Samsung. Благодаря применению нового материала нижнего электрода ток изменения состояния составил менее 100 мкА. На Международной конференции по твердотельным схемам (ISSCC), которая должна была состояться в феврале 2012 года, компания планировала представить 8-Гбит микросхему памяти PCM-типа, выполненную на основе этой ячейки [15]

Память PCM-типа рассматривалась и в двух совместных докладах компаний Macronix International и IBM, посвященных [16]:

- разработке структуры нижнего 39-нм электрода, образуемого эффективным термическим TaN-барьером и проводящей пленкой толщиной 1,5 нм. Ток программирования структуры составил 30 мкА, что способствовало получению ресурса 10⁹ циклов [17];
- исследованию тройных соединений GeSbTe (GST) с изоэлектронной связью и связи соединения Ge/Sb₂Te₃, приведшие к получению материала, намного превосходящего широко используемый в памяти PCM-типа GST-225 (Ge₂Sb₂Te₅) [18]. По скорости переключения состояния память на новом материале сопоставима с памятью на нелегированном GST-225 при меньшем примерно на 30% токе изменения состояния и почти на 100°C более высокой температуре фазового перехода, следовательно, при более высокой термостабильности. Для демонстрации возможности нового материала на его основе была изготовлена PCM-микросхема емкостью 128 Мбит. Ресурс схемы составил 10⁸ циклов, максимальная выдерживаемая температура – 190°C.

Исследователи ряда европейских научных лабораторий, в том числе CEA, Leti и Minatex, сообщили о работе по снижению с помощью PCM потребляемой энергии больших нейроморфических

систем, используемых для выполнения таких сложных задач, как распознавание образов [19]. Совместными усилиями разработана, смоделирована и имитирована нейронная сеть с синапсами, формируемыми на основе двух PCM (всего в сети 4·10⁶ PCM). Показано, что такая система способна распознавать сложные объекты с точностью до 92% при потребляемой энергии в режиме "обучения" всего в 112 мкВт [20].

А ученые Стэнфордского университета доложили о результатах изучения возможности применения программируемых синапсов на основе PCM в системе "вдохновленных мыслью вычислений" (brain-inspired computing), способной выполнять основные функции мозга при обучении [21]. Исследователями создана коммутирующая ячейка на основе 75-нм PCM, выполненных на GST. Слой GST размещается между двумя электродами из нитрида титана TiN, причем нижний – тонкий и вытянут в длину (рис.4). Опыты показали, что схема на базе GST при подаче искусственных пре- и постсинаптических импульсов на верхний и нижний электроды адекватно воспроизводит действие синапса и позволяет вывести установленное биологами правило изменения его "веса".

Энергию, расходуемую на перевод устройства в состояние с высоким сопротивлением, исследователи оценили в ~50 пДж, энергию, необходимую для перевода GST в кристаллическое состояние, – в 0,675 пДж. При этом они утверждают, что энергопотребление можно снижать и дальше, уменьшая диаметр нижнего электрода: при диаметре 20 нм расход должен сократиться до 2,0 и 0,027 пДж, соответственно. В результате энергопотребление системы, содержащей 10¹⁰ синапсов, составит всего 10 Вт.

Резистивная оперативная память (Resistive RAM, RRAM) – перспективный тип энергонезависимой

памяти, рассматриваемой как возможная замена флеш-памяти NAND-типа. Работа памяти этого типа основана на электрическом переключении материала элемента в одно из двух стабильных состояний проводимости. Правда, до последнего времени считалось, что основной недостаток RRAM – предельный размер ячеек памяти не более 18 нм. Это мнение успешно опровергли разработчики IMEC, представившие на конференции рекордно маленькую микросхему резистивной оперативной памяти [22]. Размер ячейки памяти RRAM, изготовленной в межуниверситетском центре на основе Hf/HfO₂-резистивного элемента, не превышает 10×10 нм. Ресурс новой ячейки превосходит 10⁹ циклов. Время переключения состояния проводимости элемента памяти при низких значениях напряжения лежит в наносекундном диапазоне. Резистивное окно (отношение высокого и низкого значений проводимости) превышает 50. Это окно не изменилось и после испытаний в течение 30 ч при температуре 200°C. Была продемонстрирована безотказная работа микросхемы в течение 30 ч при температуре 250°C. Энергия переключения в пересчете на 1 бит составила 0,1 пДж при напряжении менее 3 В. Эти результаты были получены при сотрудничестве с основными партнерами по выполнению программы развития КМОП-структур: GlobalFoundries, Intel, Micron, Panasonic, Samsung, TSMC, Elpida, Hynix, Fujitsu и Sony.

К недостаткам памяти RRAM-типа относится большой разброс значений порогового напряжения, токов записи/считывания и других критических параметров. Изучение причин такого разброса специалистами Стэнфордского университета с помощью моделирования HfO_x RRAM методом Монте Карло показало, что он вызван изменением ширины туннелируемых барьеров и генерацией ловушек у электрода. Была предложена двухслойная структура с активным/буферным оксидами в сочетании с методом проверки изменения состояния резистивных элементов [6, 23].

Магнитная память на основе эффекта передачи спинового момента (STT-MRAM), запись данных в которую осуществляется путем переключения спинового момента электронов, протекающих через туннельный магниторезистивный элемент, – еще один "убийца" оперативной памяти и флеш-памяти, которому прогнозируется блестящее будущее. И здесь одна из основных проблем – возможности дальнейшего масштабирования. Специалисты Samsung, которая в августе

2011 года приобрела лидера в области разработки микросхем STT-MRAM – Grandis Inc. (США), представили 17-нм ячейку памяти этого типа. Такой результат был получен за счет использования перпендикулярной магнитной анизотропии и тщательной обработки границ раздела с анизотропией 2,5 эрг/см², а также нового процесса травления. Было получено воспроизводимое переключение ячеек при значении критического тока 44 мкА и коэффициенте термической стабильности $E/k_B T = 34$ (E – энергия, k_B – постоянная Больцмана и T – температура) [6, 24].

Трековая память концерна IBM, которая, согласно прогнозам, может произвести настоящий переворот в области систем хранения данных, конечно, вызвала большой интерес участников конференции. Продемонстрированную на IEDM экспериментальную микросхему можно рассматривать как предвестника запоминающих устройств, сочетающих емкость классических жестких дисков с надежностью и скоростью срабатывания твердотельных схем.

В схеме трековой памяти нет ни одной подвижной детали. Опытная микросхема (рис.5) содержит несколько ячеек памяти и все элементы, необходимые для записи, хранения и чтения информации. Разряды хранятся в виде чередующихся магнитных зон (доменов) в железоникелевых нанопроводниках длиной 10 мкм, шириной 150 нм и толщиной всего в 20 нм. Теоретически каждый нанопроводник может хранить до сотни разрядов.

К одному концу каждого нанопроводника подсоединена цепь записи, по которой передаются электроны с контролируемым спином. К другому концу – считывающие элементы, определяющие направление перемещения доменов, которые двигаются друг за другом, подобно машинам в пробке.

Концерн продемонстрировал возможность чтения и записи данных на массиве, содержащем 256 колонн нанопроводников и изготовленном по стандартной КМОП-технологии на пластине диаметром 200 мм. Технологическая совместимость нового типа памяти с КМОП-схемами означает возможность ее промышленного выпуска. Правда, по признанию изобретателя "ипподрома" Стюарта Паркина, прежде необходимо уточнить множество моментов. Так, Паркин и его коллеги экспериментируют с альтернативными материалами ячеек, которые позволили бы уместить больше чередующихся доменов в одном нанопроводнике, в сравнении с нынешним железоникелевым вариантом, и позволили бы увеличить скорость смещения намагниченных зон.

ТРЕХМЕРНАЯ (3D) ТЕХНОЛОГИЯ

Сегодня, несмотря на острые дебаты относительно перспектив 3D-технологии, прозвучавших на IEDM, она уже существует и активно применяется [25]. Об этом свидетельствует доклад концерна IBM, посвященный процессу формирования медных сквозных отверстий в кремнии (Through Silicon Via, TSV) [26]. Доклад прозвучал вскоре после того, как IBM и компания Micron Technology объявили о намерении начать производство трехмерного модуля памяти, получившего название куба гибридной памяти (Hybrid Memory Cube, HMC) (рис.6). Благодаря применению TSV для электрической связи микросхем памяти пропускная способность опытных образцов HMC составила 128 Гбайт/с против 12,8 Гбайт/с для лучших образцов современных схем памяти. При этом 3D-модуль потребляет на 70% меньше энергии при передаче данных и занимает всего 10% площади, отводимой на плате под традиционные схемы.

TSV-технология IBM, названная технологией, "не зависящей от топологической нормы" (node-agnostic), т.е. пригодной для НКМГ-процессов с нормами от 90 до 32 нм, позволяет соединять от трех до девяти слоев металлизации, расположенных под контактом и "справляться" с диэлектрическими слоями со значениями k от 4,1 до 2,4, а также с кремниевой и КНИ-подложками. Для решения проблемы возникновения механического напряжения вследствие различия коэффициентов теплового расширения меди, применяемой для заполнения сквозных отверстий, и кремния разработчики использовали цилиндрические медные сквозные отверстия.

Достоинства TSV-технологии были продемонстрированы на примере встраиваемого 3D-модуля памяти, содержащего микросхему ДОЗУ емкостью 128 Мбит, расположенную поверх микросхемы универсального ДОЗУ емкостью 96 Мбит. Микросхемы памяти изготовлены с помощью 32-нм НКМГ-процесса, площадь ячеек памяти обеих микросхем составляет 0,039 мкм². Термоциклирование (более 500 циклов) и испытания при температуре более 275°C в течение 1500 ч не оказали влияния на физическую целостность опытных образцов HMC-модулей и не привели к существенному ухудшению их характеристик.

Во второй половине 2012 года планируется начать производство HMC-модулей по 32-нм процессу на предприятии IBM в Восточном Фишбилле. Предполагается, что первоначально модули найдут применение в таких высокопроизводительных системах, как серверы, но IBM не

исключает скорый приход технологии и на потребительский рынок.

Большое внимание участников конференции вызвала дискуссия, посвященная трехмерной технологии. Основной вопрос, стоявший перед ее участниками: "Действительно ли трехмерная интеграция завоюет рынок?" [27]. Рассматривались три аспекта 3D-технологии:

- возможные области применения;
- бизнес-модель освоения технологии;
- проблемы технологии.

В ходе обсуждения возможных применений 3D-технологии представитель Университета Северной Каролины отметил достоинства трехмерной сборки при формировании межсоединений кристаллов, которые в двухмерной структуре потребляют слишком большую энергию. По мнению докладчика от компании Intel, наиболее перспективно применение технологии для создания устройств памяти с высокой пропускной способностью, предназначенных для следующего поколения "умных" приложений и для систем памяти старших моделей. А по прогнозам компании Samsung, через три года мы увидим 3D-микросхемы в смартфонах. Но, очевидно, трехмерные приборы в первую очередь начнут применяться в системах, где без них нельзя обойтись.

Относительно коммерческой стороны участники дискуссии - компании TechSearch International, ACE и Исследовательский институт промышленной технологии (ITRI) - пришли к выводу, что 3D-интеграция устройств высшего уровня в первую очередь будет освоена чистыми производителями (foundries) и компаниями, ведущими разработку, проектирование, производство и маркетинг интегральных микросхем (IDM). 3D-интеграцию низкого уровня возьмут в свои руки компании, занимающиеся сборкой и испытанием полупроводниковых приборов.

И, наконец, по мнению консорциума Sematech и ITRI, наиболее важные проблемы, стоящие перед 3D-технологией, - снижение стоимости, получение годных кристаллов, высокого выхода годных, требуемых термических и термоэлектрических свойств. Но участники дискуссий единодушно пришли к выводу, что эти проблемы не остановят развитие трехмерной технологии. Эра TSV наступила и продлится долгое время.

Третье направление электроники, которому было уделено повышенное внимание на конференции IEDM 2011, будет рассмотрено в следующем номере журнала.

ЛИТЕРАТУРА

1. **Lammers D.** The IEDM Logic Debate. –semimd.com/lammers/2011/12/12/the-iedm-logic-debate
2. **Lammers D.** IEDM: STMicro Adds TSVs, eDRAM to 28nm SOI CMOS. – http://semimd.com/blog/2011/12/07/iedm-stmicro-adds-tsvs-edram-to-28nm-soi-cmos
3. SuVolta's DDC transistor technology @ IEDM. –www.electroiq.com/articles/sst/2011/12/suvolta-ddc-transistor-technology-at-iedm.html
4. **Chris Barylick.** Fujitsu, SuVolta push SRAM to its efficiency limits, demo 0.425 volt chip. –www.engadget.com/2011/12/08/fujitsu-suvolta-push-sram-to-its-efficiency-limits-demo-0-425/
5. **Hong S.H., Yang W.S., Sadaaki M.** et. al. Bulk Planar 20nm High-K/Metal Gate CMOS Technology Platform for Low Power and High Performance Applications. –www.his.com/~iedm/program/sessions/s15.html
6. Tip Sheet for 2011 IEEE International Electron Devices Meeting (IEDM). –www.tbmarketing.com/iedm/releases/IEDM_2011_tip_sheet.doc
7. **Witters L., Mitard J., Veloso A.** et.al. Dual-Channel Technology with Cap-free Single Metal Gate for High Performance CMOS in Gate-First and Gate-Last Integration. – www.his.com/~iedm/program/sessions/s15.html
8. **Heyns M.** Exploring Ge and III-V devices to scale CMOS beyond the Si roadmap. –meetings.aps.org/Meeting/MAR12/Event/165746
9. IMEC advances CMOS beyond silicon to Ge, III-V. –www.electroiq.com/articles/sst/2011/12/imec-advances-cmos-beyond-silicon-to-ge-iii-v.html
10. **Bush S.** IEDM: Etch away nanometre Ge-on-Si defects. –www.electronicweekly.com/Articles/07/12/2011/52471/iedm-etch-away-nanometre-ge-on-si-defects.htm
11. **Clarke P.** Intel to talk of compound FinFET at IEDM. –www.eetimes.com/electronics-news/4227382/Intel-compound-FinFET-IEDM
12. **Mellor C.** Hynix figures to win on NAND by being smaller than rivals. – www.channelregister.co.uk/2011/12/13/hynix_15nm.
13. **Lee S.H., Park H.C., Kim M.S.** et. al. Highly Productive PCRAM Technology Platform and Full Chip Operation: Based on 4F2 (84nm Pitch) Cell Scheme for 1 Gb and Beyond. –www.his.com/~iedm/program/sessions/s3.html
14. **Bush S.** IEDM: 10 year phase-change RAM on 84nm pitch. IEEE International Electron Devices Meeting. –www.electronicweekly.com/Articles/07/12/2011/52475/iedm-10-year-phase-change-ram-on-84nm-pitch.htm
15. **Clarke P.** ISSCC: Samsung preps 8-Gbit phase-change memory. –www.eetimes.com/electronics-news/4230958/ISSCC--Samsung-preps-8-Gbit-phase-change-memory
16. **Clarke P.** IEDM: PCM research moves to 20-nm. – http://www.eetimes.com/electronics-news/4228052/IEDM-PCM-research
17. **Wu J.Y., Breitwisch M., Ki S.** et al. A Low Power Phase Change Memory Using Thermally Confined TaN/TiN Bottom Electrode. – www.his.com/~iedm/program/sessions/s3.html
18. **Cheng H.Y., Hsu T.H., Raoux S.** et.al. A High Performance Phase Change Memory with Fast Switching Speed and High Temperature Retention by Engineering the GexSbyTez Phase Change Material. – www.his.com/~iedm/program/sessions/s3.html
19. **Mokhov N.** IEDM: cognitive science makes use of PCM technology. –www.eetimes.com/electronics-news/4227975/IEDM--cognitive-science-makes-use-of-PCM-technology
20. **Suri M., Bichler O., Querlioz D.** Phase Change Memory as Synapse for Ultra-Dense Neuromorphic Systems: Application to Complex Visual Pattern Extraction. –www.his.com/~iedm/program/sessions/s4.html
21. **Kuzum D., Jeyasingh R.G.D., Wong H.-S.P.** Energy Efficient Programming of Nanoelectronic Synaptic Devices for Large-Scale Implementation of Associative and Temporal Sequence Learning. –www.his.com/~iedm/program/sessions/s30.html
22. Imec claims RRAM is smallest based on HfO2. –www.electroiq.com/articles/sst/2011/12/imec-claims-rram-is-smallest-based-on-hfo2.html
23. **Yu S., Guan X., Wong H.-S.P.** On the stochastic nature of resistive switching in Metal Oxide RRAM: physical modeling, Monte Carlo simulation and experimental characterization. –www.his.com/~iedm/program/sessions/s17.html
24. **Kim W., Jeong J.H., Kim Y.** Extended Scalability of Perpendicular STT-MRAM Towards Sub-20nm MTJ Node/ –www.his.com/~iedm/program/sessions/s24.html
25. **Юдинцев В.** Трехмерная кремниевая технология. Что, где, когда? – ЭЛЕКТРОНИКА: НТБ, 2011, №4, с.70 –75. James D. IEDM 2011: IBM displays via-middle TSV process for die stacking. –www.electroiq.com/blogs/chipworks_real_chips_blog/2011/12/iedm-2011-ibm-displays-via-middle-tsv-process-for-die-stacking.html
26. IEDM Panel Gives 3D the Green Light. – www.infoneedle.com/posting/99826?snc=20641