

КОНСТРУКТИВНЫЕ ПРИНЦИПЫ РЕАЛИЗАЦИИ ЭЛЕМЕНТОВ ЭСППЗУ В КМОП-ТЕХНОЛОГИИ

И.Ермаков (ОАО "НИИМЭ", НИУ "МИЭТ"),
Н.Шелепин (ОАО "НИИМЭ", ОАО "НИИМЭ и Микрон", НИУ "МИЭТ")

Рассмотрены конструктивные принципы реализации ячейки энергонезависимой электрически перепрограммируемой памяти (ЭСППЗУ), изготавливаемой в стандартном КМОП-процессе. Проведен сравнительный анализ различных конструктивных вариантов ячейки и механизмов записи/стирания.

Электрически стираемое программируемое постоянное запоминающее устройство (ЭСППЗУ) или энергонезависимая электрически перепрограммируемая память широко востребована, поскольку она обладает двумя важными достоинствами. Во-первых, сохраняет информацию в течение длительного периода времени при отключенном источнике питания. Во-вторых, допускает многократное перепрограммирование электрическим способом. Изделие, содержащее встроенное ЭСППЗУ, позволяет производителю или потребителю конфигурировать его для различных областей применения. Программирование встроенного ЭСППЗУ обычно осуществляется путем загрузки кода из внешнего источника.

Современные технологии СБИС, обеспечивающие ЭСППЗУ, используют, как правило, два слоя поликристаллического кремния (поликремния) в отличие от традиционных КМОП-процессов. Как следствие, для производства ЭСППЗУ требуется изменить традиционный технологический процесс за счет добавления большого количества технологических операций, обеспечивающих формирование плавающего затвора, туннельного окисла, высоковольтных транзисторов и др.

Дополнительные технологические операции увеличивают время, стоимость производства, вероятность возникновения дефектов и в конечном счете снижают выход годных интегральных схем (ИС). К тому же объединение различных технологических процессов в один общий специализированный процесс является сложной и дорогостоящей задачей.

Применение специализированной технологии оправдано в случае производства ИС с памятью большого объема. Однако существуют области применения ЭСППЗУ, в которых не требуется большого объема памяти. В таком случае использование ячейки памяти, которая была бы полностью совместима со стандартным КМОП-процессом, является более эффективным решением.

ОСНОВНОЙ ПРИНЦИП РАБОТЫ ПОЛУПРОВОДНИКОВЫХ ЭЛЕМЕНТОВ ЭНЕРГОНЕЗАВИСИМОЙ ПАМЯТИ

Основной принцип работы полупроводниковых (п/п) элементов энергонезависимой памяти заключается в сохранении электрического заряда в области подзатворного окисла МОП-транзистора (рис.1). Заброс и удаление заряда изменяют его пороговое напряжение, в результате чего

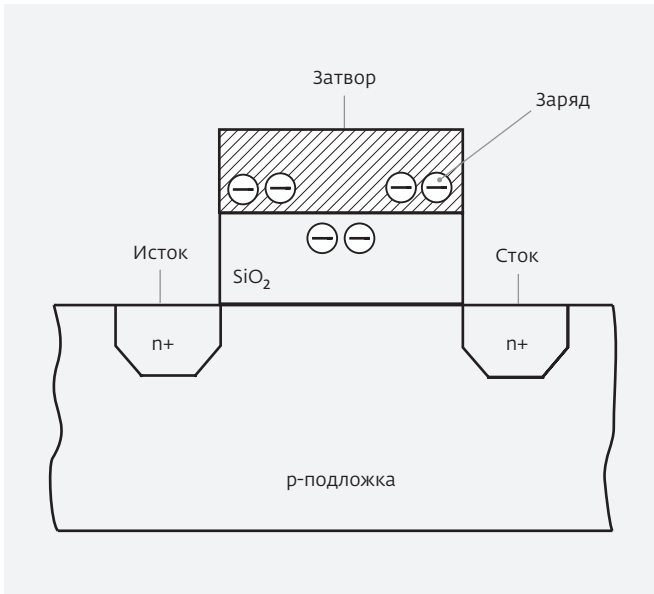


Рис.1. Основной принцип работы п/п элементов энергонезависимой памяти

транзистор переключается между двумя различными состояниями, обычно определенными как нулевое "0" (стертое состояние) и единичное "1" (запрограммированное состояние), как показано на рис.2.

Информационное состояние элемента памяти определяется путем подачи на его затвор напряжения считывания, значение которого лежит между пороговыми напряжениями элемента в записанном и стертом состояниях. В одном состоянии транзистор проводит электрический ток, а в другом – нет. Когда напряжение питания выключено, электрический заряд в области подзатворного оксида сохраняется, что и обеспечивает энергонезависимость элемента памяти.

Сохранение электрического заряда в области подзатворного оксида МОП-транзистора может быть выполнено двумя способами, по которым проводят деление энергонезависимых п/п запоминающих устройств (ЗУ) на два основных класса. Первый класс п/п приборов основывается на сохранении электрического заряда в слое проводника или полупроводника, который полностью окружен слоем диэлектрика, обычно термическим оксидом (рис.3а). Поскольку этот слой функционирует как полностью электрически изолированный затвор, то этот тип п/п приборов обычно называют транзисторами с плавающим затвором.

Во втором классе п/п приборов электрический заряд хранится на дискретных ловушечных

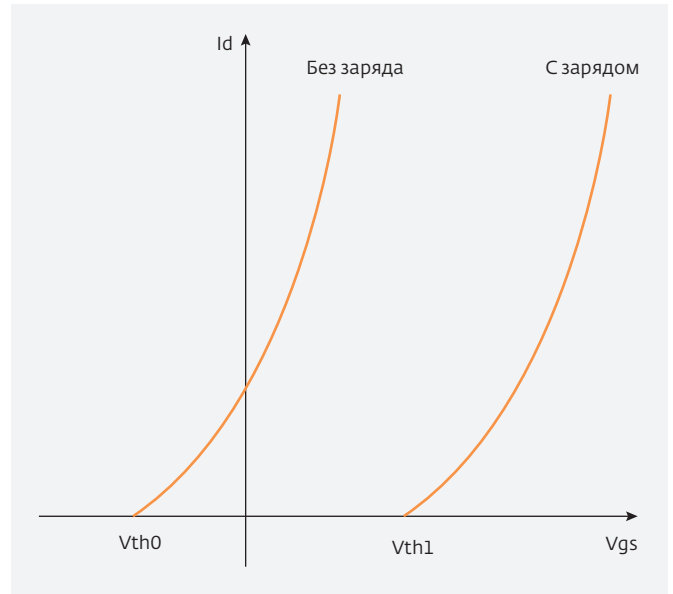


Рис.2. Влияние заряда в области подзатворного оксида п-МОП-транзистора на его пороговое напряжение

центрах соответствующего диэлектрического слоя. Поэтому такие п/п приборы обычно называют приборами с захватом заряда (рис.3б). Наиболее успешным прибором этой категории является транзистор МНОП (металл-нитрид-оксид-полупроводник, англ. MNOS), в котором диэлектрик состоит из тонкого слоя оксида кремния SiO_2 , над которым расположен слой нитрида кремния Si_3N_4 (рис.3б). Вместо Si_3N_4 можно использовать альтернативные диэлектрические слои, такие как Al_2O_3 или Ta_2O_5 , но они никогда успешно не применялись на практике.

Идея использования транзистора с плавающим затвором в качестве энергонезависимого п/п элемента памяти впервые была предложена D. Kahng (Д. Кандж) и S.M. Sze (С.М. Сезе) в 1967 году [1].

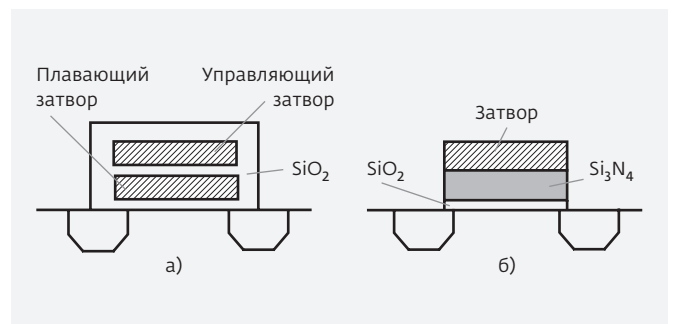


Рис.3. Два класса энергонезависимых п/п ЗУ: (а) с плавающим затвором; (б) с захватом заряда или МНОП-структура

Это было также первым описанием возможности создания энергонезависимой памяти на основе МОП-технологии. Транзистор памяти, который предлагали авторы, основывался на базовой МОП-структуре, в которой затвор заменен слоистой структурой, состоящей из тонкого окисла D1; плавающего, но проводящего слоя металла M1; толстого окисла D2 и внешнего металлического затвора M2 (рис.4). Этот прибор называют ячейкой MIMIS (Metal-Insulator-Metal-Insulator-Semiconductor, металл-диэлектрик-металл-диэлектрик-полупроводник).

MIMIS-ячейка является прародителем современных ЭСППЗУ и флэш-памяти. В дальнейшем конструкция и механизмы записи/стирания совершенствовались, в то же время размеры структуры и толщины слоев уменьшались за счет масштабирования. На сегодняшний день промышленным стандартом ячейки энергонезависимой электрически перепрограммируемой памяти с плавающим затвором является МОП-структура с двумя поликремниевыми затворами: электрически изолированным плавающим и управляющим, который расположен прямо над плавающим затвором. Между плавающим затвором и стоком транзистора находится туннельный окисел, через который происходит накопление или удаление заряда.

КОНСТРУКЦИИ ЯЧЕЙКИ ЭСППЗУ С ПЛАВАЮЩИМ ЗАТВОРОМ В СТАНДАРТНОЙ КМОП-ТЕХНОЛОГИИ

Одной из первых научно-технических работ, в которой была показана идея ячейки энергонезависимой электрически перепрограммируемой памяти в стандартной (т.е. без дополнительных

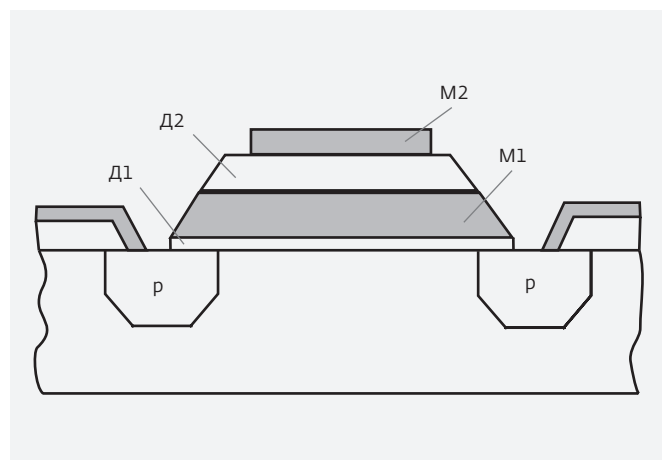


Рис.4. Структура MIMIS-ячейки, предложенной D.Kahng и S.M.Sze в 1967 году

технологических операций) субмикронной КМОП-технологии, является статья Katsuhiko Ohsaki (Катсухико Оусаки) и др., опубликованная в 1994 году [2]. Так называемая ячейка SIPPOS (Single Poly Pure CMOS, чистый КМОП-процесс с одним слоем поликремния) состоит из двух расположенных рядом n- и p-МОП-транзисторов (рис.5). Затворы обоих транзисторов объединены и образуют плавающий затвор. Объединенные n-карман, сток и исток p-МОП-транзистора функционируют как управляющий затвор.

Существует несколько режимов работы SIPPOS-ячейки. Программирование осуществляется горячими электронами в n-МОП-транзисторе (NCHЕ-запись) или туннелированием ФН (Фаулер-Нордгейм) [3] между затвором и диффузионной областью n+ в n-МОП-транзисторе (NFN-запись). Стирание осуществляется ФН-туннелированием между затвором и диффузионной областью p+ в p-МОП-транзисторе (PFN-стирание) или ФН-туннелированием между затвором и диффузионной областью n+ в n-МОП-транзисторе (NFN-стирание).

Выбор определенного режима зависит от соотношения емкостей затворов p- и n-МОП-транзистора CGP/CGN. Когда соотношение CGP/CGN меньше 1,0; выбирается сочетание NCHЕ-записи и PFN-стирания. Когда отношение CGP/CGN равно от 1,0 до 3,0; выбираются NCHЕ-запись и NFN-стирание. Когда CGP/CGN больше 3,0; используются NFN-запись и NFN-стирание. NFN-запись требует высокого напряжения при программировании, но ток при этом небольшой. С другой стороны, NCHЕ-запись выполняется сравнительно небольшим напряжением, но ток при этом больше на несколько

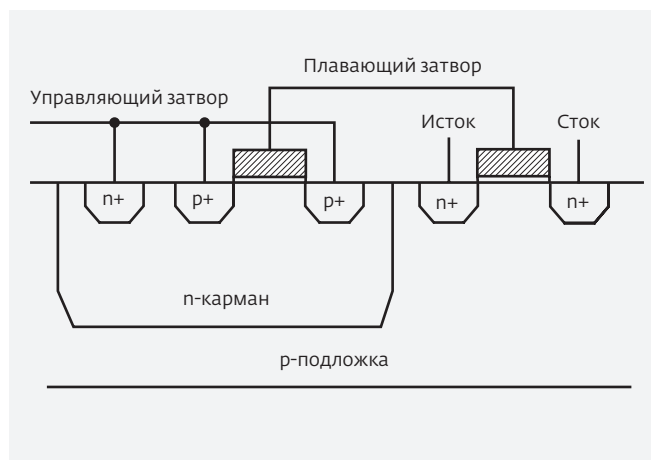


Рис.5. SIPPOS-ячейка, представленная Katsuhiko Ohsaki и др. в 1994 году

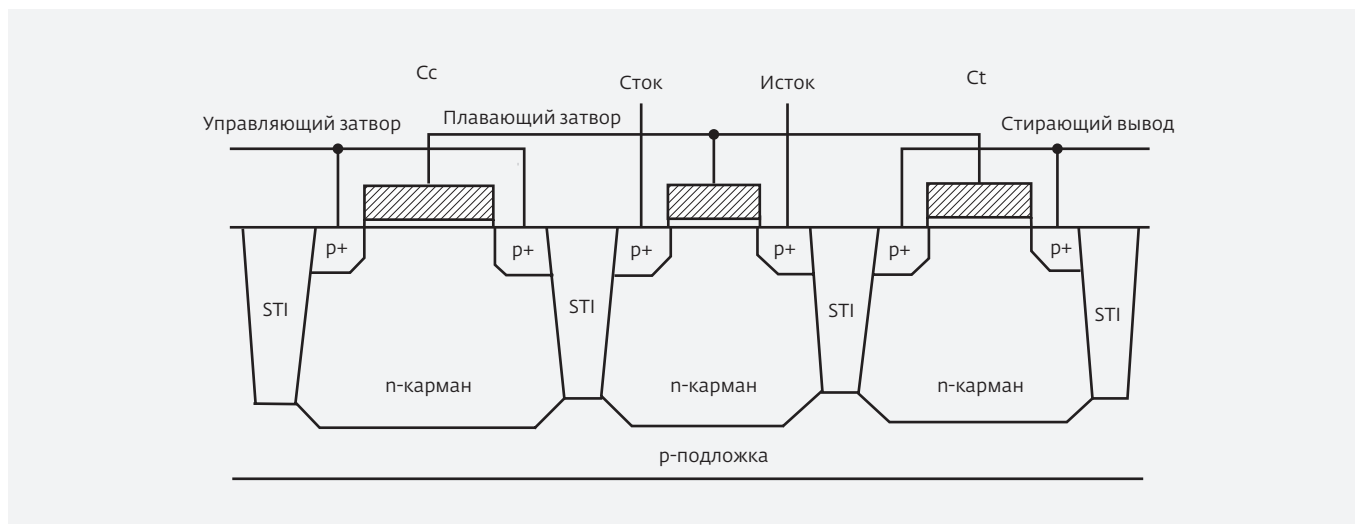


Рис.6. NOVeA ячейка, представленная Jaroslav Raszka и др. в 2004 году

порядков. PFN-стирание требует большего напряжения, чем NFN-стирание.

Считывание осуществляется сравнением пороговых напряжений n-МОП-транзистора в запрограммированном и стертом состояниях. На управляющий затвор подается напряжение считывания. Если на плавающем затворе отсутствует отрицательный заряд, то n-МОП-транзистор будет открыт, с другой стороны, если в результате программирования на плавающем затворе присутствует отрицательный заряд, то n-МОП-транзистор будет закрыт.

Существуют различные варианты SIPPOS-ячейки. Например, в работе [4] представлена ячейка, выполненная в 0,35-мкм КМОП-процессе. В этой ячейке диффузионные области p+ заменены на одну область n+, что позволяет уменьшить площадь ячейки памяти. В одном из вариантов ячейки n-МОП-транзистор может быть заменен p-МОП-транзистором. В работе [5] представлена SIPPOS-ячейка в 0,25-мкм КМОП-процессе.

В 2004 году Jaroslav Raszka (Ярослав Рашка) и др. [6] предложили трехэлементную ячейку памяти NOVeA (Non-Volatile Electrically Alterable, энерго-независимая электрически изменяемая), конструкция которой показана на рис.6. Она состоит из конденсатора Сс, туннельного конденсатора Ст и p-МОП-транзистора считывания. Затворы всех элементов объединены и образуют плавающий затвор. Между n-карманами находятся области STI (Shallow Trench Isolation, мелкощелевая изоляция). Толщина подзатворного окисла всех элементов 7 нм, что хорошо согласуется с 3,3-вольтовыми транзисторами ввода/вывода в КМОП-технологии

с проектными нормами 0,18 мкм. Размеры конденсаторов Сс и Ст выбираются таким образом, чтобы обеспечить высокий коэффициент емкостного деления (порядка 95%). Программирование и стирание ячейки осуществляется ФН-туннелированием. При программировании на управляющий затвор (Сс) подают 7 В, на стирающий вывод (ЕР) – 0 В, а при стирании наоборот. Во время считывания на Сс подается напряжение считывания, а на ЕР – 0 В. Пороговое напряжение p-МОП-транзистора в запрограммированном состоянии выше, чем в стертом, поэтому ток запрограммированной ячейки выше тока стертой ячейки.

В предыдущих вариантах ячейки памяти в качестве управляющего затвора использовался диффузионный n-карман в p-подложке. Такая конструкция обладает рядом недостатков, вытекающих из самой ее структуры. Во-первых, управляющий затвор обладает высоким сопротивлением. Во-вторых, коэффициент емкостного деления может быть уменьшен за счет возникновения обедненной области между управляющим и плавающим затворами. В-третьих, максимальное рабочее напряжение ограничено напряжением пробоя перехода между p-подложкой и n-карманом.

В ячейке, которую представили в 2007 году Kee-yeol Na (Ки-Еол На) и др. [7], в качестве конденсатора связи используется боковой поликремниевый конденсатор с пальцевой структурой (polyfinger) и силицидом кобальта $CoSi_2$. Такое решение позволяет устранить недостатки ячейки памяти с n-карманом в качестве управляющего затвора. На рис.7 изображены топология и разрез структуры ячейки с polyfinger-конденсатором. Ячейка состоит

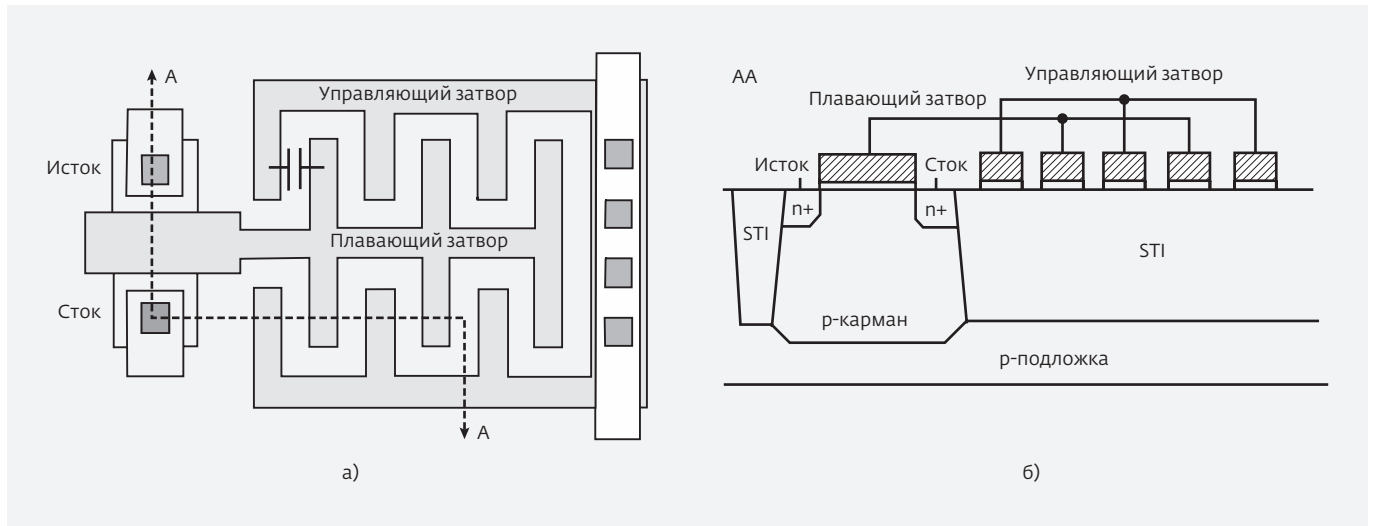


Рис.7. Топология (а) и разрез структуры (б) ячейки с polyfinger-конденсатором, представленной Kee-Yeol Na и др. в 2007 году

из n-MOP-транзистора, поликремниевых плавающего и управляющего затворов с пальцевой структурой, диэлектриком между которыми является материал спейсера LDD (Lightly Doped Drain, слаболегированный сток), состоящий из SiO_2 и Si_3N_4 .

Использование технологии с осаждением CoSi_2 снижает сопротивление управляющего затвора. Эффект уменьшения коэффициента емкостного деления за счет возникновения обедненной области в ячейке с polyfinger-конденсатором отсутствует, а измеренные значения пробивного напряжения и тока утечки по периметру polyfinger-конденсатора составляют соответственно 100 В и 1 фА/мкм. Измеренное значение коэффициента емкостного деления 0,45.

Еще один вариант ячейки был представлен в работе Z.-Y.Cui (Дж.-Я.Цуй) и др. [8] в 2009 году, в которой показано, что конденсатор связи может быть выполнен в верхних слоях металла над областью изоляции – так называемый конденсатор MIM (Metal-Insulator-Metal, металл-диэлектрик-металл). Для увеличения емкости конденсатора связи, а, следовательно, увеличения коэффициента емкостного деления, вместе с MIM-конденсатором может быть использован MOP-конденсатор, который располагается прямо под MIM-конденсатором и включен параллельно с ним (рис. 8).

Ячейка памяти, изготовленная в стандартном КМОП-процессе с проектными нормами 0,18 мкм компании ОАО "НИИМЭ и Микрон", является трехэлементной (рис.2) с n-MOP-транзистором считывания и толщиной туннельного окисла 7 нм [9]. Коэффициент связи равен 90%. Напряжение

записи/стирания составляет 8–10 В. Проведены исследования зависимости порогового напряжения ячейки от времени и напряжения записи/стирания, от количества циклов перезаписи и количества суток отжига. Максимально исследуемое количество циклов перезаписи составило 105. Температурный отжиг проводился в течение 40 суток при температурах 100 и 150°C. Установлено, что потери заряда за время отжига составляют от 8 до 30% в зависимости от режима и количества циклов перезаписи ячейки памяти. Была изготовлена и исследована ячейка с толщиной туннельного окисла 3,2 нм, напряжение записи/стирания которой составило 6–7,5 В. Определена энергия активации ячеек памяти для разных режимов записи/стирания. Рассчитано время хранения информации ячеек при разных температурах. Исследования показали, что ячейка с толщиной туннельного окисла 7 нм хранит накопленный заряд не менее 20 лет, а ячейка с толщиной туннельного окисла 3,2 нм – менее года при температуре 25°C.

На основании проведенного анализа можно сделать вывод о том, что если программировать ячейку горячими электронами, то можно получить выигрыш в скорости программирования и занимаемой площади, поскольку оба транзистора, составляющие ячейку, могут иметь одинаковые минимальные размеры. Если программирование осуществляется ФН-туннелированием, то ток при этом будет меньше на несколько порядков, но ячейка будет занимать значительную площадь, так как один из элементов должен быть в несколько раз больше других, поскольку

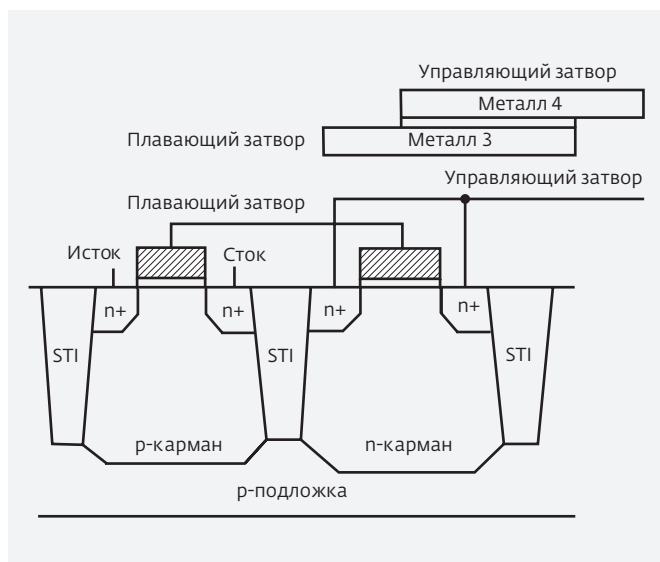


Рис. 8. Ячейка с MIM-конденсатором, представленная Z.-Y. Cui и др. в 2009 году

для туннелирования требуется высокое напряжение, которое должно быть приложено к плавающему затвору. Стирание всегда осуществляется ФН-туннелированием. Для записи горячими носителями необходимы два электрических поля: латеральное (разгоняющее) и вертикальное (тянущее), то есть необходимо задавать два напряжения на ячейку, что усложняет выбор режима ее работы и схемотехнические решения. Схема накачки, которая находится на одном кристалле с матрицей ячеек, чувствительна к их току потребления, поэтому предпочтительней использовать механизм ФН-туннелирования как для стирания, так и для записи. Выбор конструкции ячейки и механизмов записи/стирания зависит от конкретного применения, организации массива и конкретных схем записи и считывания. Традиционный способ считывания информационного состояния ячейки памяти заключается в сравнении ее тока с током опорной ячейки, находящейся в некотором промежуточном состоянии между запрограммированным и стертым состоянием. Однако для отдельных областей применения вопрос надежности важнее занимаемой на кристалле площади или возможности масштабирования ячейки, поэтому традиционный способ считывания в данном случае не подходит. Более надежным является дифференциальный способ считывания, в котором происходит сравнение не с промежуточным состоянием, а всегда сравниваются ток запрограммированной ячейки с током стертой ячейки. При этом

для хранения одного бита информации используются две ячейки памяти, которые записываются и стираются в противофазе, из-за чего схема увеличивается в размерах. Однако для небольших объемов памяти это не является критичным.

Ячейка, выполненная в специализированной технологии с ЭСППЗУ, в которой используются несколько поликремниевых слоев и ряд дополнительных технологических операций, несомненно, имеет в несколько раз меньшую площадь и хороший потенциал для масштабирования. Однако существуют области применения ЭСППЗУ, в которых не требуется большого объема памяти. Например, хранение различной служебной информации, кодов доступа к микросхеме, различных ключей, подгоночных коэффициентов или подстроечных кодов для высокоточных аналоговых блоков. В этих случаях гораздо эффективней применение энергонезависимой памяти, которая доступна в рамках обычного КМОП-процесса без его усложнения.

ЛИТЕРАТУРА

1. **Kahng D., Sze S.M.** A floating gate and its application to memory devices. – Bell Syst. Tech. J., 1967, vol.46.
2. **Katsuhiko Ohsaki et al.** A single poly EEPROM cell structure for use in standard CMOS processes. – IEEE Journal of Solid-State Circuits, March 1994, vol.29, no.3.
3. **Красников Г.Я.** Конструктивно-технологические особенности субмикронных МОП-транзисторов. Изд. 2-е, исправленное, М.: Техносфера, 2011.
4. **Lin Ch.-F., Sun Ch.-Yu.** A single-poly EEPROM cell structure compatible to standard CMOS process. – Solid-State Electronics, June 2007, vol.51, no.6.
5. **Shalchian M., Atarodi S.M.** A logic CMOS compatible flash EEPROM for small scale integration. – ICM 2003, 9–11 Dec. 2003.
6. **Raszka J., Advani M., Tiwari V., Varisco L., Hacobian N.D., Mittal A., Han M., Shirdel A., Shubat A.** Embedded flash memory for security applications in a 0.13 μm CMOS logic process. – Solid-State Circuits Conference, Feb. 2004.
7. **Na K.-Y., Kim Yo.-S., Kim Ye.-S.** A novel single poly silicon EEPROM cell with a polyfinger capacitor. – IEEE Electron Device Letters, Nov. 2007, vol.26, no.11.
8. **Cui Z.-Y., Choi M.-H., Kim Y.-S., Lee H.-G., Kim K.-W., Kim N.-S.** Single poly-EEPROM with stacked MIM and n-well capacitor. – Electronics Letters, Jan. 2009, vol.45, no.3.
9. **Ермаков И.В., Шелепин Н.А.** Электрически перепрограммируемая энергонезависимая память в КМОП-технологии. – Известия вузов. Электроника, 2014, №2(106).