

ДОМАСШТАБИРОВАЛИСЬ? ЭКОНОМИКА УМЕНЬШЕНИЯ ТОПОЛОГИЙ

М.Макушин mmackushin@gmail.com

Основной движущий фактор развития полупроводниковой промышленности – производственные затраты. Для многих компаний переход к 28-нм топологии замедлился из-за более высоких затрат на обработку пластин и производство монокристаллических КМОП-микросхем, чем для 40-нм технологии. Затраты на производство 28-нм микросхем будут сокращаться, но проблемы проектирования для обеспечения технологичности производства (Design-For-Manufacturing, DFM) КМОП-микросхем с нанометровыми топологическими нормами останутся. Вот почему существуют серьезные причины рассмотреть варианты 28-нм процесса, обеспечивающие в сравнении с процессом предыдущего поколения меньшее энергопотребление и более высокий выход годных, а следовательно, и меньшие издержки производства. Проанализировать стоимостные показатели различных вариантов 28-нм технологического процесса следует и для принятия правильного решения относительно развития следующего поколения – 20-нм технологии.

ДО КАКИХ ПОР БУДЕТ ДЕЙСТВОВАТЬ ЗАКОН МУРА?

Как известно, долгое время полупроводниковая промышленность развивалась в соответствии с законом Мура. Этот закон – не природный (физический) закон. Он представляет собой эмпирическое наблюдение, согласно которому число транзисторов микросхемы каждые 18–24 месяца увеличивается в два раза без роста удельной функциональной стоимости. Тем не менее, долгое время он определял динамику не только технического, но и экономического развития полупроводниковой промышленности. Теперь же неясно, будет ли продолжаться тенденция удвоения числа транзисторов микросхемы при одновременном снижении удельных издержек ее производства.

Широко известные профессиональные издания, такие как Electronic Engineering Times, Solid State Technology и др., регулярно публикуют на своих сайтах мнения специалистов отрасли относительно вариантов технологического процесса, которые позволят полупроводниковой промышленности и далее развиваться в соответствии с законом Мура. Разброс мнений достаточно широк:

- 4,6% считают, что действие закона завершится с освоением 28-нм топологических норм;
- 9,7% называют предельными 14-нм нормы;
- 10,5% считают предельными 7-нм нормы;
- 34,7% считают, что действие закона Мура продлит замена стандартных планарных монокристаллических КМОП-микросхем схемами, изготовленными на полностью обедненном кремнии

на изоляторе (FD-SOI), схемами на основе трехмерных транзисторов FinFET-типа или их вариантами;

- 13,6% полагают, что действие закона никогда не прекратится.

Высказываются и предположения, что действие закона продлится благодаря использованию графена (12,5%) и 3D-структур (14,4%) [1]. Правда, развитие научно-технического прогресса может привести к самым неожиданным решениям задачи дальнейшего развития полупроводниковой электроники.

Мнение, что закон Мура перестанет действовать уже на уровне 28-нм технологии, обосновано значительным увеличением по мере масштабирования продолжительности этапа разработки/внедрения микросхем в производство и снижением выхода годных в начале их массового производства. Кроме того, приводятся следующие причины "смерти" закона Мура:

- 28-нм технология уже достаточно хорошо отработана, и маловероятно, что при оптимальной интеграции элементов микросхем она позволит достичь заметного увеличения выхода годных;
- по оценкам, для следующих поколений схем (22-/20-нм, 16-/14-нм) удельная стоимость транзистора по сравнению с 28-нм технологией существенно не уменьшится;
- сведения о встраиваемых СОЗУ, устройствах ввода/вывода и аналоговых функциональных блоках свидетельствуют о том, что затраты на изготовление большинства систем на кристалле

(SoC) следующих поколений будут выше, чем у 28-нм систем [2].

Противники мнения о прекращении действия закона Мура после освоения производства 28-нм схем утверждают, что FD-SOI-технология позволит продлить закон до 14-нм топологических норм, поскольку она значительно дешевле как планарной КМОП-, так и FinFET-технологии и по отношению производительность/потребляемая энергия превосходит их. Это подтвердили данные, приведенные компанией STMicroelectronics на европейском симпозиуме по промышленной политике (ISS) 2014 года (рис.1). Аналогичные выводы можно сделать и на основе результатов анализа 28-нм и менее технологий КМОП-, FinFET- и FD-SOI-схем со структурой затвора металлический затвор/диэлектрик с высокой диэлектрической проницаемостью (High k/metal Gate, НКМГ), проведенного одним из крупнейших контрактных производителей – GlobalFoundries (рис.2).

Проблема завершения действия закона Мура вследствие роста производственных затрат касается технологий обработки монокристаллического кремния, являющихся сейчас основой полупроводниковой промышленности, тогда как рост издержек производства FD-SOI-микросхем при одинаковой производительности с КМОП-схемами меньше [2]. С масштабированием топологических норм преимущество FD-SOI-технологии сохраняется: 20-нм планарные FD-SOI-схемы оказываются значительно дешевле 14-нм схем на основе finFET со структурой "затвор последним/диэлектрик первым"

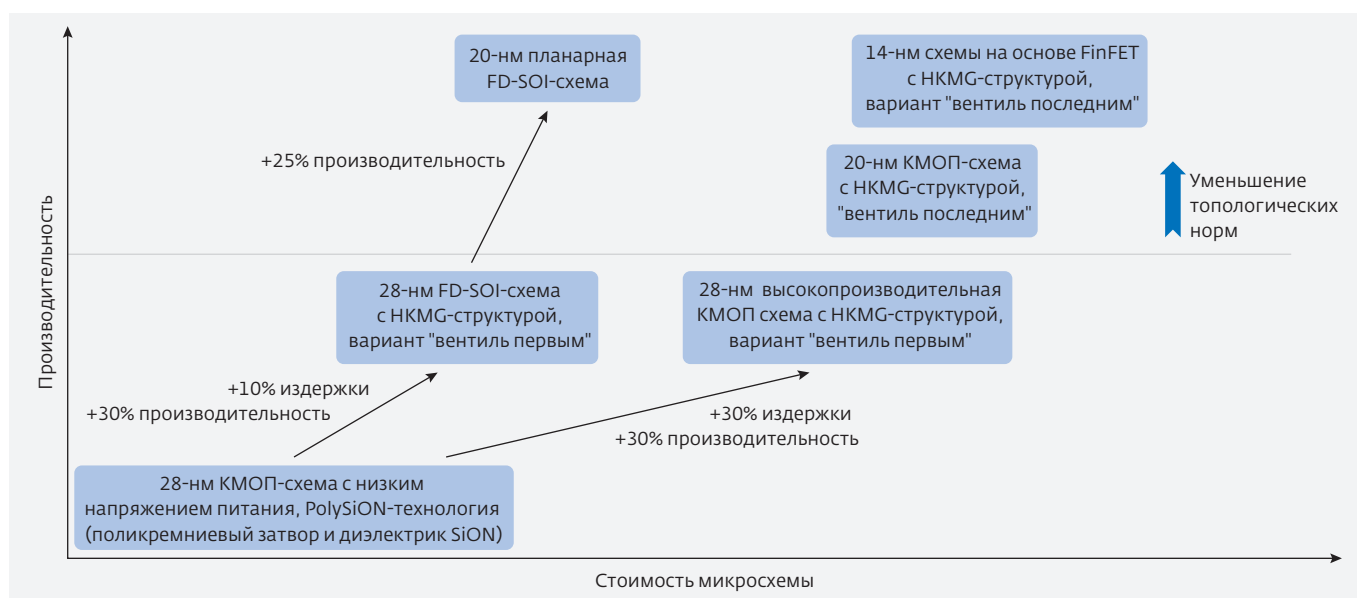


Рис.1. Соотношение производительность/стоимость микросхем, выполненных по различным технологиям



Рис.2. Продолжение действия закона Мура благодаря FD-SOI технологии

(gate last/high k first) с аналогичной производительностью, а более дорогие НКМГ КМОП-схемы со структурой gate last они превосходят по рабочим характеристикам.

К достоинствам FD-SOI-технологии ее сторонники также относят возможность использования существующих конструкций КМОП-микросхем и легкость адаптации сложнофункциональных (СФ) блоков различных конструкций и технологических поколений FD-SOI-микросхем.

Таким образом, похоже, что пока FD-SOI-технология – единственно пригодная технология для продолжения действия закона Мура до ~14-нм топологий, в то время как у других вариантов КМОП-технологий он прекращает действовать уже после 28 нм. К тому же FD-SOI-технология достаточно перспективна как для компаний, занимающихся разработкой микросхем и не располагающих собственным производством (fabless-компании), так и для контрактных производителей микросхем (foundries). Правда, контрактным производителям, которым необходимо обеспечивать рентабельность производства, сложнее осваивать FD-SOI технологию [3].

Чуть больше о законе Мура

В плане дальнейшего масштабирования полупроводниковых технологий, особенно с учетом планируемого перехода на обработку пластин диаметром

450 мм, надо отметить существование двух концепций дальнейшего развития микроэлектроники – "Больше Мура" (More Moore) и "Больше, чем Мур" (More than Moore). В чем суть этих концепций? Концепция "Больше, чем Мур" направлена не столько на масштабирование, сколько на повышение уровня интеграции за счет использования 2,5D- и 3D-архитектур, позволяющих существенно наращивать функциональность, сокращать занимаемую микросхемой площадь и потребляемую ею мощность. Эта концепция предусматривает дальнейшую специализацию процессов под конкретные применения, а также применение перспективных материалов и приборных структур. Такая стратегия выглядит достаточно реалистично, так как основана на уже существующих уровнях технологии формирования транзисторных структур. Ее сторонники – в основном компании со средним объемом прибыли, в первую очередь европейские. Большею частью это fabless- и fablite-компании*, обладающие достаточным опытом проектирования разнородных (как по топологии, так и по типам – память, логика и т.п) структур.

Стратегию "Больше Мура" поддерживают крупнейшие мировые изготовители полупроводниковых приборов, а также поставщики полупроводникового оборудования (например, компания ASML), которые экспортируют 80% своей продукции. Концепция "Больше Мура" отражает желание производителей изделий микроэлектроники и далее идти по пути масштабирования проектных норм, в том числе и при переходе на обработку пластин диаметром 450 мм. Эта концепция связана с тем, что новейшее производственное оборудование сосредоточено в руках ведущих контрактных производителей – TSMC и UMC (Тайвань), а также GlobalFoundries, штаб-квартира которого зарегистрирована в США, но 100% капитала принадлежит правительству эмирата Абу-Даби, входящего в состав ОАЭ. Подобным оборудованием располагают и крупнейшие традиционные вертикально

* Fablite (fab-lite) – так называемая стратегия "легких активов". При топологических нормах 90–65 нм компании производят на собственных мощностях по наиболее передовым технологиям только новейшие микросхемы с высокой добавленной стоимостью. Производство схем со средней и меньшей добавленной стоимостью передается сторонним компаниям в рамках модели fabless-foundry. При переходе на топологические нормы 45 нм и менее компании продолжают поддерживать наиболее передовые и экономически эффективные производства, отказываясь от строительства собственных заводов под 45-нм технологии, и переходят к модели fabless-foundry.

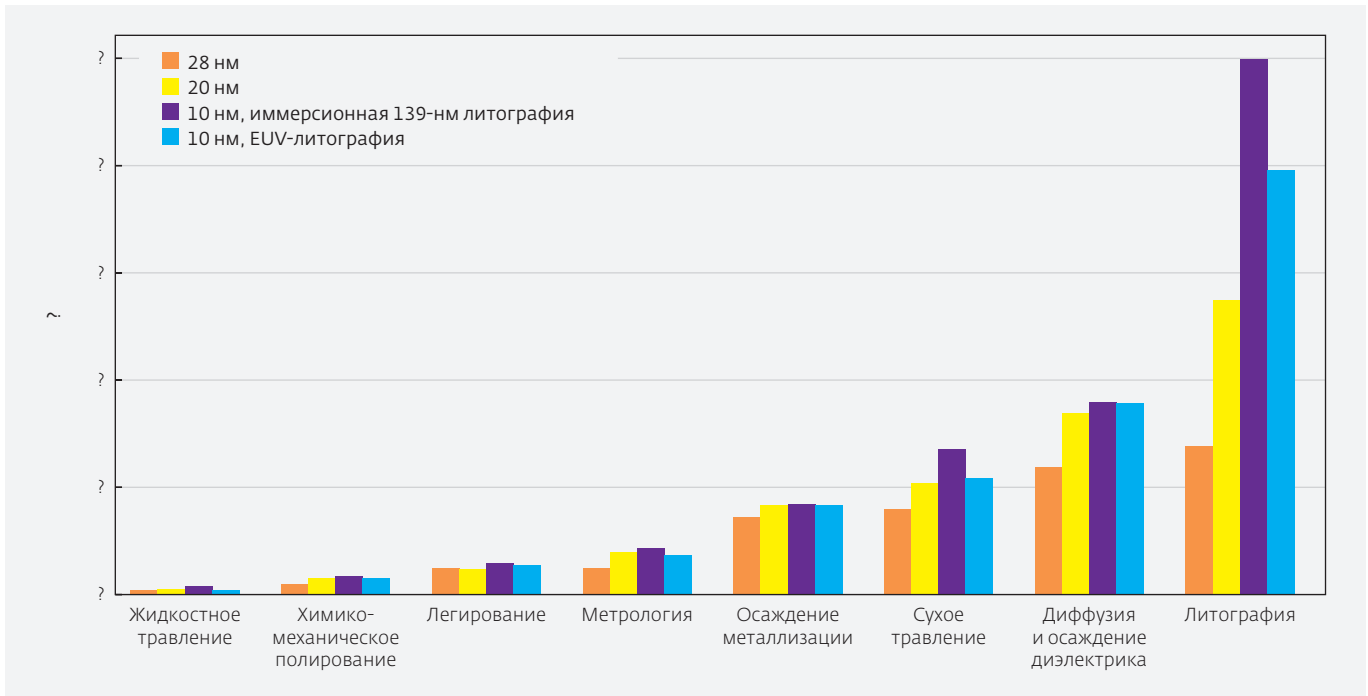


Рис.3. Структура издержек производства микросхем различных поколений

интегрированные изготовители (IDM), такие как Intel, Samsung и Toshiba, которые, в свою очередь, расширяют спектр услуг контрактного производства. Например, Samsung еще в 2009 году организовала автономное контрактное производство (на территории США) прикладных процессоров для смартфонов iPhone и планшетников iPad корпорации Apple.

Переход на обработку пластин диаметром 450 мм должен обеспечить значительное повышение экономической эффективности производства микросхем. Однако поскольку затраты на строительство завода по обработке 450-мм пластин могут превысить 10 млрд. долл., переход на обработку пластин такого размера связан с высоким риском. Он оказывается доступен лишь очень крупным корпорациям. Более того, экономический эффект такого перехода неясен – при переходе от 200-мм пластин к 300-мм пластинам речь шла о планарной 90-нм технологии, тогда как при переходе к 450-мм пластинам при 11/9-нм проектных нормах речь пойдет еще и о переходе на другие, более дорогостоящие технологии [4].

Действительно, Межуниверситетский центр микроэлектроники IMEC (Бельгия) на конференции IEDM 2013 продемонстрировал гетерогенную КМОП-схему на основе InGaAs FinFET-транзисторов, выполненную на 300-мм пластине. Показана возможность успешной реализации процесса интеграции

монолитной кремниевой КМОП-схемы и приборов на основе полупроводниковых соединений A³B⁵ с высокой плотностью размещения элементов в схеме. Этот прорыв не только позволит масштабировать КМОП-структуры до топологических норм 7 нм и менее, но и обеспечит появление новых гетерогенных КМОП РЧ-систем и КМОП-оптоэлектронных устройств. По утверждению разработчиков, в будущем такие схемы можно изготавливать и на 450-мм пластинах [5]. В настоящее время IMEC и его партнеры рассматривают перспективы дальнейшего развития этой технологии с выходом на 7-нм топологические нормы в 2016–2018 годы.

Таким образом, освоение технологий с топологическими нормами менее 11 нм связано с переходом на более сложные и дорогостоящие структуры, и еще не факт, что на 450-мм пластинах удастся добиться снижения удельных издержек производства на 30–40%, достигнутого при переходе с 200- на 300-мм пластины в условиях одного и того же 90-нм планарного КМОП-процесса [6].

ЭКОНОМИЧЕСКИЕ ФАКТОРЫ ПЕРЕХОДА К ТОПОЛОГИЯМ 28 И 20 НМ

Экономические аспекты производства по мере масштабирования оказывают все большее влияние на выбор технологического процесса изготовления микросхем. С выходом на 28-нм и меньшие нормы

затраты на производство микросхем для большинства конечных применений непрерывно растут. К этому можно добавить, что, во-первых, с уменьшением размеров элементов микросхемы структура издержек производства изменяется с опережающим ростом расходов на литографию (рис.3). Во-вторых, рост стоимости обработки пластин "съедает" эффект снижения стоимости микросхемы за счет увеличения плотности размещения элементов (табл.1). В-третьих, увеличение объема памяти, числа блоков ввода/вывода и других логических устройств, используемых в системе на кристалле, а также применение все большего числа драйверов и повторителей сигнала для снижения резистивно-емкостных задержек, нарастающих по мере уменьшения топологических норм, создают дополнительные трудности дальнейшего масштабирования. Следовательно, переход к 16-/14-нм топологиям системы на кристалле может привести к значительному увеличению издержек производства. Таким образом, возможно, 28-нм технология – последний рубеж, при котором действует закон Мура.

Высокие затраты на обработку кристаллов и производство микросхем по 28-нм технологиям обусловлены в первую очередь низким выходом годных вследствие высокого тока утечки, который, в свою очередь, влияет на параметрический выход годных приборов. Выход годных 28-нм микросхем будет увеличиваться, но проблемы проектирования для технологичности производства планарных 28-нм микросхем останутся. А поскольку освоение массового производства 20-нм планарных монолитных

КМОП-микросхем может оказаться достаточно длительным, поставщикам и потребителям изделий полупроводниковой электроники нужно оценить и другие возможные типы микросхем. Это может привести к более длительному применению 28-нм процессов, чем при переходе от 45- к 32-нм, а затем и от 32- к 28-нм топологиям. Проанализировать стоимостные факторы различных вариантов 28-нм технологического процесса следует и для принятия правильного решения относительно развития следующего поколения – 20-нм технологии. В противном случае убытки контрактных производителей и fabless-компаний могут составить миллиарды долларов.

Анализ затрат на 28-нм технологии

Для анализа затрат на изготовление традиционных КМОП- и FD-SOI-микросхем с топологическими нормами 28 нм рассмотрим данные корпорации International Business Strategy (IBS) относительно стоимости создания по таким технологиям микросхем площадью 100 и 200 мм² (табл.2). Затраты на обработку пластин приведены за первый квартал 2013 года на основе стоимости серийного производства компанией TSMC микросхем процессоров с восьмислойной металлизацией при 90%-й загрузке технологического оборудования. Оценка затрат монолитного КМОП-процесса проводилась для трех значений порогового напряжения процессорного ядра, т.е. для высокопроизводительных схем, схем с малой потребляемой мощностью и так называемых стандартных схем, занимающих по значению порогового напряжения

Таблица 1. Основные технико-экономические показатели КМОП-технологий с проектными нормами менее 90 нм

Проектная норма, нм	Число вентиляей на 1 мм ² , тыс. шт.	Коэффициент использования вентиляей, %	Число используемых вентиляей на 1 мм ² , 10 ³ шт.	Δ от выхода годных D ₂ [*] , %	Фактически используемые вентиляи на 1 мм ² , 10 ³ шт.	Число вентиляей на пластине, 10 ⁹ шт.	Стоимость пластины, млн. долл.	Δ стоимости, %	Стоимость схемы, содержащей 10 ⁶ вентиляей, долл.
90	630	85,7	540	97,4	532	33,631	1,357	–	0,04
65	1109	82,9	919	96,3	885	56,330	1,566	16,8	0,03
40	2130	78,4	1877	91,7	1538	97,942	1,909	19,7	0,02
28	3048	76,3	3011	86,7	2610	166,066	2,326	22,5	0,01
20	6002	64,7	4524	72,8	3293	209,541	2,982	28,2	0,01
16/14 ^{**}	17301	54,2	6715	50,9	4090	260,226	4,205	41,0	0,02

* Изменение выхода годных вследствие влияния параметрического выхода через два года после начала массового производства.

** Ожидается, что 16/14-нм микросхемы появятся в четвертом квартале 2016 года. Данные для 90-, 65-, 40-, 28- и 20-нм схем соответствуют их стоимости через два года после начала массового производства.

промежуточное положение. Учитывалась также необходимость поддержки СОЗУ и интерфейсов. Издержки FD-SOI-технологии рассчитывались с учетом одного порогового напряжения ядра и влияния явления смещения подложки.

Как видно из таблицы 2, издержки производства 28-нм FD-SOI-микросхем меньше, чем НКМГ КМОП-микросхем, даже при том что цена исходной КНИ-пластины составляет 500 долл., а кремниевой – 129 долл. И хотя стоимость КНИ-пластин будет снижаться, 28-нм FD-SOI-микросхемы, возможно, будут еще выпускать и при освоении массового производства 20-нм монокристаллических КМОП-схем. В этом случае экономия затрат fabless-компаний и контрактных производителей может оказаться очень значительной.

Но полупроводниковой промышленности необходимо оценивать и другие технологические варианты как с 28-нм, так и 20-нм топологическими нормами. И здесь нельзя обойти решение корпорации Intel, которая отклонилась от маршрутной карты развития планарной КМОП-технологии, выбрав FinFET-структуру для своих 22-нм приборов. Правда, у Intel достаточно ресурсов для разработки процессов изготовления микросхем с нанометровыми топологическими нормами и проектирования изделий для мелкосерийного производства. И если Intel решила, что

22-нм планарная КМОП-технология нежизнеспособна, маловероятно, что какая-либо другая компания добьется большого успеха при масштабировании традиционных 28-нм планарных технологий. Но для эффективной конкуренции вряд ли стоит создавать кремниевую FinFET-схему второго поколения. Целесообразнее разработать более дешевую и производительную, чем у соперников, FD-SOI-микросхему.

Анализ затрат на 20-нм технологии

Рассмотрим затраты на производство следующих 20-нм микросхем с восьмислойной металлизацией при 95%-й загрузке технологического оборудования:

- монокристаллических НКМГ КМОП-схем с различной толщиной слоев металлизации;
- FD-SOI-схем, изготовленных с помощью технологического процесса, подобного процессу производства 20-нм КМОП-схем, использованного в ходе масштабирования 28-нм технологии;
- схем на основе FinFET, выполненных на монокристаллическом кремнии. Рассматривались также 18-нм варианты (рис.4, табл.3, 4).

Оценка затрат на обработку пластин при изготовлении НКМГ КМОП-схем с рабочим напряжением 1,5 В проводилась с учетом трех значений порогового напряжения, а также стоимости

Таблица 2. Затраты на изготовление 28-нм микросхем площадью 100 и 200 мм²

Показатель	Монокристаллические НКМГ КМОП				FD-SOI (HP)		FD-SOI (LP)	
	HP*		LP**		100 мм ²	200 мм ²	100 мм ²	200 мм ²
	100 мм ²	200 мм ²	100 мм ²	200 мм ²				
Затраты на обработку пластины, долл.	2867,12	2867,12	2786,33	2786,33	3066,93	3066,93	2988,21	2988,21
Общее число микросхем	650,7	318,5	650,7	318,5	650,7	318,5	650,7	318,5
Выход годных, %	56,8	42,9	60,7	46,5	68,2	54,3	70,4	55,8
Число годных микросхем	369,6	136,6	395,0	148,1	443,8	172,9	458,1	177,7
Затраты на микросхему, долл.	7,76	20,98	7,05	18,81	6,91	17,73	6,52	16,81

* HP – высокопроизводительные схемы.

** LP – схемы с малой потребляемой мощностью.

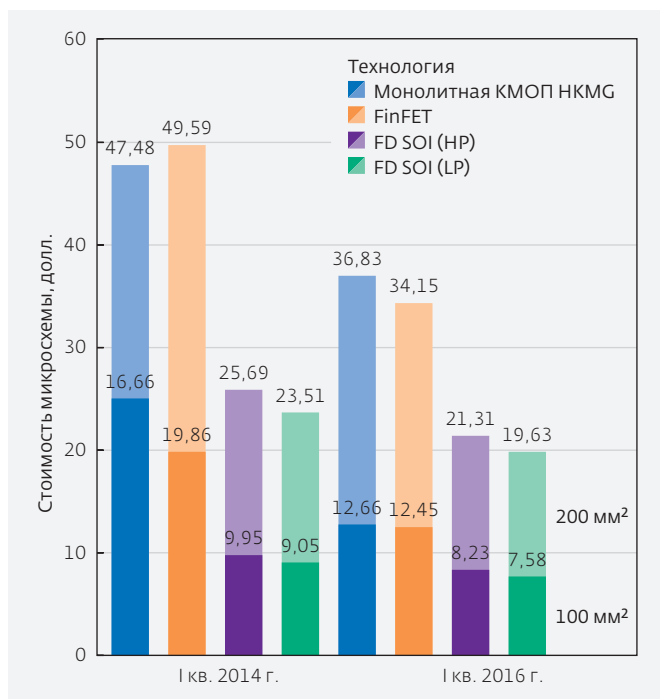


Рис. 4. Оценка стоимости 20-нм микросхем площадью 100 и 200 мм²

расположенного на кристалле СОЗУ. При оценке затрат на обработку 20-нм FinFET-структур учитывалась стоимость существующих технологий массового производства контрактными компаниями FinFET-схем на монолитном кремнии, а также сравнительно длительный период тестирования в процессе производства и сложность изготовления таких структур. Как видно из табл. 3 и 4, самые

дешевые микросхемы, реализованные по 20-нм технологии, – это FD-SOI-схемы, формируемые на основе КНИ-пластин ценою в 500 долл. Причина более низкой стоимости обработки по FD-SOI-технологии в сравнении с другими процессами – меньшее число используемых шаблонов.

Для всех технологий выход годных приведен для микросхем с напряжением питания 0,9 В. Выход годных FD-SOI-микросхем (с учетом явления смещения подложки) значительно выше, чем для НКМГ КМОП-варианта. Одна из основных причин более низкого выхода годных монолитных НКМГ КМОП-микросхем – случайные флуктуации ионно-имплантированных примесей. В FD-SOI-технологии ионной имплантации не требуется. Предполагается, что при напряжении питания, равном 1,0 В, выход годных микросхем будет больше. Но при этом возрастет потребляемая мощность. Напряжение питания FD-SOI-схем может быть уменьшено до 0,6–0,7 В. И хотя при этом несколько снижается производительность, энергопотребление уменьшается, обеспечивая значительное (пятикратное) преимущество FD-SOI-схем по отношению производительность/потребляемая энергия перед другими рассматриваемыми микросхемами (рис. 5). И сегодня FD-SOI – единственная технология, способная обеспечивать безопасную работу микросхем при низком напряжении питания.

Быстрый выход на серийное производство в сочетании с прогнозируемым наращиванием выхода годных предоставляет дополнительные экономические преимущества 20-нм FD-SOI-технологии перед другими технологическими вариантами.

Таблица 3. Затраты на изготовление 20-нм КМОП- и FinFET-микросхем площадью 100 и 200 мм² (оценочные данные за первый квартал 2014 и 2016 годов)

Показатель	Монолитные НКМГ КМОП				FinFET			
	100 мм ²		200 мм ²		100 мм ²		200 мм ²	
	1'14	1'16	1'14	1'16	1'14	1'16	1'14	1'16
Затраты на обработку пластин, тыс. долл.	4,0	3,68	4,06	3,7	5,34	4,63	5,34	4,63
Общее число кристаллов с микросхемой, шт.	650,7	650,7	315,5	318,5	650,7	650,7	318,5	318,5
Выход годных, %	36,9	44,7	26,7	31,4	41,3	57,2	33,8	42,6
Число годных микросхем	240,1	290,9	84,2	100,0	268,7	372,2	107,7	135,7
Затраты на производство микросхемы, долл.	16,66	12,66	47,48	36,83	19,86	12,45	49,58	34,15

Промежуточный итог анализа затрат на 28- и 20-нм технологии

По результатам анализа технологических вариантов производства микросхем с проектными нормами 28 и 20 нм корпорация IBS пришла к следующим выводам:

- монолитная НКМГ КМОП-технология имеет низкие значения параметрического выхода годных при 20-нм нормах. Время достижения после начала производства значения выхода годных, равного 90%, составит от 24 до 36 месяцев;
- производство 20-нм FinFET-структур – дорогостоящее, и значения параметрического выхода годных низкие. Время достижения высокого значения выхода годных после начала производства также составит от 24 до 36 месяцев. Кроме того, по-видимому, рабочее напряжение FinFET будет равно 0,9 или 1,0 В;
- 20-нм FD-SOI технология отличается наименьшей стоимостью обработки пластины. Значение параметрического выхода годных 20-нм FD-SOI микросхем площадью 100 мм² будет на 63% выше, а отношение производительность/потребляемая энергия – на 30–40% лучше, чем у монолитных НКМГ КМОП-схем. Применение этой технологии облегчит изготовление аналоговых портов благодаря хорошим подпороговым характеристикам схем.

Аналитики IBS считают, что при достижении 20-нм топологических норм реальная конкуренция, скорее всего, развернется между технологиями производства микросхем на основе

FinFET- и FD-SOI-структур. Но FinFET-микросхемы – новая технология для промышленности, и проблемы снижения ее издержек производства не будут полностью решены и в первом квартале 2016 года [7].

ПРОДОЛЖИТЕЛЬНОСТЬ ОСВОЕНИЯ НОВОЙ ПРОЕКТНОЙ НОРМЫ ВОЗРАСТАЕТ

Эксперты IBS высказали опасение, что переход к новым технологическим процессам с меньшими топологическими нормами может оказаться продолжительнее, чем ожидалось. Это обусловлено более высокими издержками и более длительными циклами проектирования. В то же время объем рынка полупроводниковых приборов в 2014 году благодаря укреплению мирового ВВП и развитию инновационных процессов превысит объем 2013 года.

После анализа числа начатых разработок 20-нм микросхем и их конкуренции в корпорации IBS пришли к выводу о возможной задержке освоения 20-нм и менее технологий. Конструкций оказалось мало, а конкуренция – невысокой. При этом число новых разработок конструкций в основном зависит от двух потребителей: компаний Qualcomm и Apple. Кроме того, существует серьезная проблема более высоких издержек 20-нм технологий по сравнению с 28-нм уровнем (рис.6). Это обусловлено недостаточным увеличением плотности упаковки логических элементов микросхемы и влиянием выхода годных. По мнению корпорации IBS, массовое производство 20-нм микросхем начнется не в 2014 году,

Таблица 4. Затраты на изготовление 20-нм микросхем площадью 100 и 200 мм² (оценочные данные за первый квартал 2014 и 2016 годов)

Показатель	FD-SOI (HP*)				FD-SOI (LP**)			
	100 мм ²		200 мм ²		100 мм ²		200 мм ²	
	1'14	1'16	1'14	1'16	1'14	1'16	1'14	1'16
Затраты на пластину, тыс. долл.	3,92	3,61	3,92	3,61	3,68	3,42	3,68	3,42
Общее число микросхем	650,7	650,7	318,5	318,5	650,7	650,7	318,5	318,5
Выход годных, %	60,5	67,4	47,9	53,1	62,4	69,3	49,1	54,7
Число годных микросхем	393,7	438,6	152,6	169,1	406,0	450,9	156,4	174,2
Затраты на производство микросхемы, долл.	9,95	8,23	25,69	21,34	9,05	7,58	23,51	19,63

* HP – высокопроизводительные схемы

** LP – Схемы с малой потребляемой мощностью и, соответственно, малым током утечки.

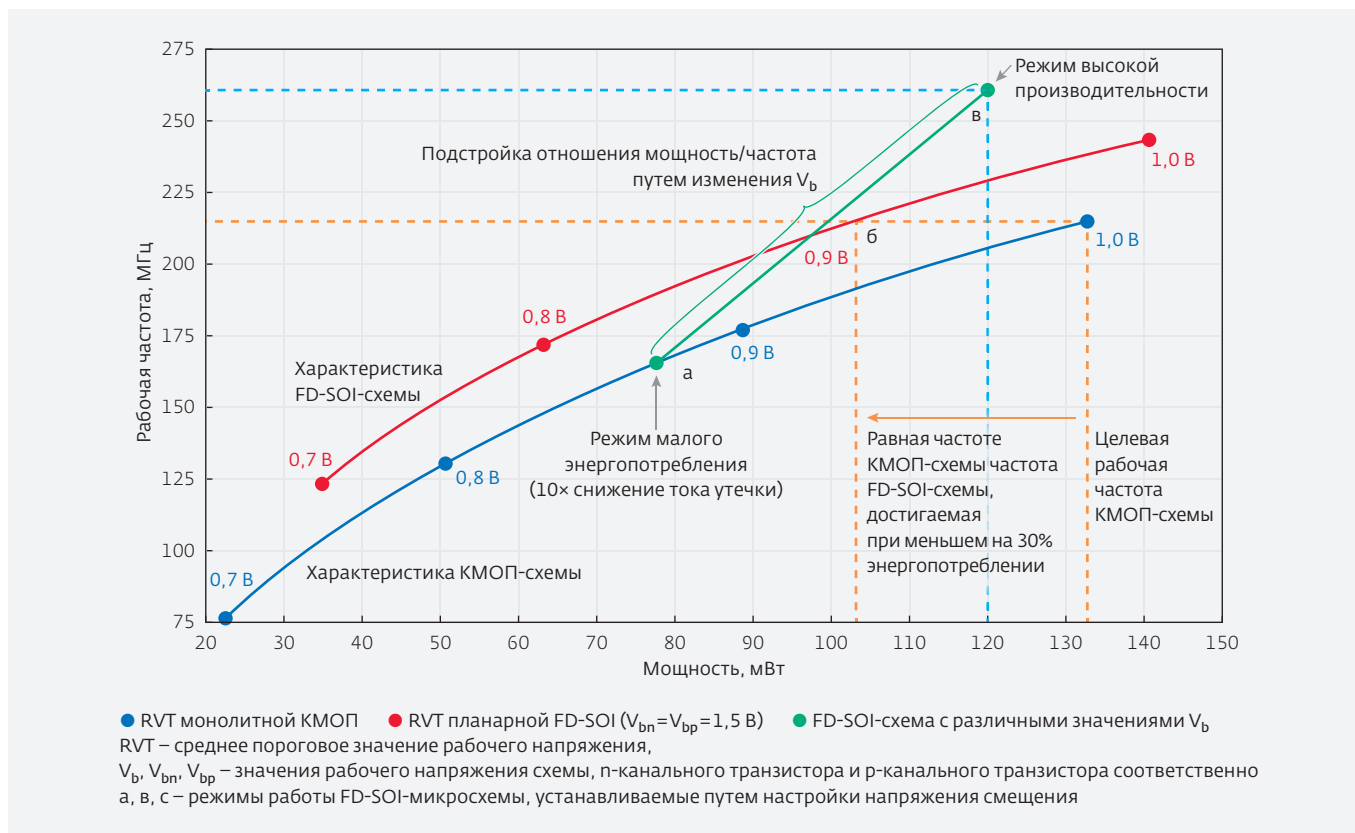


Рис.5. Сопоставление потребляемой мощности и производительности систем на кристалле, выполненных по планарной FD-SOI- и стандартной планарной КМОП-технологиям с топологическими нормами 20 нм

а в 2015–2016 годы. Правда, корпорация Intel в третьем квартале 2011 года начала массовое производство 22-нм процессоров на основе FinFET, известных под кодовым названием Ivy Bridge, и по оценкам, в 2013 году на долю этих микросхем приходилось до одной трети ее отгрузок микропроцессоров.

Но несмотря на опыт Intel, задержка с выходом на рынок, скорее всего, произойдет и при освоении 16/14-нм технологий. Внедрение таких схем в производство намечено на конец 2016 года – начало 2017. В основном это будут системы на кристалле. Задержка массового производства ожидается и для 10-нм схем. Это означает, что речь идет не о двухлетнем и даже не о трехлетнем периоде (от первичного проектирования до поступления серийных микросхем конечным потребителям) перехода на новые проектные нормы. Действительно, массовое производство* 28-нм НКМГ-микросхем началось в конце 2013 года, через четыре года после появления опытных образцов.

* IBS считает производство микросхемы массовым, если на ее долю приходится не менее 10% общего объема выпуска микросхем компании.

Сейчас начинается освоение 20-нм процессов, и проблема длительности цикла проектирования играет важную роль. Подготовка библиотек стандартных элементов и СФ-блоков может занять как минимум шесть месяцев, аттестация конструкции – еще полгода, налаживание опытного производства – около года. То есть цикл освоения производства нанометровых микросхем займет не менее двух лет. Но, как правило, каждый технологический уровень подразумевает разработку трех вариантов процесса: стандартных, высокопроизводительных и схем с малой потребляемой мощностью. В результате на создание и освоение трех технологий полупроводниковой промышленности потребуется три года. Но с точки зрения существующей инфраструктуры это невозможно даже при готовности к этому заводов по обработке пластин.

Стоимость проектирования 16/14-нм прикладного процессора/модема может составить 450–500 млн. долл. Чтобы позволить себе такие траты, доходы компании должны быть на порядок выше. Как известно, полупроводниковых компаний с доходом 4,5–5 млрд. долл. не так уж и много. Длительность проектирования вызывает и трудности, связанные с рынками

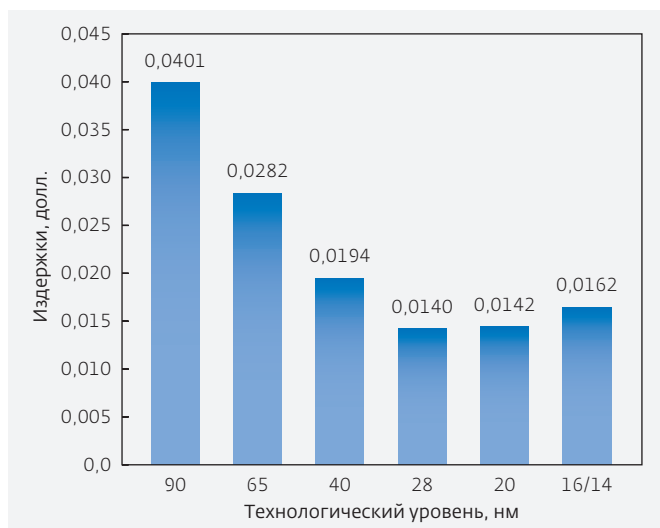


Рис.6. Динамика издержек на создание эквивалентных логических элементов из расчета 10⁶ элементов за доллар

конечного потребления. Так, на рынке смартфонов спрос на микросхемы меняется очень быстро, и возможно возникновение проблемы окупаемости микросхем новых поколений.

Давно отмечено, что по мере масштабирования технологического процесса число требующих решения задач, с которыми сталкивается полупроводниковая промышленность, растет. Освоение FinFET-технологии только усложняет существующие проблемы. Например, разработка 14-нм FinFET-процесса и расширение массового производства 22-нм микросхем корпорацией Intel не укладываются в заданные

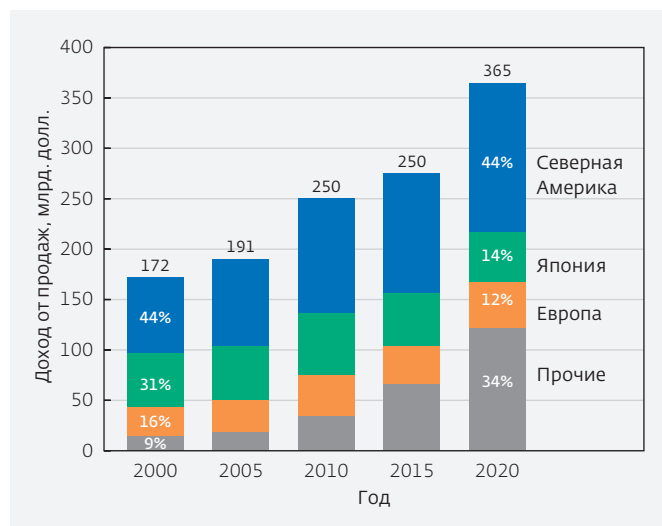


Рис.7. Прогноз географического расположения мировой полупроводниковой промышленности

сроки. Другие компании, никогда не производившие и/или не проектировавшие микросхемы на основе FinFET, вряд ли смогут сделать это быстрее. Исходя из этих соображений, IBS оценивает перспективы освоения 10-нм технологий как достаточно смутные. Производственная линия, способная обрабатывать 10 тыс. пластин в месяц по 10-нм технологии, будет стоить более 2 млрд. долл. При увеличении объема производства до 40/100 тыс. пластин в месяц затраты вырастут соответственно до 8/20 млрд. долл. [8].

ГЕОГРАФИЯ ПОЛУПРОВОДНИКОВОГО ПРОИЗВОДСТВА

С точки зрения географического расположения штаб-квартир ведущих полупроводниковых компаний, устойчивые позиции до 2020 года сохранит Северная Америка. Доля компаний ЕС и Японии в мире будет постепенно снижаться, а увеличение удельного веса компаний "прочих стран мира" будет достигнуто в основном за счет Южной Кореи, КНР и Тайваня (рис.7).

Наиболее передовые структуры с проектными нормами 28 и 20 нм, разрабатываемые в соответствии с законом Мура, выпускаются в США. Появились и 16/14-нм структуры. В развивающихся странах большая часть структур по-прежнему выполняется с 40-нм топологическими нормами, а 28-нм технологии считаются новыми. Отход от поликремниевых к НКМГ-затворам для следующего поколения микросхем только начинается. В результате, по оценкам IBS, продажи микросхем, реализованных по новейшим технологиям, на мировом рынке будут расти не так быстро, как ожидалось. Например, доля продаж вентиляционных матриц FPGA-типа с минимальными размерами элементов от 32/28 до 16/14 нм составит 50% рынка только в 2017 году [8].

Одновременно с IBS анализ роста затрат на проектирование ИС провела корпорация Xilinx. Правда, оценка приводилась для собственных специализированных микросхем ASIC- и ASSP-типа. В частности, компания отметила сильный рост повторяющихся расходов (NRE) при разработке полупроводниковых приборов следующих поколений. Действительно, менее чем за три года NRE увеличились с 85 млн. долл. для 45-нм технологии до более 170 млн. долл. для 28-нм технологии (рис.8). Оценивая дальнейший рост издержек, Xilinx называет затраты в 340 млн. долл. для 14-нм технологии и 680 млн. долл. для 7-нм технологии [9].

ЧТО ЖЕ В ИТОГЕ?

Анализ затрат на освоение 28-нм и менее технологий, а также перспектив перехода на

обработку пластин диаметром 450 мм позволяет сделать ряд выводов, относящихся к формированию позиций и планов развития российской микроэлектроники.

Во-первых, отсутствие массового рынка микроэлектроники в Российской Федерации не позволит в обозримой перспективе планировать массовое освоение технологий обработки 300-мм пластин с дальнейшим выходом на обработку 450-мм пластин из-за высокой капиталоемкости и слабых перспектив окупаемости соответствующих вложений. Однако в результате перехода ведущих зарубежных компаний к 450-мм пластинам оборудование для обработки 300-мм пластин станет доступнее, и освоение их обработки по технологиям с проектными нормами 65 и 45 нм может привести к значительному улучшению качества отечественной микроэлектроники.

Во-вторых, с учетом результатов анализа экономических аспектов освоения технологических процессов с топологическими нормами менее 28

и 20 нм можно сделать вывод, что, по-видимому, российской микроэлектронике необходимо осваивать КНИ-технологии с глубоко обедненными каналами (FD-SOI) как одну из наиболее рентабельных технологий изготовления микросхем с нанометровыми топологическими нормами.

В-третьих, освоение технологий с проектными нормами менее 20 нм не следует рассматривать как первоочередную необходимость. Более выгодным представляется переход к 3D-технологии, позволяющей объединять разнородные микросхемы (например, 32-/22-нм схемы памяти и 65-/45-нм логические блоки). Поскольку при этом расширяются функциональные возможности и характеристики системы на кристалле, можно не торопиться с освоением 28-/20-нм технологий и выпускать достаточно перспективные микросхемы с помощью более "зрелых" и менее дорогих технологических процессов.

И, наконец, необходимо и дальше развивать центры проектирования микросхем (по типу fabless-компаний) с учетом зарубежного опыта создания "сетей превосходства" (защищенные сети фирм-проектировщиков, пользующихся в рамках решения одной задачи коллективным доступом к современным инструментальным средствам САПР). Некритическую продукцию могут выпускать зарубежные контрактные производители, а для изготовления микросхем для критических систем лучше иметь собственное 300-мм производство – одну-две линии, благо цены на соответствующее оборудование в последние годы существенно снизились.

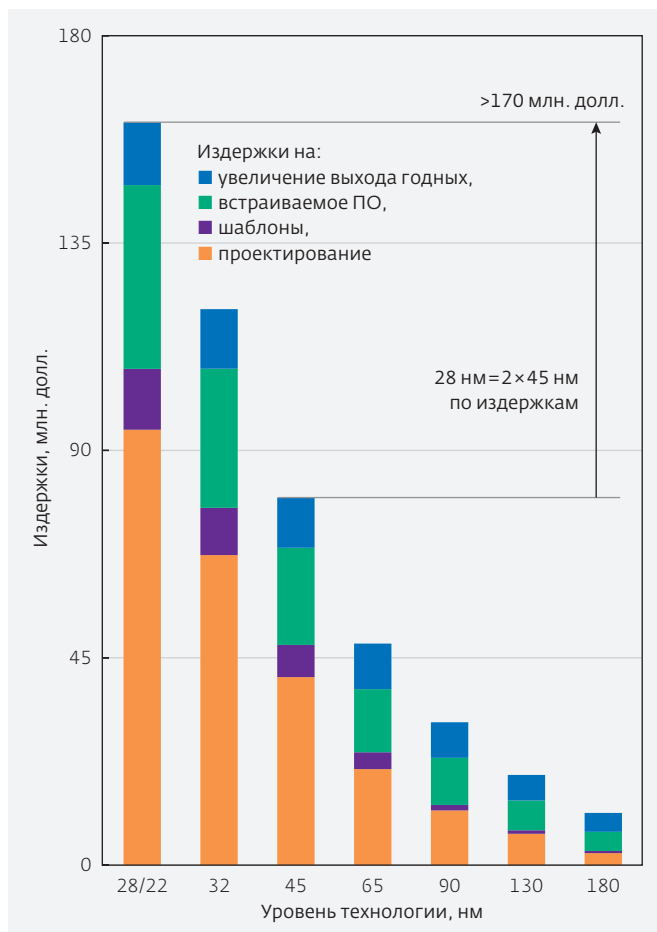


Рис. 8. Оценка корпорации Xilinx роста затрат на проектирование микросхем в зависимости от топологических норм

ЛИТЕРАТУРА

1. **Merritt R.** Chip Experts Cautiously Optimistic. – www.eetimes.com/document.asp?doc_id=1321880.
2. **Zvi Or-Bach.** Moore’s Law has stopped at 28nm. – Solid State Technology. Advanced Packaging, 03/11/2014.
3. **Hars A.** FD-SOI Keeps Moore’s Law on Track. – Solid State Technology. The Pulse, March 07, 2014.
4. A single European semiconductor strategy is on its way. – Solid State Technology, 02/28/2013.
5. **Майская В.** Конференции IEDM и ISSCC. Лучшие из лучших. – Электроника: НТБ, 2014, №2, с. 32–37.
6. **Johnson R.C.** III-V FinFET Fabled on Silicon. – EE Times, 11/7/2013.
7. **Jones H.** Economic impact of the technology choices at 28 nm/20 nm. – International Business Strategy, White Paper, June 2012.
8. **Jones H.** High cost per wafer, long design cycles may delay 20nm and beyond. – Solid State Technology. Wafer News, Feb. 03, 2014.
9. **Feldman I.** SEMI ISS: Scaling innovation. – Solid State Technology. Wafer News, Feb. 03, 2014.