

БЫСТРОДЕЙСТВУЮЩИЕ ОЗУ – ПРОБЛЕМЫ СОЗДАНИЯ

П. Пастухов pastuhov.p@milandr.ru,
П. Леонов

Среди разнообразных микросхем памяти, предлагаемых зарубежными и отечественными производителями, особое место занимают статические оперативные запоминающие устройства (СОЗУ). От их информационной емкости (количества единиц информации, которые можно хранить и обрабатывать в микросхеме памяти) и быстродействия (скорости обмена данными между процессором и памятью) зависит производительность вычислительных систем, устройств передачи данных и др. В статье анализируются проблемы создания современных СОЗУ.

Статическая оперативная память, или память с произвольным доступом, – основное место хранения данных текущих задач в вычислительных системах. Простота интерфейса, ставшего классическим, хорошие эксплуатационные характеристики – малое время доступа для чтения и записи, низкое энергопотребление в режиме хранения информации – обеспечили ее широкое применение в системах с частым доступом, а также в кэш-памяти. Кэш или сверхоперативная память – очень быстрое запоминающее устройство небольшого объема, которое используется для компенсации разницы в скорости обработки информации микропроцессором и оперативной памятью.

Наряду с достоинствами у микросхем СОЗУ существуют и недостатки – высокая стоимость и большая потребляемая мощность в режимах записи и чтения. Последнее не является принципиальной особенностью СОЗУ, а обусловлено высокой скоростью работы устройства. Чем выше скорость работы микросхемы, для СОЗУ – чем меньше время циклов записи и считывания, тем большую мощность она потребляет. При снижении частоты обращения энергопотребление микросхем СОЗУ уменьшается

линейно и на частотах около 1 МГц определяется статическим потреблением.

Поскольку в настоящее время высокое быстродействие микросхем СОЗУ – основная эксплуатационная характеристика, определяющая их применение, усилия разработчиков направлены на повышение этого параметра.

Для решения задач по увеличению быстродействия микросхем статических ОЗУ применяются различные методы – от выбора технологии изготовления (как правило, на основе субмикронных проектных норм), архитектурных и схемотехнических решений до разработки топологии. Выбор технологии изготовления – основной фактор, оказывающий влияние на быстродействие микросхем.

ВЫБОР ТЕХНОЛОГИИ

В последние три десятилетия уменьшение топологических норм КМОП-технологии было главной движущей силой электронной промышленности. Современные транзисторы в 20 раз быстрее и занимают менее 1% площади устройств, изготовленных 20 лет назад. Количество транзисторов на кристалле, согласно закону Мура (рис.1), и производительность системы увеличивались

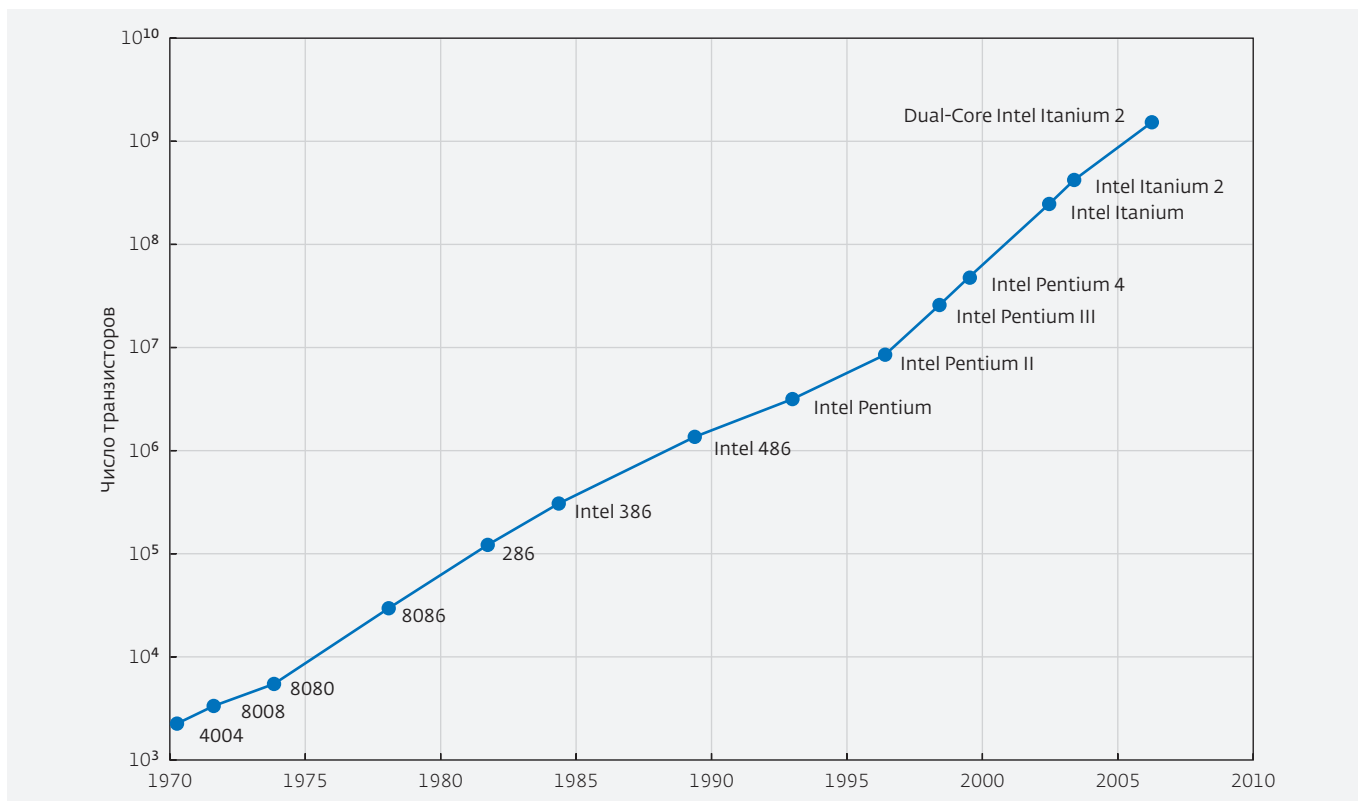


Рис.1. Закон Мура

в геометрической прогрессии на протяжении последних двух десятилетий.

Преимущества уменьшения топологических норм – увеличение быстродействия и плотности размещения элементов. Быстродействие, определяемое временем переключения КМОП-логики, обратно пропорционально нагрузочной емкости и напряжению, до которого необходимо зарядить эту емкость, и прямо пропорционально току МОП-транзисторов. По мере увеличения плотности размещения уменьшаются длина и ширина МОП-транзисторов, что снижает нагрузочную емкость и повышает ток стока. Снижение величины напряжения питания с уменьшением размеров МОП-транзисторов (рис.2) ведет к снижению времени и энергии переключения транзисторов, а уменьшение толщины подзатворного диэлектрика – к снижению порогового напряжения. При этом разница между напряжением затвор-исток и пороговым напряжением остается неизменной и соответственно ток стока МОП-транзистора останется на том же уровне при уменьшении напряжения питания.

Главные недостатки уменьшения топологических норм – повышение токов утечки и увеличение удельной мощности. Токи утечки возрастают

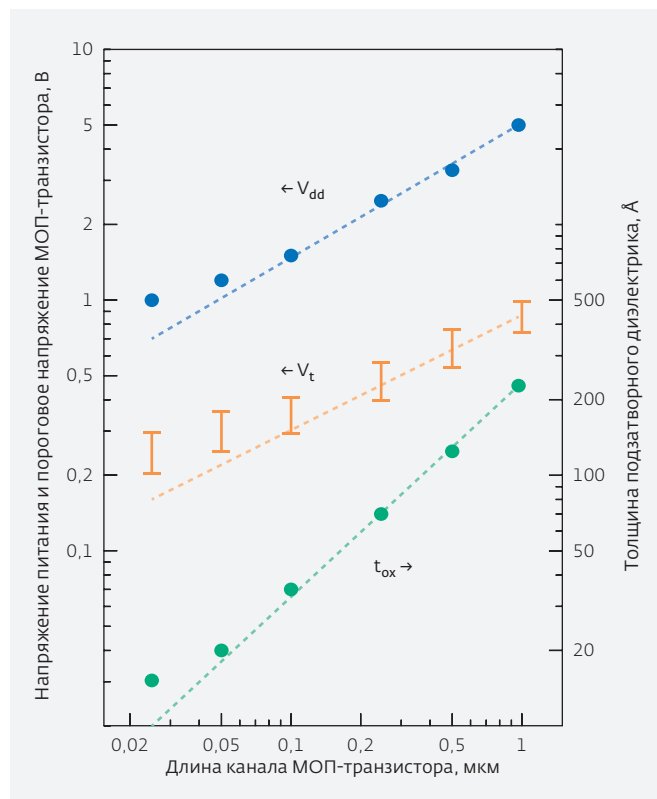


Рис.2. Изменения величин напряжения питания (V_{dd}), порогового напряжения (V_t) и толщины подзатворного диэлектрика (t_{ox}) при уменьшении топологических норм

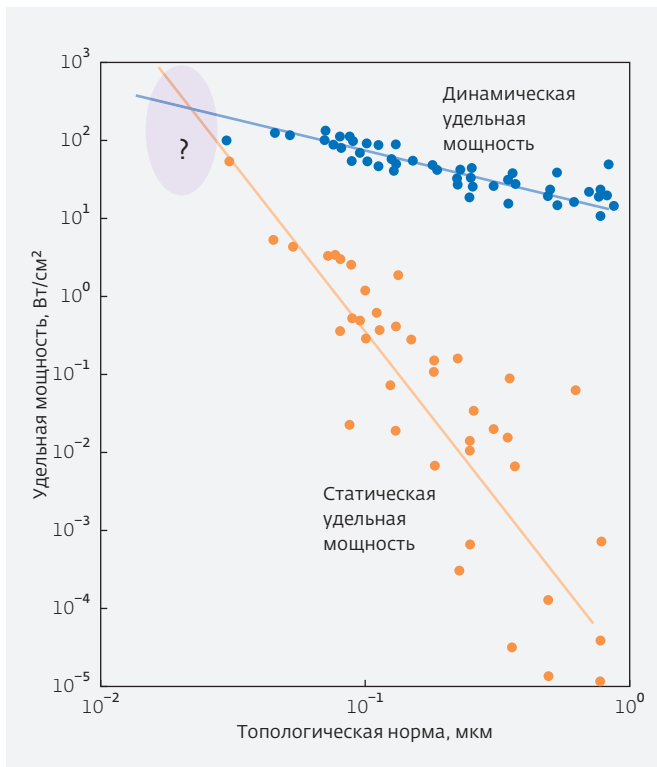


Рис. 3. Изменения статической и динамической удельных мощностей при уменьшении топологических норм

в результате уменьшения порогового напряжения и длины канала. Переход к нанометровым размерам приводит к существенному изменению энергетического баланса [1]. Преобладающей становится статическая составляющая мощности (за счет подпороговых токов утечки) (рис.3). Повышение удельной мощности накладывает дополнительные требования к отведению тепла. Удельная мощность выше 1000 Вт/см² делает невозможным воздушное охлаждение кристаллов.

Таким образом, при создании быстродействующих микросхем СОЗУ, как, впрочем, и других микросхем, целесообразно использовать передовые субмикронные КМОП-технологии ведущих фабрик мира. При этом нужно учитывать не только параметры быстродействия, но и энергопотребление, особенно его статическую составляющую. В качестве примера приведем сравнение основных параметров МОП-транзисторов, а также задержек на логическом элементе для различных вариантов КМОП-технологий компании TSMC с проектными нормами 65 и 90 нм (см. табл.). Как видно из таблицы, наиболее быстродействующая технология CMOS65G имеет огромные значения токов утечки, что неприемлемо даже для быстродействующих ОЗУ. Поэтому технология CMOS65LP,

несмотря на лучшие перспективы CMOS65G с точки зрения быстродействия, предпочтительнее.

СЛОЖНОСТИ РАЗРАБОТКИ СХЕМЫ И ТОПОЛОГИИ Эффекты в МОП-транзисторах для субмикронных технологий

Уменьшение топологических норм КМОП-технологии приводит к появлению новых физических эффектов в МОП-транзисторах [2, 3]. Рассмотрим кратко наиболее важные из них.

Модуляция длины канала (channel length modulation, CLM). Когда напряжение сток-исток длинноканального транзистора становится равным напряжению насыщения, происходит отсечка канала, и ток стока перестает зависеть от напряжения. Однако вследствие расширения области пространственного заряда стока длина канала уменьшается, что приводит к увеличению тока стока. Этот эффект особенно существенен в короткоканальных транзисторах, когда длина канала сравнима с величиной ее вариации под действием напряжения на стоке.

Прокол между истоком и стоком. Если МОП-транзистор заперт, а напряжение на его стоке возрастает, то область пространственного заряда стока распространяется в сторону истока. Поскольку концентрация примеси в канале обычно выше, чем в подложке, в глубине структуры область пространственного заряда оказывается больше, чем в области канала, и может достичь истока. При этом практически исчезает потенциальный барьер между истоком и стоком и появляется ток стока, не управляемый напряжением на затворе.

Эффект короткого канала. В длинноканальных транзисторах величина порогового напряжения не зависит от длины канала. С уменьшением длины канала изменяется конфигурация двумерного электрического поля объемного заряда в подложке за счет сближения областей пространственного заряда истока и стока, при этом повышается средняя напряженность поля под затвором. В результате увеличивается модуль поверхностного потенциала и, следовательно, снижается пороговое напряжение. Такое явление называется "эффектом короткого канала".

Обратный эффект короткого канала. В некоторых транзисторах при уменьшении длины канала пороговое напряжение сначала возрастает, затем убывает. Рост порогового напряжения с уменьшением длины канала называют обратным эффектом короткого канала. Такой эффект возникает в МОП-транзисторах, где используются так называемые

Сравнение основных параметров МОП-транзисторов для КМОП-технологий компании TSMC 65 нм и 90 нм

	Тип	CMOS65LP		CMOS65G		CMOS90LP		CMOS90G	
		NMOS	PMOS	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS
Ток насыщения транзистора, I_{dsat} , мКА/мкм	SVT	603	317	807	409	530	215	635	241
	HVT	434	217	706	338	399	153	507	195
Ток утечки транзистора в закрытом состоянии, I_{off} , пА/мкм	SVT	211	129	29138	33017	300	236	11486	4618
	HVT	10	4	4482	3552	16	7	1282	680
Ток утечки затвора транзистора, I_{leak} , нА/мкм ²	SVT	0,35	0,02	60	12	0,15	0,01	25	8
	HVT	0,35	0,02	60	12	0,15	0,01	25	8
Задержка на логическом элементе, пс/вентиль	SVT	9,3		5,8		12,8		9,4	
	HVT	14,5		7,5		18,3		12,4	

В обозначениях технологий: LP (low power) – вариант технологии с уменьшенными утечками, G (general) – стандартный вариант технологии.

NMOS, PMOS – МОП-транзисторы с каналом n- и p-типа соответственно.

SVT, HVT – транзисторы со стандартным и высоким пороговым напряжением, соответственно.

halo – или rockets-имплантация [3]. В канале по краям затвора появляются две области с повышенной концентрацией примеси. При уменьшении длины канала эти области сближаются и их вклад в среднюю концентрацию примеси в канале увеличивается. Поэтому сначала пороговое напряжение повышается, но затем основной эффект – сближение обедненных областей истока и стока – становится преобладающим, и пороговое напряжение падает.

Эффект узкого канала. Область объемного заряда обычно шире канала за счет краевого эффекта. Когда ширина канала становится сравнима с шириной обедненной области под затвором, доля пространственного заряда, выходящего за границы, определяемые затвором, становится существенна по сравнению с общим зарядом под затвором. Вследствие закона сохранения заряда при том же напряжении на затворе доля заряда, находящегося в области канала, уменьшается на величину заряда, выходящего за границы затвора. Это приводит к увеличению порогового напряжения по сравнению с длинноканальными транзисторами.

Обратный эффект узкого канала. Эффект снижения порогового напряжения при уменьшении ширины канала называют обратным эффектом узкого канала. Он наблюдается в транзисторах, изолированных мелкими канавками (Shallow Trench Isolation, STE). Именно такая изоляция наиболее часто используется для технологических норм менее 0,25 мкм. Напряженность электрического поля на границе с изолирующими канавками

оказывается выше, чем в центральной части под затвором, поэтому инверсия канала на границе с канавками наступает раньше, чем в центре. В результате эффективное пороговое напряжение снижается.

Уменьшение подвижности носителей заряда вследствие вертикальной компоненты электрического поля. Малая толщина подзатворного диэлектрика субмикронных транзисторов (несколько нанометров) способствует увеличению напряженности вертикальной компоненты электрического поля под затвором до величины, при которой подвижность носителей уменьшается вследствие их рассеяния на шероховатостях поверхности, на фононах и на неподвижных зарядах вблизи поверхности (кулоновское рассеяние). Эффект уменьшения подвижности, не учитываемый в транзисторах с толстым диэлектриком, приводит к тому, что вольт-амперная характеристика в области насыщения перестает быть квадратичной и стремится к линейной.

Снижение потенциального барьера под затвором, вызванное напряжением на стоке (Drain Induced Barrier Lowering, DIBL-эффект). Поскольку область пространственного заряда стокового p-n-перехода с ростом напряжения на стоке приближается к истоку, повышение напряжения на стоке способствует увеличению среднего значения вертикальной составляющей напряженности поля под затвором. Это эквивалентно снижению порогового напряжения и приводит к уменьшению дифференциального сопротивления стока в области насыщения. DIBL-эффект снижает также потенциальный барьер p-n-перехода

истока, увеличивая тем самым ток инжекции электронов из истока в подпороговой области.

Эффект влияния подложки, вызванный ее током (Substrate Current induced Body Effect, SCBE). С уменьшением размеров транзистора и увеличением напряжения на стоке возрастает напряженность поля в стоковом р-п-переходе. Когда ее значение превышает 0,1 МВ/см, электроны, попадающие в эту область из канала, приобретают энергию, достаточную для ударной ионизации атомов кремния с образованием электронно-дырочных пар. Образовавшиеся электроны уходят в область стока, а дырки – в подложку. Основная часть дырок собирается выводом подложки, меньшая часть рекомбинирует с электронами, которые инжектируются из р-п-перехода истока. Таким образом, к току стока добавляется компонент, вызванный ударной ионизацией, что приводит к резкому изгибанию стоковых характеристик вверх в области больших напряжений на стоке. Падение напряжения на омическом сопротивлении подложки, обусловленное действием тока ударной ионизации, вызывает небольшое изменение разности потенциалов между подложкой и стоком МОП-транзистора.

Ток утечки, индуцированный затвором. В режиме, когда напряжение на затворе п-канального транзистора равно нулю, а на стоке – максимально, область стока под перекрытием затвор-сток обедняется электронами. Поскольку область стока легирована сильно, область обеднения имеет очень маленькую ширину и становится возможным туннелирование электронов из валентной зоны в зону проводимости п+ стока. Возникающий таким образом механизм генерации электронов и дырок создает ток утечки между стоком и подложкой, вызванный затвором (Gate Induced Drain Leakage, GIDL-эффект). Аналогичный эффект, связанный с истоком, называется GISL-эффектом (Gate-Induced Source Leakage).

Ток туннелирования через затвор. Считалось, что в длинноканальных МОП-транзисторах ток затвора равен нулю, поскольку затвор отделен от подложки слоем окисла кремния. Однако с уменьшением размеров транзистора толщина окисла уменьшается настолько (до 5 нм и менее), что туннельный ток через затвор становится существенным. Вероятность туннелирования экспоненциально возрастает с уменьшением толщины окисла t_{ox} .

Новые физические эффекты, возникающие в субмикронных МОП-транзисторах, оказывают влияние на надежность, быстродействие и потребление схемы в целом. Следовательно, основой безошибочного проектирования субмикронных схем

являются точные и достоверные модели МОП-транзисторов, учитывающие эти эффекты. К сожалению это приводит к усложнению модели МОП-транзистора. Например, количество параметров для модели BSIM4, которая учитывает все упомянутые эффекты, превышает 300. В конечном итоге увеличивается время моделирования и верификации проекта.

Разработка ячейки памяти и аналоговых блоков СОЗУ

Новые физические эффекты субмикронных МОП-транзисторов наиболее сильно проявляются в ячейках памяти (ЯП) из-за использования в них транзисторов минимальных размеров. Проектирование ячейки памяти для субмикронных технологий становится наиболее важной и трудоемкой частью создания СОЗУ. Быстродействие, площадь и надежность ЯП определяют общий размер, производительность и коэффициент выхода годных всей схемы СОЗУ. Это связано не только с новыми физическими эффектами субмикронных МОП-транзисторов, но и с требованиями к ЯП, выдвигаемыми инженерами: минимально возможная площадь, высокое быстродействие и надежность при минимальном статическом энергопотреблении. Частично это взаимоисключающие требования. Так, например, невозможно получить максимальное быстродействие при минимальных значениях статического энергопотребления и минимальной площади. Кроме того, вышеупомянутые требования должны быть достигнуты с учетом девиаций параметров транзисторов – как локальных (в пределах одного кристалла), так и глобальных (между транзисторами, расположенными на разных кристаллах). Разброс параметров транзисторов (рис.4) – одна из основных трудностей проектирования ЯП по субмикронным технологиям, обусловленная малыми геометрическими размерами транзисторов. Возрастающая в соответствии с законом Мура степень интеграции требует от инженеров оптимизации быстродействия, надежности и энергопотребления ЯП для существующего разброса параметров транзисторов.

Процесс проектирования состоит из трех основных стадий: разработка электрической схемы; разработка топологии; моделирование ЯП с учетом влияния топологии. Каждая из этих стадий, в свою очередь, подразделяется на этапы.

Разработка электрической схемы – наиболее важная стадия проектирования – состоит из следующих этапов:

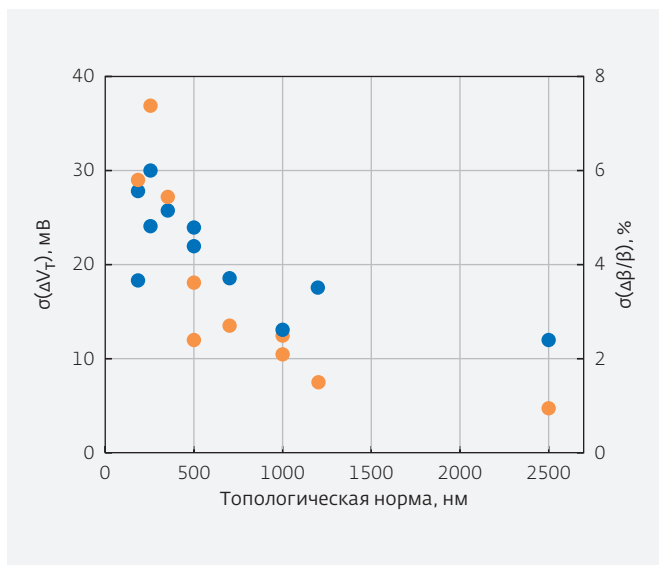


Рис.4. Значения среднеквадратического отклонения порогового напряжения (оранжевые метки) и удельной крутизны (синие метки) для транзистора минимального размера при уменьшении топологических норм

- а) выбор схемы ЯП, удовлетворяющей требованиям. Так, для быстродействующих однопортовых микросхем и памяти используются 10-транзисторные ЯП, в которых запись и чтение разделены. Для микросхем памяти с высокой степенью интеграции оптимальным решением является однотранзисторная псевдостатическая ячейка SRAM;
- б) выбор типов МОП-транзисторов. Например, для систем, работающих при малых напряжениях питания, целесообразно использовать транзисторы с низким пороговым напряжением. А для микросхем памяти с пониженным статическим энергопотреблением – транзисторы с высоким пороговым напряжением;
- в) расчет размеров транзисторов с учетом требований, предъявляемых к ЯП. Данный этап – наиболее ресурсно-затратный, поскольку необходимо найти оптимум между быстродействием, надежностью и размерами ЯП;
- г) моделирование ЯП с учетом глобальных и локальных девиаций параметров транзисторов (статистический анализ). Эта процедура выполняется по методу Монте-Карло.

Не менее важная стадия методологии – разработка топологии, которая подразделяется на следующие этапы:

- а) выбор оптимального топологического представления. Другими словами – это выбор геометрических размеров ЯП, выбор, в каком металле

делать разводку словарной шины, битовых (разрядных) шин, шин питания и др.;

- б) определение топологических норм (они сильно влияют на площадь и надежность ЯП) и обсуждение с технологами топологических допущений, возможных с учетом регулярности расположения ячеек в матрице;
- в) проведение послойного анализа топологии при помощи программы, моделирующей процесс фотолитографии и металлизации.

Заключительная стадия – моделирование ЯП с учетом влияния топологии – состоит из трех частей:

- а) экстракция паразитных сопротивлений (R) и емкостей (C), а также площадей, периметров и поверхностных сопротивлений сток/истоковых областей;
- б) оптимизация топологии по результатам анализа данных экстракции;
- в) финальное моделирование ЯП с учетом паразитных R и C, а также площадей, периметров и поверхностных сопротивлений сток/истоковых областей.

Проектирование аналоговых блоков, таких как усилители считывания, источник опорного напряжения, регулятор напряжения для субмикронных технологий, – также важная часть создания ОЗУ. Эти блоки оказывают влияние на его надежность и потребляемую мощность. Новые физические эффекты в субмикронных МОП-транзисторах и увеличивающиеся по мере уменьшения топологических норм локальные девиации параметров транзисторов предъявляют дополнительные требования к проектируемому аналоговому блоку. Так, чтобы исключить влияние короткоканальных и узкоканальных эффектов необходимо использовать транзисторы не минимальных размеров. В свою очередь это уменьшает локальные девиации параметров транзисторов, которые сильно влияют на симметрию плеч в токовых зеркалах, дифференциальных усилителях и др. Проектирование аналоговых блоков по субмикронным технологиям требует новых схемотехнических решений, которые повышают надежность, точность и уменьшают потребление.

Проблемы при разработке топологии

Разработка топологии быстродействующих СОЗУ, выполненных по субмикронным технологиям, имеет ряд особенностей.

Правила проектирования, используемые для создания топологии интегральных схем (ИС), – это список минимальных размеров элементов

и расстояний между ними, которые определяются ограничениями, накладываемыми в основном процессом литографии. Для субмикронных технологий 90 нм и ниже длина волны света, используемой для литографии, – 193 нм. Изготовление ИС по нормам, много меньшим длины волны света, используемого для экспонирования, требует специальных технологий обработки изображений, таких как коррекция эффекта оптической близости, применение внеосевого освещения, фазосдвигающие маски, иммерсионная литография и двойное формирование рисунка. Все это существенно повышает стоимость производства полупроводниковой продукции, кроме того, увеличивается число масочных слоев и правил по созданию топологии, что, соответственно, усложняет ее разработку.

С уменьшением топологических норм дефекты кремниевой пластины, пылинки, попадающие на пластину во время производства, и т.д. становятся критическими и снижают процент выхода годных кристаллов. Для снижения влияния этих дефектов используют методику называемую Design for manufacturability (DFM). Она состоит из набора правил, рекомендованных для конкретной технологии, которые улучшают выход годных. Примеры таких правил – минимальная площадь физического слоя; градиент плотности слоя; перекрытие контактного окна и поликремния, контактного окна и металла, контактного окна и диффузионного слоя; дублирование контактных окон и др.

Начиная с технологических норм 90 нм и менее, на характеристики МОП-транзистора оказывают влияние соседние элементы топологии ИС, не принадлежащие данному транзистору: поверхностная граница кармана и граница изоляции транзистора мелкими канавками, заполненными окислом [4]. Первый из этих эффектов называется эффектом близости кармана (Well Proximity Effect, WPE) и объясняется следующим образом. Глубоко субмикронные технологии требуют ионной имплантации атомов примеси с высокой энергией для формирования ретроградного профиля примеси в подложке, чтобы предотвратить защелкивание паразитного продольного биполярного транзистора и эффект прокола между истоком и стоком. Во время имплантации атомы, летящие по нормали к поверхности, рассеиваются от границ маски фоторезиста под разными углами, в том числе почти в горизонтальном направлении, и встраиваются в поверхность кремния вблизи краев кармана. В результате увеличивается концентрация примеси у поверхности, на расстоянии до 1 мкм от краев кармана, что вызывает сдвиг

порогового напряжения и других характеристик транзистора. Рабочая точка транзистора в аналоговых схемах может быть сдвинута на 20–30%, что часто приводит к потере работоспособности аналоговых ИС.

Второй эффект связан с тем, что под изолирующими канавками появляются островки напряженного кремния (механическое сжатие по двум осям координат). Механическое напряжение приводит к изменению зонной диаграммы кремния, смещению порогового напряжения и тока насыщения транзистора. Эти явления усиливаются по мере приближения активной области транзистора к границе изоляции, и, таким образом, характеристики транзистора становятся зависимыми от топологии.

При уменьшении топологических норм и увеличении плотности компоновки элементов усиливается влияние паразитных емкостей между соседними проводниками кристалла, повышается время задержки в сигнальных проводниках и падение напряжения в шинах земли и питания из-за возрастающего влияния сопротивления проводников (проводники имеют меньшую ширину при том же удельном сопротивлении, длина проводников уменьшается незначительно) (рис.5). Возрастающее влияние паразитных емкостей между шинами может вызвать помехи в соседних шинах и сбои при функционировании микросхем [5, 6]. Поэтому обязательно моделировать схемы, экстрагированные из топологии, с учетом паразитных емкостей между соседними проводниками. Величина падения напряжения в сигнальных проводниках, шинах земли и питания особенно сильно влияет на помехоустойчивость схем при снижении напряжения питания. Ее необходимо прогнозировать и отслеживать на этапе разработки топологии микросхем, а также проверять моделированием экстрагированных схем с учетом паразитных RC-составляющих (IR drop анализ). IR drop анализ проводится при максимальных значениях частоты и напряжения питания; при экстракции R- и C-компонентов нужно задавать опции, обеспечивающие максимальное сопротивление шин.

Надежность и срок службы

Невозможность пропорционально масштабировать размеры МОП-транзисторов и напряжения источника питания привела к тому, что напряженность внутренних электрических полей сильно увеличилась [7]. Это порождает физические эффекты, влияющие на надежность и срок

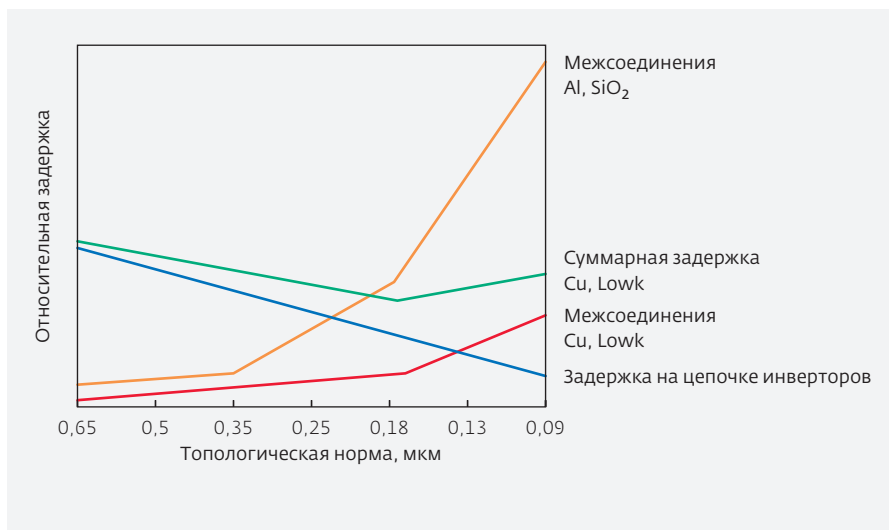


Рис.5. Относительное изменение задержек на межсоединениях и цепочках инверторов при уменьшении топологических норм. Al, SiO₂ – в качестве межсоединений (разводки) используется алюминий (Al), а в качестве диэлектрика – окисел кремния (SiO₂); Cu, Lowk – в качестве межсоединений (разводки) используется медь (Cu), а в качестве диэлектрика – диэлектрик с низкой удельной диэлектрической проницаемостью (конфиденциальная информация каждой фабрики)

службы ИС. Главным из них является эффект инжекции горячих носителей заряда в окисел. Он приводит к повышению плотности поверхностных состояний и зарядке окисла. В результате увеличиваются подпороговый ток и сдвиг порогового напряжения. Долговременное влияние этого эффекта чревато серьезными изменениями характеристик МОП-транзисторов, снижением надежности и срока службы ИС в целом.

Другой немаловажный эффект в субмикронных МОП-транзисторах – деградация порогового напряжения р-канального транзистора при обратном смещении затвор-исток/сток (NBTI-эффект) – проявляется при высокой температуре и длительном воздействии отрицательного напряжения на затворе р-МОП транзистора. Увеличение в результате NBTI-эффекта порогового напряжения оказывает влияние на характеристики схемы

и может нарушать ее работу при длительной эксплуатации. Разработчики ИС должны прогнозировать этот эффект на ранних стадиях проектирования, для того чтобы быть уверенными в корректном функционировании схемы в течение заданного срока.

При уменьшении топологических норм и увеличении плотности компоновки приборов существенно повышается вероятность возникновения проблем вследствие эффекта электромиграции, из-за возрастающей при этом плотности тока внутри схем. В качестве решения этой проблемы, алюминий (традиционный материал для межсоединений), был заменен на медь, которая обладает лучшей проводимостью и менее восприимчива к электромиграции. Однако медь требует более точного технологического процесса при изготовлении схем и не решает полностью проблему эффекта. В худшем случае эффект электромиграции приводит к необратимому нарушению функциональности схемы вследствие разрыва (перегорания) одного или нескольких контактов или межсоединений либо, наоборот, замыкания между разными частями схемы. Однако первые симптомы появляются значительно раньше и выражаются в случайных скачках напряжения, что может вызвать редкие беспорядочные функциональные сбои, которые крайне сложно диагностировать. Особенно актуален этот вопрос применительно к быстродействующим схемам. Из этого следует, что проверку топологии таких ИС на нарушение правил электромиграции проводить обязательно.

ТЕСТИРОВАНИЕ БЫСТРОДЕЙСТВУЮЩИХ СХЕМ СОЗУ

В заключение несколько слов о процессе тестирования быстродействующих схем СОЗУ. В целом он не отличается от обычного процесса тестирования, включающего: функциональное тестирование, контроль временных параметров (времени выборки, установления и удержания входных сигналов); измерение токов потребления при функционировании микросхем на максимальной частоте и в режиме хранения; измерение уровней выходных напряжений. Однако необходимо учитывать некоторые особенности.

При переходе к субмикронным размерам особенно актуальна проблема обнаружения так называемых soft-дефектов – дефектов процесса изготовления микросхем, которые однозначно не проявляются при тестировании, то есть сбой или отказ при функционировании может возникнуть только

при определенных условиях работы микросхемы или тестовых последовательностях [8]. К таким дефектам, в частности, относятся обрывы в соединительных проводниках, полное или частичное отсутствие контактного окна, в результате чего нарушается электрическая связь между элементами схемы или существенно увеличивается сопротивление цепи; замыкание соседних шин и узлов, приводящее к появлению электрических соединений, не соответствующих схеме.

При низких частотах такие дефекты выражаются в отказах отдельных элементов памяти, строк или столбцов элементов памяти либо в отказе целых функциональных узлов (дешифраторов, усилителей считывания и др.) и выявляются в процессе стандартного тестирования. В быстродействующих микросхемах вышеперечисленные дефекты могут не проявиться при тестировании. Например, при проверке микросхемы на максимальной частоте функционирования отсутствие электрического соединения может быть компенсировано наличием емкостной связи между элементами схемы, которые оказались разомкнутыми в результате обрыва. За счет этой связи разомкнутый узел схемы зарядится до уровня, который необходим для правильной работы и будет удерживаться в данном узле достаточное для корректной работы микросхемы время. Для обнаружения вышеперечисленных дефектов необходимо увеличивать количество тестовых последовательностей и проводить функциональный контроль на различных частотах и с различными алгоритмами опроса матрицы элементов памяти СОЗУ (чередование операций записи, считывания и хранения в определенных последовательностях и с различными типами данных).

Для тестирования быстродействующих схем памяти, определения значений их параметров необходимо использовать измерительную аппаратуру с характеристиками, превышающими характеристики тестируемых микросхем, что связано с большими затратами. Поэтому, приступая к разработке нового быстродействующего изделия, нужно предусмотреть способы его тестирования. Оборудование сторонних компаний обойдется не дешевле, поскольку, как правило, его аренда требует разработки или адаптации измерительной оснастки и программного обеспечения. Возрастают требования и к измерительной оснастке. Работа СОЗУ на высоких частотах, при резких выходных фронтах вызывает сильные помехи в цепях питания и отражения

в сигнальных цепях, поэтому при разработке и изготовлении тестовых плат и контактирующих устройств необходимо обеспечивать согласование линий передачи сигналов и подавление помех в цепях питания.

* * *

Таким образом, проектирование стандартных типов микросхем, каковыми являются статические оперативные запоминающие устройства, при желании обеспечить их высокое быстродействие – достаточно трудоемкая задача, требующая учета многих физических, технологических, технических и экономических факторов. Рамки статьи позволили лишь поверхностно коснуться далеко не всех проблем и особенностей, возникающих при проектировании СОЗУ. За каждой из рассмотренных проблем скрывается ряд других, не менее важных и сложных.

Сегодня специалисты компании ЗАО "ПКК Миландр" ведут разработку микросхемы статического оперативного запоминающего устройства с информационной емкостью 16 Мбайт и временем выборки (быстродействием) 10 нс. В процессе работы успешно решается ряд вышеописанных проблем. Но это – тема отдельной статьи.

ЛИТЕРАТУРА

1. **Dennard R. H., Gaensslen F. H., Yu H.-N., Rideout V.I., Bassous E. and LeBlanc A.R.** Design of ion-implanted MOSFET's with very small physical dimensions // IEEE Journal of Solid-State Circuits. 1974. SC-9. P. 256–268.
2. **Mead C.** Fundamental limitations in microelectronics – I. MOS technology // Solid State Electronics. 1972. V. 15. P. 819–829.
3. **Денисенко В.** Новые физические эффекты в нанометровых МОП-транзисторах // Компоненты и технологии. 2009. № 12. С. 157.
4. **Isaac R.D.** Reaching the Limits of CMOS Technology // IEEE ISSCC. 1998. P. 3.
5. **Borkar S.** Design Challenges of Technology Scaling // IEEE Micro. 1999. P. 23–29.
6. **Saraswat K.C. and Mohammadi F.** Effect of scaling of interconnections on the time delay of VLSI circuits // IEEE Trans. Electron Dev. 1982. V.ED-29. P. 645.
7. **Iwai H.** CMOS Scaling towards its Limits // IEEE ISSCC. 1998. P. 31–34.
8. **Gattiker A., Nigh P., Aitken R.** An Overview of Integrated Circuit Testing Methods // Microelectronics Failure Analyses Desk Reference. Sixth Edition / R.J.Ross, editor. 2011. P. 190–197.