

МИНИМИЗАЦИЯ ФАЗОВЫХ СДВИГОВ СИГНАЛОВ ПРИ ТРАССИРОВКЕ ЦИФРОВЫХ СИСТЕМ-НА-КРИСТАЛЛЕ

А.Милн¹, Д.Робертс²

УДК 621.3.049.77
ВАК 05.27.00

При проектировании систем-на-кристалле (СНК) с параллельной архитектурой часто требуется обеспечить весьма жесткие требования по максимальному рассогласованию задержек распространения сигналов в определенных цепях схемы. Типичный пример – соединения между контактными площадками портов ввода-вывода и интерфейсом DDR-памяти. При разводке этих межсоединений следует учитывать целый ряд факторов, в том числе размещение, число и нагрузочную способность буферов, геометрические размеры и используемые слои металлизации, а также емкостную связь между проводниками. На примере двух проектов СНК рассмотрим, как с помощью инструментов проектирования от компании Synopsys можно автоматизировать процесс трассировки и получить оптимальные результаты, отвечающие требованиям спецификации для высокоскоростной памяти DDR3/DDR4.

Для успешного интегрирования DDR-интерфейса в состав СНК необходимо, чтобы был соблюден ряд требований, обеспечивающих требуемую полосу пропускания для широкого спектра чипов DDR-памяти в диапазоне рабочих температур и напряжений питания. Руководство по реализации (Implementation Guide) IP-блоков интерфейсов DDR3/DDR4-памяти в СНК устанавливает ограничения по максимальному рассогласованию фаз сигналов при трассировке проводников между контактными площадками ввода-вывода и макроячейками DDR-интерфейса:

- максимальная длительность фронтов нарастания и спада сигналов не должна превышать 100 пс или 10% от периода тактового сигнала DDR-памяти;
- фазовый сдвиг между дифференциальными парами тактовых сигналов и сигналов строба данных (DQS-сигналов) должен быть в пределах 10 пс;

- сдвиг фаз между сигналами данных в каждом канале должен быть в пределах 4% от периода тактового сигнала, а максимальное рассогласование фаз между группами сигналов – не более 8% от периода тактового сигнала.

Эти требования означают, например, что для DDR-системы с тактовой частотой 2133 МГц сдвиг фаз между всеми сигналами в сигнальной группе (сигналы данных или сигналы адреса/команды) не должен превышать 37,5 пс, рассогласование между группами сигналов данных и адреса/команд – 75 пс, а максимальная длительность фронта сигнала – 93,5 пс.

В случае интерфейсов DDR3/DDR4-памяти необходимо обеспечить синхронизацию нескольких сотен сигналов и удовлетворить требования по максимальной задержке и времени нарастания для всех сигналов. Кроме того, компоновка кристалла СНК накладывает свои ограничения на разводку, в частности, связанные с шириной трассировочного канала и используемыми для трассировки слоями металлизации.

Например, для DDR3-интерфейса канал трассировки проводников сигналов от макроячейки формирования адреса и команды (AC) до контактных площадок портов

¹ Инженер-консультант по САПР компании Synopsys, amilne@synopsys.com.

² Инженер-консультант по САПР компании Synopsys, droberts@synopsys.com.

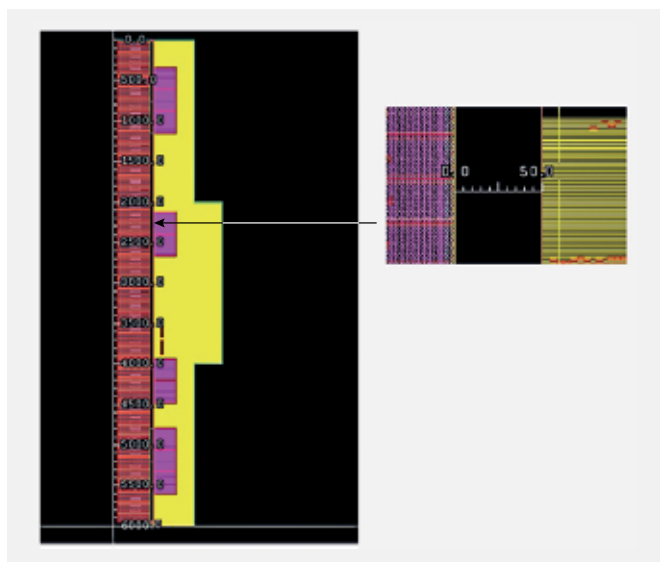


Рис.1. Пример компоновки DDR3-интерфейса системы-на-кристалле

ввода-вывода содержит 84 сигнальные линии, а от портов ввода-вывода к АС – 38 линий (рис.1). Имеется также четыре канала передачи и приема данных, каждый из которых содержит 45 линий от макроячейки данных (DATX) до портов ввода-вывода и 14 линий от портов ввода-вывода до DATX.

При этом, манхэттенские расстояния* для цепей сигналов, фазы которых необходимо выровнять, могут меняться от величины, немного превышающей ширину трассировочного канала (в примере рис.1 – порядка 60 мкм), до максимальной длины трассировочного канала (порядка 1000 мкм). При такой разнице манхэттенских длин трассируемых проводников задача выравнивания фаз сигналов намного усложняется. Как решить эту проблему?

ВЫРАВНИВАНИЕ ДЛИН ПРОВОДНИКОВ

Наиболее очевидный подход к трассировке – использование того же самого инструмента размещения и трассировки, который использовался для проектирования всей цифровой схемы. Однако, алгоритмы этих инструментов ориентированы, как правило, на минимизацию задержек сигналов в проводниках за счет минимизации длин проводников и размещения буферов там, где это необходимо. При значительной разнице манхэттенских длин проводников, как в случае трассировки DDR-интерфейса, такой подход приведет к существенному разбросу фаз сигналов и нарушению требований спецификации на DDR-интерфейс. Применение алгоритма синтеза дерева так-

* Манхэттенское расстояние, или манхэттенская длина (Manhattan distance) – длина самого короткого маршрута трассировки проводника из исходной точки топологии в заданную.

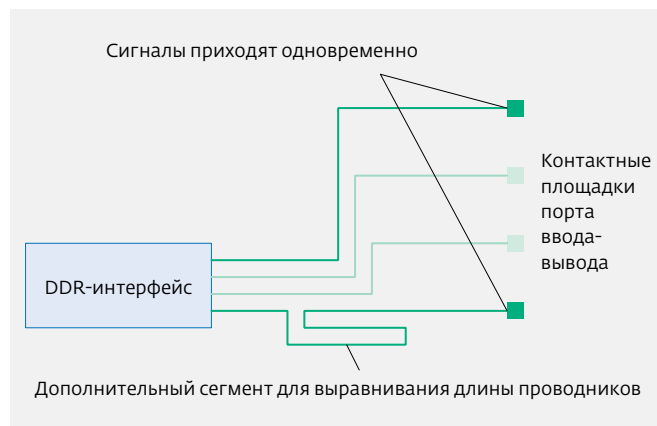


Рис.2. Выравнивание физической длины проводников

товых сигналов, используемого в инструментах размещения и трассировки цифровых схем, – также неидеальное решение.

Более предпочтителен в данном случае другой механизм согласования фаз сигналов – выравнивание физической длины проводников (рис.2). Такой метод предусматривает введение дополнительных сегментов проводников для того, чтобы выровнять их физическую длину по наиболее длинному проводнику. В результате, задержка распространения сигналов по этим проводникам будет одинаковой.

Оптимизированный алгоритм выравнивания длин проводников использует трассировщик Galaxy Custom Router (GCR), который входит в состав инструмента Synopsys Custom Compiler. Следует отметить, что GCR самостоятельно не обеспечивает анализ временных задержек сигналов в проводниках, однако, обладает возможностью работы непосредственно с базой данных цифровых компонентов, используемой инструментом размещения и трассировки Synopsys IC Compiler (ICC). Это исключает необходимость обмена данными между инструментами проектирования и тем самым снижает риск их потери.

При разводке сигналов между DDR-интерфейсом и портами ввода-вывода с помощью автоматизированного трассировщика следует учитывать еще ряд факторов.

Для того чтобы обеспечить максимальную скорость нарастания фронтов сигналов на выравниваемых проводниках, необходимо размещение буферов. В связи с этим возникает ряд дополнительных вопросов. Сколько разместить буферов? Где их разместить относительно DDR-интерфейсов и портов ввода-вывода? Какую выбрать нагрузочную способность буфера?

Очевидно, что нужно выбрать оптимальное соотношение между числом буферов, используемых в каждой цепи, и нагрузочной способностью буфера. Например, если в каждой цепи разместить только один буфер, то чтобы обеспечить требуемые спецификацией фронты сигналов

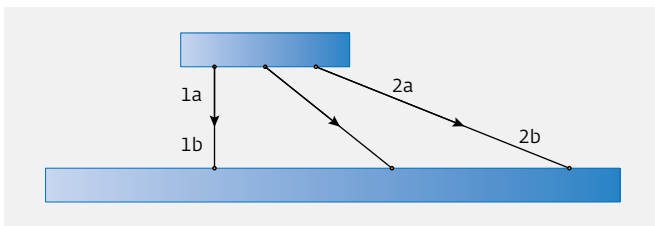


Рис.3. Равномерное размещение буферов

нужно выбрать более мощный буфер. Если же выбрать несколько менее мощных буферов, то потребуются дополнительные ресурсы трассировки, что увеличит площадь кристалла.

Одно из возможных решений – размещение буферов через равные интервалы. При этом в разных цепях расстояние между буферами будет разным (рис.3). Это наиболее простой способ, но из-за большого разброса манхэттенских длин цепей между портами ввода-вывода и DDR-интерфейсами одни буферы будут размещаться близко друг от друга, другие – на значительном расстоянии. Это означает, что для того чтобы выровнять длины проводников между буферами, трассировщику нужно будет ввести множество дополнительных сегментов (меандров) проводников. Например, проводники 1a и 1b следует значительно удлинить, чтобы их длина соответствовала проводникам 2a и 2b (см. рис.3).

Другой способ – попытаться разместить буферы так, чтобы полученное в итоге манхэттенское расстояние между всеми буферами было настолько это возможно одинаковым. Таким образом уменьшается число дополнительных сегментов, которые потребуются для выравнивания проводников.

Рассмотрим этот подход для случая одного буфера (рис.4). Алгоритм оптимизации размещения буфера определит путь с максимальным манхэттенским расстоянием от DDR-интерфейса до порта ввода-вывода. Для этого пути буфер будет размещен на полпути между DDR-интерфейсом и портом ввода-вывода так, чтобы манхэттенские длины проводников от DDR-интерфейса до буфера ($mh1$) и от буфера до порта ввода-вывода ($mh2$) были равны между собой (см. рис.4). Для других проводников алгоритм пытается разместить буферы так, чтобы расстояния от DDR-интерфейса до буфера и от буфера до порта ввода-вывода были как можно более близкими к $mh1$ и $mh2$. Такой алгоритм используется в трассировщике GCR.

ВЛИЯНИЕ ГЕОМЕТРИИ ПРОВОДНИКОВ И СВОЙСТВ СЛОЕВ МЕТАЛЛИЗАЦИИ

Кроме размещения буфера при трассировке проводников следует принимать во внимание еще ряд факторов. Во-первых, свойства используемых при трассировке слоев металлизации (в частности, емкость и сопротивление) различны, что сказывается на задержке распространения сигнала. Также следует учитывать ширину проводников металлических слоев: чем они шире, тем ниже их сопротивление, следовательно, проще обеспечить требования по фронтам сигнала.

Кроме того, на задержку распространения сигналов влияет емкостная связь между соседними проводниками, которая зависит от зазора между ними (рис.5). Чем ближе расположены проводники друг к другу, тем выше эта емкость и тем больше задержка в проводнике.

Кроме емкостной связи между соседними проводниками, имеется еще один эффект – собственная емкость

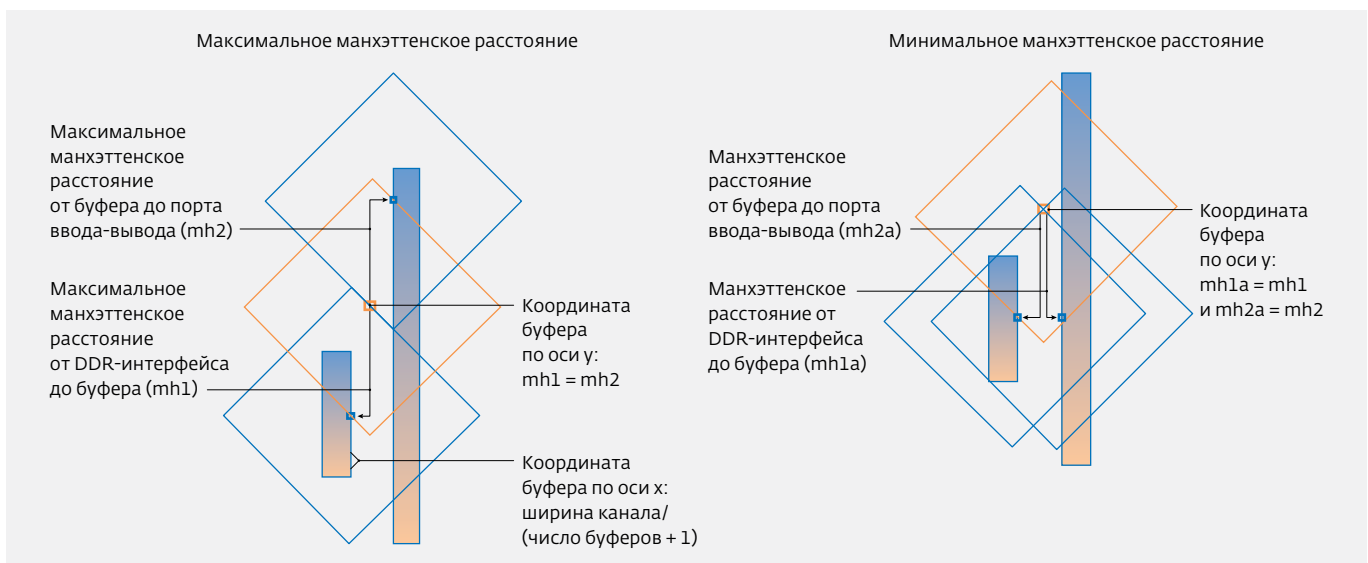


Рис.4. Оптимизированное размещение буферов

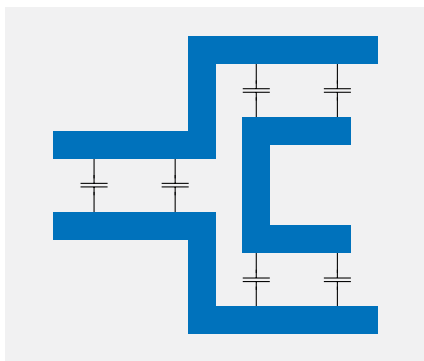


Рис.5.
Емкостная
связь между
соседними
проводниками

проводника, то есть возникают емкостные связи между отдельными сегментами проводника. Этот эффект чаще всего проявляется, когда проводник разводится в виде меандра, например, при увеличении длины проводника при выравнивании задержек (рис.6).

Влияние собственной емкости на задержку сигнала в проводнике и на время переключения (фронт) сигнала отличается от влияния емкостной связи на другие проводники. Поэтому задержка в проводнике, содержащем множество меандров, может отличаться от задержки в проводнике такой же длины без меандров, даже если в обоих случаях все требования по зазорам соблюдены. Как емкостная связь между проводниками, так и соб-

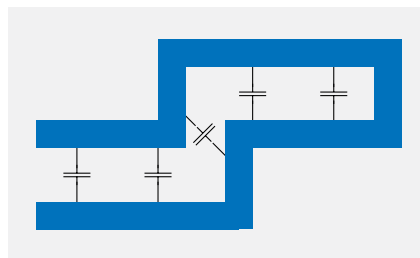


Рис.6.
Собственная
емкость
проводника

ственная емкость проводников уменьшается при увеличении зазоров между проводниками, однако, увеличение зазоров естественно требует увеличения необходимых ресурсов трассировки.

Для уменьшения эффектов емкостной связи применяют экранировку. Экранирующие проводники обеспечивают одинаковые условия для всех проводников, то есть емкостная связь между всеми проводниками будет определяться, главным образом, емкостной связью проводника с экраном (рис.7). Это, по идее, должно исключить или, по крайней мере, уменьшить разницу между проводниками, содержащими дополнительные секторы (меандры), и проводниками без них.

Все эти факторы можно учесть, если для трассировки сигналов между DDR-интерфейсом и контактными площадками портов ввода-вывода, использовать инстру-

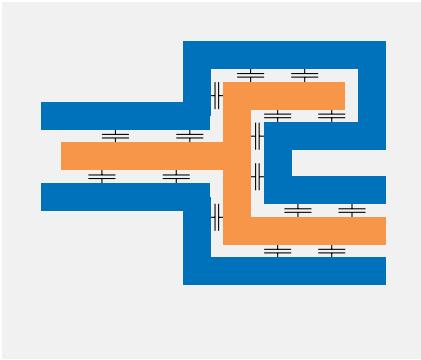


Рис.7.
Параллельная экранировка

менты Synopsys. Оптимальная последовательность этапов трассировки проводников, ориентированная на согласование фаз сигналов, выглядит следующим образом:

- размещение буферов с помощью ICC;
- трассировка с помощью GCR;
- извлечение паразитных элементов с помощью StarRC;
- анализ временных задержек с помощью ICC;
- введение экранирующих проводников с помощью ICC;
- извлечение паразитных элементов с помощью StarRC;
- анализ временных задержек с помощью ICC.

Проиллюстрируем трассировку сигналов с использованием этих инструментов на двух примерах.

ПРИМЕРЫ РЕАЛИЗАЦИИ АЛГОРИТМА ТРАССИРОВКИ

Для того чтобы проверить различные схемы трассировки сигналов между DDR-интерфейсом и портами ввода-вывода с помощью инструментов Synopsys рассмотрим два примера проектов, спроектированных по 28-нм технологическим нормам. В одном проекте используются два канала данных (4-байтовые блоки памяти), а в другом – четыре канала данных (8-байтовые блоки памяти). Трассировка для этих проектов была выполнена с использованием одного, двух и трех буферов разной нагрузочной

способности: 2х, 4х и 6х (нагрузочная способность буфера относительно базового или "единичного" буфера 1х).

Для трассировки использовались, преимущественно, слои металлизации 3–6, хотя анализировалась также возможность использования слоев металлов 7 и 8. Кроме того, был исследован вариант трассировки проводников по направлению от DDR-интерфейса к портам ввода-вывода с помощью слоев 3 и 4, а от портов ввода-вывода к DDR-интерфейсу – с помощью слоев 5 и 6.

Трассировка была выполнена с использованием проводников разной ширины (2х и 3х) и с зазорами 3х, 4х и 5х (ширина проводника и зазор между проводниками, кратные минимальному значению, определенному в используемой технологии). От использования металла минимальной шириной 1х отказались изначально из-за того, что в этом случае трудно обеспечить требования по времени переключения сигналов. Зазоры менее 3х также не были исследованы, поскольку они не позволяли использовать экраны между проводниками. Кроме того, была проведена оценка эффективности экранирующих проводников.

Вначале были проведены предварительные исследования с целью оценки влияния размещения буферов и использования экранирующих проводников. Эти исследования были проведены на проекте 1, использующем два канала данных (4-байтовые блоки памяти). Была выполнена трассировка только сигналов адреса / команд.

Анализ результатов трассировки показал, что введение экранировки позволило существенно уменьшить задержку: 46 пс против 96 пс для проводников без экранировки. Результаты показали также влияние экранировки на величину максимального времени переключения (фронта) сигнала. Хотя экранировка немного ухудшила это время, полученные значения отвечали требованиям технического задания при использовании двух и трех буферов. Даже при использовании одного буфера в некоторых случаях время переключения было в пределах нормы.

Таблица 1. Результаты исследований по проекту 1

Минимальная длина цепей DATX, мкм	Число буферов	Нагрузочная способность буфера	Максимальный сдвиг фаз сигналов AC, пс	Максимальный сдвиг фаз сигналов DATX, пс	Сдвиг фаз между группами сигналов, пс
700	2	×4	19,5	22	83
840	2	×4	20	31	58
700	2	×6	18	32	84
840	2	×6	21	35	59
700	3	×4	18	20	74
840	3	×4	21	28	52
700	3	×6	32	29	83
840	3	×6	26	39	65

Таблица 2. Результаты исследований по проекту 2

Схема трассировки	Слой металлизации	Максимальное время переключения, пс	Максимальный сдвиг фаз сигналов АС, пс	Максимальный сдвиг фаз сигналов DATX, пс	Сдвиг фаз между группами сигналов, пс
2w4s	m78	112	19	16	40
2w5s	m3456	64	20	14	54
2w5s	m34 m56*	62	13	13	65

* От DDR-интерфейса к портам ввода-вывода – слои 3 и 4, от портов ввода-вывода к DDR-интерфейсу – слои 5 и 6.

Исходя из этого можно сделать вывод о том, что экранировка положительно влияет на временные параметры и ее введение является целесообразным.

Анализ результатов, полученных для всех вариантов размещения буферов и используемого количества буферов, показал очевидную разницу между равномерным и оптимизированным размещением буферов. Вариант с двумя буферами демонстрирует лишь небольшое снижение средней максимальной задержки, в то время как использование трех буферов существенно (на 30%) уменьшает задержку. Поэтому оптимизация размещения буферов является также полезной, в особенности, при увеличении числа используемых буферов.

После предварительных исследований для проекта 1 был выполнен прогон всех вариантов трассировки сигналов данных (DATX) и сигналов адреса / команд (АС) (табл. 1). Эти результаты показывают, для данного проекта оптимальной длиной проводников сигналов DATX, которая обеспечивает минимальный сдвиг фаз между группами сигналов, и в то же время минимальный сдвиг фаз в группе сигналов DATX, является 840 мкм.

Если проанализировать полученные результаты, то можно сделать следующие рекомендации для трассировки проводников DDR-интерфейса:

- следует использовать два или три буфера с оптимизированным расположением;
- следует выбирать нагрузочную способность буфера, которая обеспечивает требования по времени переключения (в данном случае хб);
- следует использовать экранирование (при зазорах 5х между проводниками металлизации);
- следует ограничить минимальную длину проводников DATX величиной примерно равной 85% от максимальной длины сигналов АС.

Применим эти рекомендации к другому, более сложному проекту. В этом варианте используется похожий 28-нм технологический процесс, но совершенно другое проектное решение и компоновка кристалла. В этом решении реализовано четыре канала DATX вместо двух (8-байтовые блоки). Рабочая частота для этого варианта ограничивает максимальный сдвиг фаз сигналов величиной

40 пс, сдвиг фаз между группами сигналов – 80 пс, а максимальное время переключения – 100 пс.

На основе полученных в проекте 1 результатов для проекта 2 был рассмотрен вариант трассировки только с использованием трех буферов с нагрузочной способностью хб с оптимизированным размещением и экранировкой. Для проведения исследований по проекту 2 была выбрана минимальная длина проводников DATX – 840 мкм.

На основе предложенного алгоритма трассировки были получены хорошие результаты, причем две схемы трассировки полностью обеспечили выполнение требований спецификации высокоскоростной DDR-памяти (табл. 2). За исключением максимального времени переключения для случая m78, все схемы трассировки соответствуют проектным требованиям. Схема трассировки m3456 фактически отвечает требованиям спецификации для DDR32133 МГц.

Схема трассировки, использующая слои металлизации 7 и 8 (m78), обеспечила хорошие результаты по сдвигу фаз, хотя повышенная емкость этих слоев привела к более высокому времени переключения. Эту ситуацию, вероятно, можно улучшить, увеличив нагрузочную способность буфера. Схема 2w5s (ширина 2х, зазор 5х), хотя и обеспечивая лучший результат по времени переключения, демонстрирует несколько больший сдвиг фаз. Это связано с использованием дополнительных ресурсов трассировки, что затрудняет выравнивание сигналов по фазе.

Следует отметить, что из-за недостатка ресурсов трассировки после первого прогона было трудно добиться корректного выравнивания фаз сигналов. Анализ результатов показал, что после первого прогона сдвиг фаз определялся, главным образом, небольшим числом проводников, длина которых существенно отличалась от остальных. В одной из схем трассировки четыре проводника были слишком длинными. В двух других один или два проводника были слишком короткими. Эти "дефектные" проводники были затем разведены повторно, используя автотрассировщик; в результате, были получены намного лучшие результаты (см. табл.2). ●

