

Семейство сигнальных процессоров DSP56000

Фирма *Motorola* выпускает новый класс сигнальных процессоров *DSP (Digital Signal Processor)*, имеющих гарвардскую архитектуру и ориентированных на высокоскоростную обработку сигналов с большим объёмом математических операций. Процессоры *DSP* применяются в устройствах цифровой обработки для реализации широко распространённых алгоритмов: вычисления импульсных характеристик; взвешивания сигналов; преобразований Гильберта; вычисления корреляционных функций; быстрого преобразования Фурье; дискретного преобразования Фурье; матричных вычислений; вычисления трансцендентных функций; генерации псевдослучайных чисел и др. При вычислении 1024-точечного преобразования Фурье структура *DSP* затрачивает 3,23 мс (*DSP 56001*), в то время как ИС типа 486DX2 (66 МГц, 32 разряда) — 20 мс. ИС *DSP* отличают быстрая и гибкая арифметика, позволяющая за один цикл производить операции умножения, умножения с аккумуляцией, циклический сдвиг, а также стандартные арифметические и логические операции; расши-

ренный динамический диапазон для операции умножения/аккумуляции; выборка двух операндов за один цикл; аппаратная реализация циклических буферов; организация циклов и ветвлений без потери в производительности.

В состав серии *DSP56000* входят шесть ИС, имеющих 24-разрядную архитектуру, что позволяет получить динамический диапазон 144 дБ. Трёхшинная архитектура позволяет выполнять за один цикл умножение 24-разрядных операндов, 56-битовое сложение, две операции пересылки данных и изменение содержимого адресных счётчиков. К общим характеристикам ИС семейства относят следующие показатели: MIPS при 40 МГц; два 56-битных аккумулятора; программируемые линии ввода/вывода; 8-битный интерфейс прямого доступа к памяти; синхронный и асинхронный последовательный интерфейсы; два ОЗУ 256x24 бит; два ПЗУ 256x24 бит; адресуемая внешняя память: 128Kx24 бит память данных; 64Kx24 бит память программ; наличие встроенного эмулятора, синтезатора частоты и таймера.

DSP56000 в отличие от *56001* не содержит ОЗУ программ, но содержит ПЗУ объёмом 3,75Kx24 байт. *DSP56001* (структурная схема см. рис.) содержит ОЗУ программ объёмом 512x24 байт и загрузочное ПЗУ объёмом 32x24 байт. В банки данных записаны таблицы констант: в первом — константы законов компандирования для применения в схемах телекоммуникаций, во втором — таблица значений синуса. *DSP56002* отличается от *56001* наличием встроенного синтезатора частот. *DSP56L002* является низковольтной версией *56002*.

DSP56004 по сравнению с *56001* дополнительно содержит последовательный аудиоинтерфейс, включающий два приёмника и три передатчика. Встроенный интерфейс памяти поддерживает прямой доступ к банкам памяти 64Kx4, 256Kx4, 1Mx4, 4Mx4 (динамическое ОЗУ, одна или две ИС), либо до 256Kx8 (статическое ОЗУ, до четырех ИС). Банки данных ПЗУ содержат таблицы значений синусов и логарифмов.

DSP56005 применяется в схемах управления двигателями различного рода (для оптических и магнитных дисков), а также в системах промышленного управления. В отличие от *56002* в ПЗУ находятся таблицы значений функций синуса и арктангенса, что необходимо для систем управления двигателями.

DSP 56007 представляет собой копию *56004* за исключением объёма встроенной памяти программ и данных.

Конструктивно ИС выполнены в 80-, 88-, 132- и 144-выводных корпусах типов PQFP, PGA, CQFP и TQFP.

По материалам фирмы *Motorola*

